

「ディペンダブル VLSI システムの基盤技術」
平成 20 年度採択研究代表者

吉本 雅彦

神戸大学大学院工学研究科・教授

超高信頼性 VLSI システムのためのディペンダブルメモリ技術

1. 研究実施の概要

・研究のねらい:

本研究チームでは、システム LSI の総トランジスタ数の 90%以上を占めると言われる SRAM のディペンダビリティ設計研究に注力する。SRAM の、①マージン不良を出さない設計技術、②不良予知診断技術、③不良回避技術、④統合化技術、⑤システムレベル検証技術、の種々の側面からディペンダブルメモリ設計技術を研究する。

・これまでの研究の概要:

①については、耐 NBTI 設計技術、②については、オンチップモニタリング(予知方式1:②-1)と実使用時加速試験(予知方式2:②-2)、③については QoBRAM(回避方式1:③-1)と細粒度動的電圧制御(回避方式2:③-2)、④についてはフレキシブル電源ネットワーク(④-1)、に関して10月より研究開発に着手した(⑤は H21年度から開始)。

・研究進捗状況:

②の不良予知診断については、セルアレイおよびメモリ電源供給系に対するオンチップ・モニタ手法(予知方式1)の具体化を開始し、オンチップ・モニタに必要な電源電圧観測範囲を実測により決定した。オンチップ・モニタとメモリセルアレイを搭載するテストチップの構成について検討を進め、ダイナミック・ノイズがメモリ動作に及ぼす影響の評価に適した回路構成及びフロアプランを見出した。③の QoB(回避方式1)については、H20 年度の目標をほぼ達成し、メモリセル回路とアクセス方式について検討を完了した。細粒度動的電圧制御(回避方式2)については、6 月の TEG 試作に向けて 32kbit SRAM マクロの大まかな回路仕様を決定した。④については、マルチ電源を供給し、それらを PPSW (Programmable Power Switch)でスイッチングすることにより電源切り替えを行う電源構成で、プログラマブル制御回路に実装した論理回路で PPSW の制御を行う方式とした。

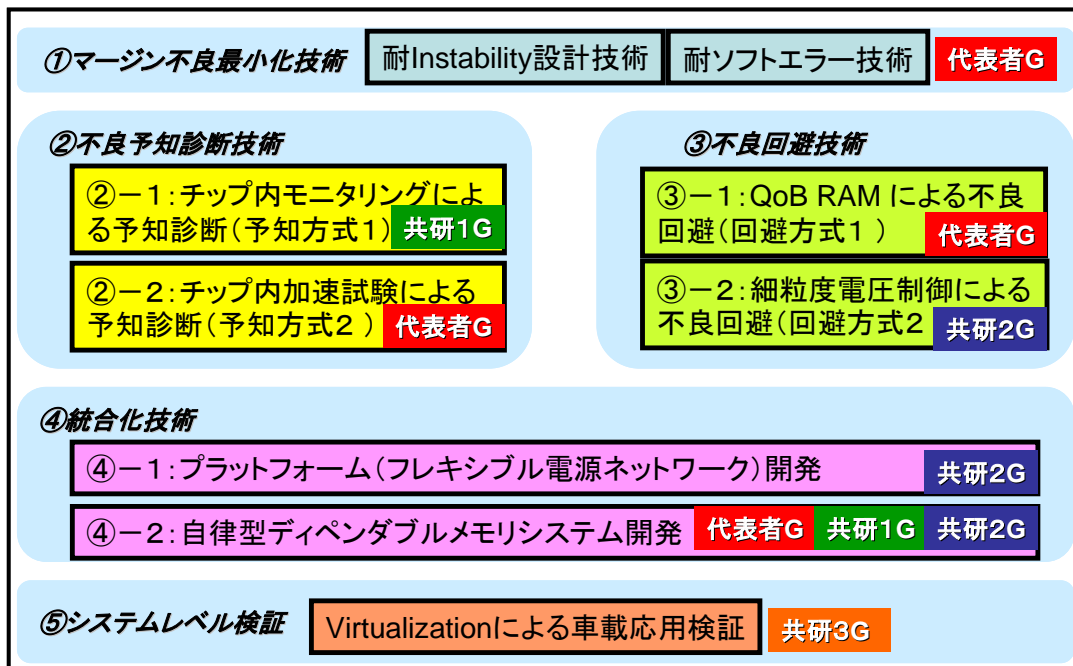
・研究成果:

②に関し、論文投稿1件、国内学会1件を投稿し、③に関して、論文投稿1件、国際学会1件、国内学会1件をおのおの投稿し、また特許出願1件を完了した。

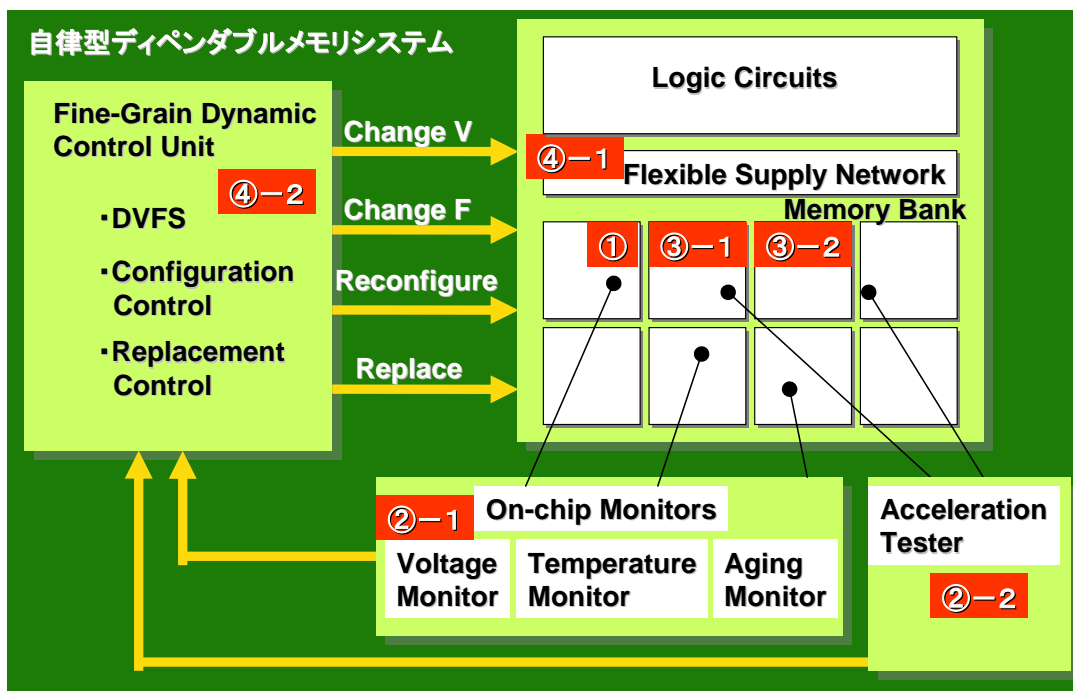
・追加研究検討:

耐ソフトウェア技術研究について、安浦チームと協調研究実施計画を策定した。それに従い、H21年度にソフトウェアレート予測技術と低減技術研究を実施する(代表者 G)。

各研究項目の相互関連



各研究項目の位置



⑤ 車載システムレベル検証

2. 研究実施内容(文中にある参照番号は 4.(1)に対応する)

①マージン不良を出さない設計技術「代表者グループ」

NBTI抑制技術として、逆データ書き込み回路を考案し、その効果を確認するためのシミュレーションを実施中。

②不良予知診断技術

②-1:チップ内電圧モニタリングによる方法(予知方式1)「共同研究グループ1」

不良予知診断に向けたオンチップ・メモリ動作モニタの基本仕様とテストチップ構成の策定に着手した。研究チーム内の議論から、メモリシステムのディペンダビリティに影響する回路レベルの構成要素のうち、とくにSRAMセルアレイおよびメモリ電源供給系に対するオンチップ・モニタ手法の具体化を優先すべきとの判断を得た。

そこで、本研究に先立ち本研究グループが開発した90nmCMOS技術によるマイクロプロセッサ・チップを活用し、メモリを含むデジタル回路の電源供給系のダイナミック・ノイズに関する予備実験を実施した¹⁾。図1に評価結果の一例を示す。プロセッサがメモリアクセスを含む算術演算を連続実行しているとき、その動作周波数を175 MHzから350 MHzに変更した直後の電源ノイズ波形(上段)と、この波形から平均電源電圧(下段左)および電圧変動幅(下段右)の推移を100nsecの観測ウィンドウで評価した結果を示している。標準電源電圧1.0Vに対して最大65mVの平均ドロップ及び120mVのピーク振幅を記録していることから、オンチップ・モニタには電源電圧の20%程度の観測範囲が必要ながわかった。さらに、オンチップ・モニタとメモリセルアレイを搭載するテストチップの構成について検討を進め、ダイナミック・ノイズがメモリ動作に及ぼす影響の評価に適した回路構成及びフロアプランを見出した。

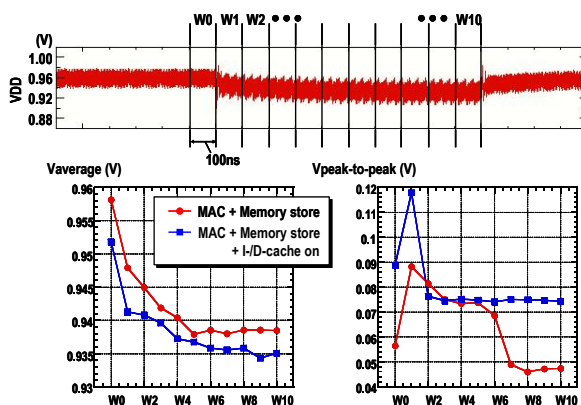


図1: 電源供給系のダイナミックノイズ評価。

②-2:チップ内加速試験による方法(予知方式2)「代表者グループ」

不良予知診断のための複数の加速試験方法を検討した。その結果、以下の手順で実動作時のBERを予測することにした。1) BISTにより、BERの電源電圧依存性測定する。2) チップ内電圧モニタリングにより得られた、BIST時と実動作時の電源電圧値と温度値の差から、実動作時のBERをモデル式より導出する。

③不良回避技術

③-1:QoB・SRAM(回避方式1)「代表者グループ」

QoB・SRAM(回避方式1)については、メモリセル回路方式を決定した。QoB・SRAMでは図2

に示すように信頼性をブロックごとに動的に変化させることが可能である。通常モードブロックにおいては、従来のように1つのメモリセルに1bitのデータを割り当て、一方、2つのメモリセルに1bitのデータを割り当てるブロックを高信頼性ブロックとする。この構造ではメモリの容量が半分となるが、高い信頼性を実現する。例えば、OSでは暗号化プログラムや個人情報などのプログラムに対して高い信頼性のブロックを割り当てる。アプリケーションソフトではシステムコールによってデータの信頼性を適切に割り振ることが可能となる。

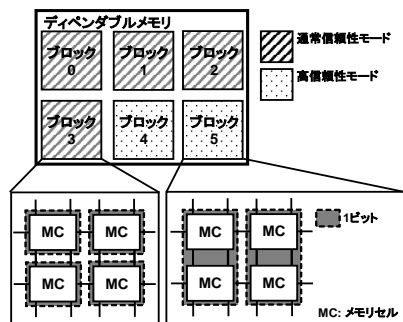


図2: QoBメモリ概念図。

上記基本概念を具現化するために、メモリセルペアの内部ノードを付加 Tr.を介して直接接続する方式を提案してきた(図3)。今期の検討の結果、付加 Tr.を PMOS としたレイアウトでは面積オーバーヘッドが12%、NMOSとした場合30%となり、面積の観点からPMOSを付加する回路を選択することとした(図4)。付加 Tr.をオンの状態とし、WL[0]かWL[1]のどちらか一方のみをオンとする。これにより、読出し時に、一つのアクセス Tr.を介して流れる電流を2つのドライブ Tr.で放電するため、内部ノードの電圧の上昇を抑えることが可能となり、読出しマージンが拡大される²⁾(図5)。

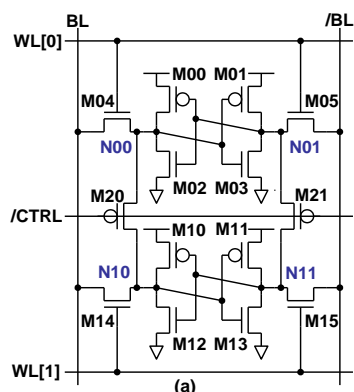


図3: QoBメモリセルの回路図。

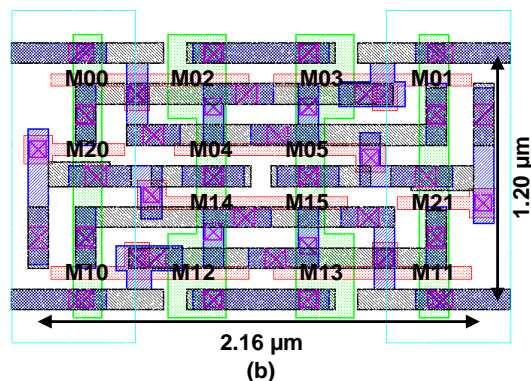


図4: QoBメモリセルのレイアウト図。

上記動作マージンの改善によるビットエラーレート(BER)の低減効果を図6に示す。提案 7T メモリセルの高信頼性モードが $BER10^{-3}$ の時、従来の6T メモリセルと比較して $BER(V_{dd}=0.6V)$ が 4×10^{-5} 改善されている。図7において、従来よく用いられてきた多数決回路との比較を示す。多数決回路が基本回路の約3倍の面積増であるのに対してQoBでは約2倍に抑えられる。一方、QoBのBERは、多数決回路のBERの約3分の1に低減できることがわかる(図8)。

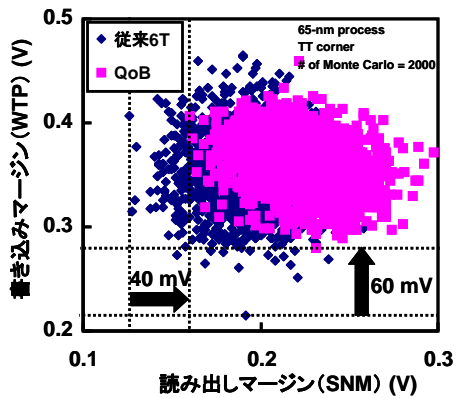


図5: QoBメモリセルによる動作マージンの拡大

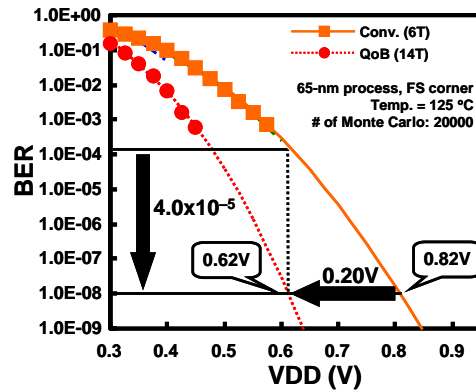
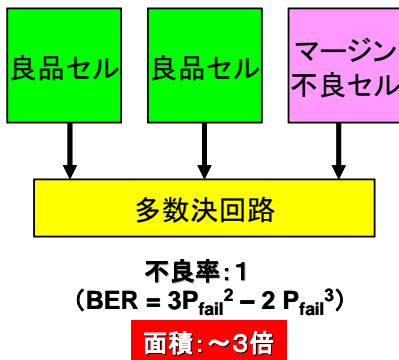


図6: QoBメモリによるBER改善効果。

3セルの多数決による信頼性向上



QoBセルによる信頼性向上

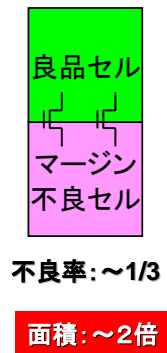


図7: QoBメモリと多数決方式の比較

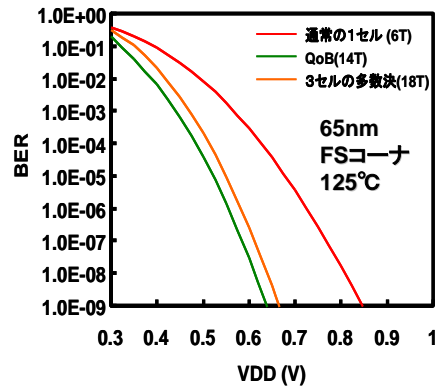


図8: QoBメモリによるBER改善効果。

③-2: 電圧制御による不良回避(回避方式2)「共同研究グループ2」

プログラマブルな不揮発素子を使った SRAM の動的電圧制御方式の基本検討を行った。図9下部に示すとおり、SRAMを細粒度に制御する情報は不揮発メモリブロックに集中して格納する構成とした。読み出しマージン改善のためにはワード線降圧方式のアシスト回路を採用し、書き込みマージン改善のためにはビット線負バイアス方式のアシスト回路を採用する方針とした。併せて、フレキシブル電源ネットワークによる電圧制御方式を(1)SRAM マクロ単位および、(2)メモリアレイのカラム単位、の2階層構成で設定できるようにする。6月の TEG 試作に向けて 32kbit SRAM マクロの大きな回路仕様を決定した。

④統合化技術開発

④-1: プラットフォーム技術開発(フレキシブル電源ネットワーク)「共同研究グループ2」

電圧制御による不良回避技術を開発するため、本年度は、フレキシブル電源ネットワークによる電圧制御方式のアーキテクチャと実装ツールの基本検討を行った。

フレキシブル電源ネットワークの基本アーキテクチャは、図9上部に示すとおり、マルチ電源を供給し、それらを PPSW (Programmable Power Switch)でスイッチングすることにより電源切り替えを行う電源構成で、プログラマブル制御回路に実装した論理回路で PPSW の制御を行う方式を検討した。これにより、ディペンダブル VLSI で必要となる加速試験や DVS 動作、ノイズ低減などを行う

ことができる。また、論理回路実装ツールは、プログラマブル制御回路に電源制御論理をマッピングするためのツール群であり、GUI ツール方式の検討を完了した。

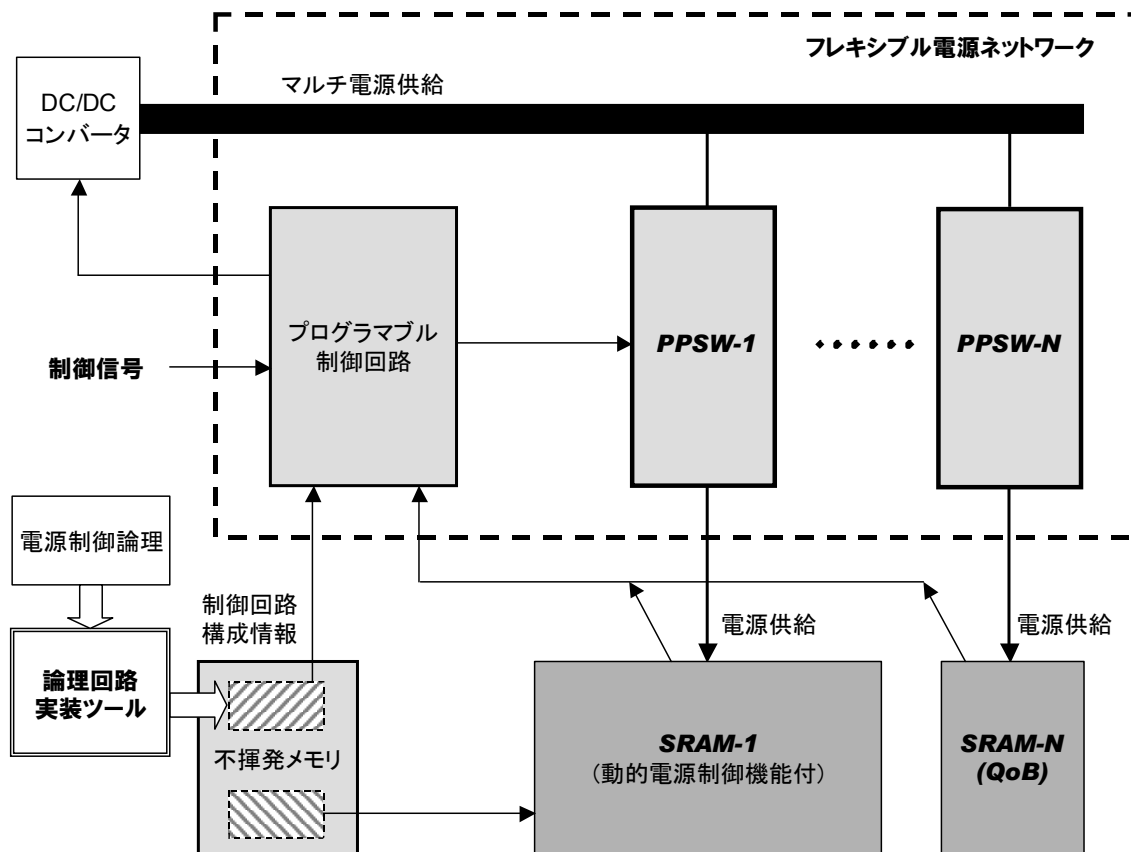


図9. プログラマブル電源ネットワークとSRAMの基本構成

3. 研究実施体制

(1)「研究代表者」グループ

①研究分担グループ長: 吉本 雅彦(神戸大学大学院、教授)

②研究項目

- マージン不良最少化技術として、耐NBTI回路技術の開発
- フィールドでのチップ内加速試験による不良予知診断技術の開発
- QoB・RAMを用いた不良回避技術の開発。
- 統合技術による自律型ディペンダブルメモリシステムの開発

(2)「共同研究グループ1」

①研究分担グループ長: 永田 真(神戸大学大学院、准教授)

②研究項目

- チップ内モニタリングによる不良予知診断技術の開発

- 統合技術による自律型ディペンダブルメモリシステムの開発

(3)「共同研究グループ2」

①研究分担グループ長:篠原 尋史(株式会社ルネサステクノロジ、部長)

②研究項目

- 細粒度電圧制御による不良回避技術の開発
- ディペンダブルメモリシステムのハードウェアプラットフォームの開発
- 統合技術による自律型ディペンダブルメモリシステムの開発

4. 研究成果の発表等

(1) 論文発表 (原著論文)

1. Mitsuya Fukazawa, Masanori Kurimoto, Rei Aakiyama, Hidehiro Takata, and Makoto Nagata, "Experimental Evaluation of Dynamic Power Supply Noise and Logical Failures in Microprocessor Operations," IEICE Trans. Electron., Vol. E92-C, No. 4, pp. 475-482, Apr. 2009.
2. H. Fujiwara, S. Okumura, Y. Iguchi, H. Noguchi, H. Kawaguchi, and M. Yoshimoto, "A Dependable SRAM with 7T/14T Memory Cells," IEICE TRANS. on Electron. Vol.E92-C No.4 pp.423-432

(2) 特許出願

平成 20 年度 国内特許出願件数 : 5 件 (CREST 研究期間累積件数 : 5 件)