

「ディペンダブル VLSI システムの基盤技術」
平成 19 年度採択研究代表者

小野寺秀俊

京都大学大学院情報学研究科・教授

ロバストファブリックを用いたディペンダブル VLSI プラットフォーム

1. 研究実施の概要

素子寸法の極限的な微細化に伴い、製造性劣化や素子特性のばらつき、使用に伴う特性劣化、ならびにソフトウェアなどの一過性雑音事象への耐性低下が問題となっている。本研究では、これらのディペンダビリティ阻害要因の排除を目的とし、適応的調整と再構成が可能な新しい VLSI プラットフォームを開発する。すなわち、ばらつきに強靱な構造を持ち特性の適応的調整が可能なロバストファブリック、各種の高信頼化構造の実現が容易な再構成アーキテクチャ、必要に応じた信頼度で逐次処理を実行可能な再構成プロセッサ、機能記述から再構成アーキテクチャへのマッピング技術を明らかにし、アプリケーションに応じたディペンダビリティを持つ VLSI システムが実現可能であることを示す。また、ディペンダビリティ評価手法の検討とともに本技術の応用展開を図る。

平成 20 年度は、研究目標と解決方法のより一層の詳細化・具体化を図り、ディペンダビリティを静的に確保する技術の開発に取り組んだ。基本回路構成要素となるべきロバストファブリックについては、スタンダードセルを対象として、製造性を強化する技術と特性ばらつきを評価する技術を検討した。再構成可能アーキテクチャについては、柔軟なディペンダビリティを実現可能な複数セルのクラスタ構成を採る粗粒度再構成可能アーキテクチャについて検討した。再構成プロセッサに関しては、冗長度を適応的に切り替えることにより、平均の面積コスト／消費電力コストを削減できるマルチコアパイプラインプロセッサを考案した。機能記述から再構成可能アーキテクチャ上へのマッピングについては、実装回路の信頼性をシミュレーションにより定量的に評価する環境を構築した。本プロジェクトで検討中の再構成可能アーキテクチャにアプリケーションをマッピングした際のソフトウェア耐性について評価を進めている。本技術を適用するアプリケーションの一例として暗号処理システムを想定し、汎用プロセッサと専用回路から構成された組み込みシステムの IP を整備した。

平成 21 年度は、各技術要素についてチップ試作やプロトタイピングにより開発技術の効果を確認し、ホットスワップなどの動的ディペンダビリティ確保技術の開発に着手する計画である。

2. 研究実施内容(文中にある参照番号は 4.(1)に対応する)

本研究は、物理的・自然現象的ディペンダビリティ阻害要因を克服するため、回路技術、アーキテクチャ、プロセッサ、設計自動化技術を結集し、適応的調整と再構成が可能な VLSI プラットフォームを開発するものである。平成 20 年度の研究実施内容は、以下の通りである。

(1) ロバストファブリック

ロバストファブリックは、ディペンダブル VLSI プラットフォームを構成する基本回路構成要素である。本年度はスタンダードセルを対象として、製造性の強化を目的としたレイアウトの単純化や規則性の導入が、特性のばらつきや動作特性に及ぼす影響を、シミュレーションとともにテスト回路(180nm, 90nm, 65nm)の実測から評価した。90nm プロセスのテスト回路では、ダミー挿入によるポリシリコンピッチの単一化により、動作速度のばらつき量は 16%程度低減する一方、動作速度自身は 4%低下した。一方、45nm プロセスを想定した場合、ポリピッチの統一は適切な露光耐性確保の観点から不可欠であることも判明した。プロセスノードごとに適切なレベルの規則性導入が重要である¹³⁾。なお、180nm プロセスでは、製造性に考慮したスタンダードセルライブラリを新たに開発した。このライブラリは、本プロジェクト内で活用するとともに、VDEC を通じて日本全国に公開している。

特性ばらつきの評価技術については、実シリコン上で発生するばらつきを分析し、その成分分離を行った²⁾。90nm プロセスでは、チップ内でランダムに発生する成分が最も多く、その標準偏差はゲート 1 段あたり 4.2%であった。図 1 にばらつき成分の分離結果を示す。また、ばらつきがランダムに変動する場合のゲート遅延分布を正規分布として求める手法を開発した⁸⁾。再構成回路におけるばらつき活用技術についても検討した^{4,5,15)}。

特性変動量や NBTI による特性劣化量の測定方法についても検討し、65nm プロセスでテスト回路を設計した。今後、ばらつきや劣化の補償技術に検討を進めていく。

(2) 再構成アーキテクチャ

柔軟な信頼性が実現できる粗粒度再構成可能アーキテクチャを考案した。4 つのセルを持つクラスタをその基本要素とし、4 つの動作モード(TMR, DMR, SMS, SMM)によって異なる冗長構成と信頼性を実現する。TMR モードは最も高い信頼性を実現し、3 重化した演算回路の出力をクラスタ内で多数決をとることにより、エラーの蓄積や伝搬を防ぐ。各動作モードについて、ソフトウェアによる故障率を評価した結果、提案アーキテクチャで 4 段階の異なる信頼性を実現できることを確認した。また、高信頼性化のために追加した回路による面積オーバーヘッドは、8-bit ALU クラスタの場合で 30.5% であった¹¹⁾。ALU に加えて、乗算器やレジスタに対しても同様のクラスタ機構が適用できることを確認した¹⁶⁾。提案アーキテクチャの実応用性確保の観点から、米国シリコンバレーの再構成可能論理 LSI デバイス、グラフィックス処理 LSI デバイスの大手 3 社を訪問、協調研究開発の可能性を協議した。

次年度以降のデバイス試作に向けて、実装に関する検討を行った。90nm CMOS プロセスで試作したデバイスレイ回路の測定結果より、低電圧動作回路の速度ばらつきが、閾値電圧とサブスレッショルド・スイング・パラメータにより表現できることを明らかにした^{3,19)}。性能補償の実現を目

的として、基板バイアス印加レイアウト方式について検討し、試作したテストチップ(90nm)の測定結果より、ストラップ形式による基板電位印加で十分な電位制御性を実現できることが分かった^{1,10)}。クロック分配のばらつき耐性を定量的に評価し、ランダムなばらつきにメッシュ型分配が堅牢であることが分かった⁸⁾。回路の静的/動的遅延変動をタイミングエラー予告フリップフロップを用いて検出し、適応的に速度を制御する方式について検討を行い、面積や消費電力のオーバーヘッドを小さくする設計手法の検討を行った⁹⁾。ランダムばらつきを補償するための基板バイアスクラスタリング手法について検討を行った。次年度以降の再構成デバイスの実装に知見を利用する。

(3) 再構成プロセッサ

今年度は、冗長度を適応的に切り替えることにより、平均の面積コスト/消費電力コストを削減できるマルチコアパイプラインプロセッサを考案した。プロセッサ運用期間全体における総合効率という観点から「平均的な多重化コスト」という新規評価軸を考案し、提案プロセッサの有効性を示した。ロバストファブリックに実装するため、再構成アーキテクチャへの実装に適した命令セットエンコーディング法を検討中である。また、コンパイラ等のサポートも進めている。

別途、演算器のカスケードリングによる耐ばらつき性向上の研究と協調することが可能な、演算カスケードリング用の動的命令スケジューラの研究も行った¹⁷⁾。また、ソフトエラー耐性の高いFF回路構成を検討した¹⁴⁾。

(4) マッピング技術

今年度は昨年度に引き続き、マッピングツールと耐故障性評価の枠組みの開発、改良に取り組んできた。特に他グループから優先的に開発するよう要請があった耐故障性評価環境の改良に注力した。その結果、再構成アーキテクチャグループで開発中のデバイスにアプリケーションをマッピングした際の、ソフトエラー耐性の指標の一つである構成情報メモリの sensitive bit 数をシミュレーションベースで定量的に評価できるようになり、提案デバイスの有用性の実証や改良に寄与しつつある。これと並行して再構成プロセッサグループで開発中のアーキテクチャのソフトエラー耐性の評価にも取り組むべく、情報交換を開始している。他方、ベンチマーク回路のマッピングを効率化してアーキテクチャの評価と改良を加速するため、マッピングツールの開発にも継続的に取り組んでおり、その一部は既に研究に援用している。このほかマッピング技術との関連性の観点から、グループ内でも耐故障再構成アーキテクチャについて独自の切り口から調査、検討を進めている^{7,12)}。

(5) アプリケーション展開に向けた評価・実用化検討

高度の信頼性が必要とされる LSI ユーザである宇宙航空研究開発機構(JAXA)および人工衛星を開発している企業と議論を深め、宇宙で必要とされるディペンダビリティの要件について引き続き調査を行った。その結果、当初想定していた「レジスタを構成する FF の中の1つの値が反転する」SEU(Single Event Upset)現象だけでなく、「複数の FF の値が反転する」MBU(Multiple Bit Upset)現象への対処が課題であることが判明した。この結果を踏まえ、SED(Single Error Detection)誤り検出機構と、SECDED(Single Error Correction Double Error Detection)誤り検出と訂正機能の両方式について、暗号化通信用 IP の具体例において回路コストの増大の具体的な

比較検討を行った¹⁷⁾。

またセキュリティまでを含んだディペンダビリティ要件について明らかにすべく、民生機器向けの SoC を開発している LSI メーカーの設計者と共同でディペンダビリティを要求するアプリケーションについて検討を行った。その結果、エラー発生時の影響が大きいということから、暗号処理、誤り訂正処理がディペンダビリティを要求するアプリケーションとして浮かび上がった。

さらにディペンダビリティを要求するユーザを新たに開拓すべく、医療(分析)機器メーカーの技術部門とディスカッションを開始した。X 線レントゲン撮影装置あるいは CT スキャナ装置には、撮影した画像の高速処理に FPGA が用いられていることが判明した。医療機器に必要とされている信頼性について、品質保証部門とさらなる打合わせを持つことになった。

昨年度整備した暗号化通信機能を備える組込み用途の IP について、LSI 内部で発生した誤りをその実行状態に影響を与えないで外部から観測できるログ収集機能を追加拡張し、ディペンダビリティの評価尺度と実際の LSI の動作で発生する誤りの頻度が一致するか、確認できる環境を整備した。

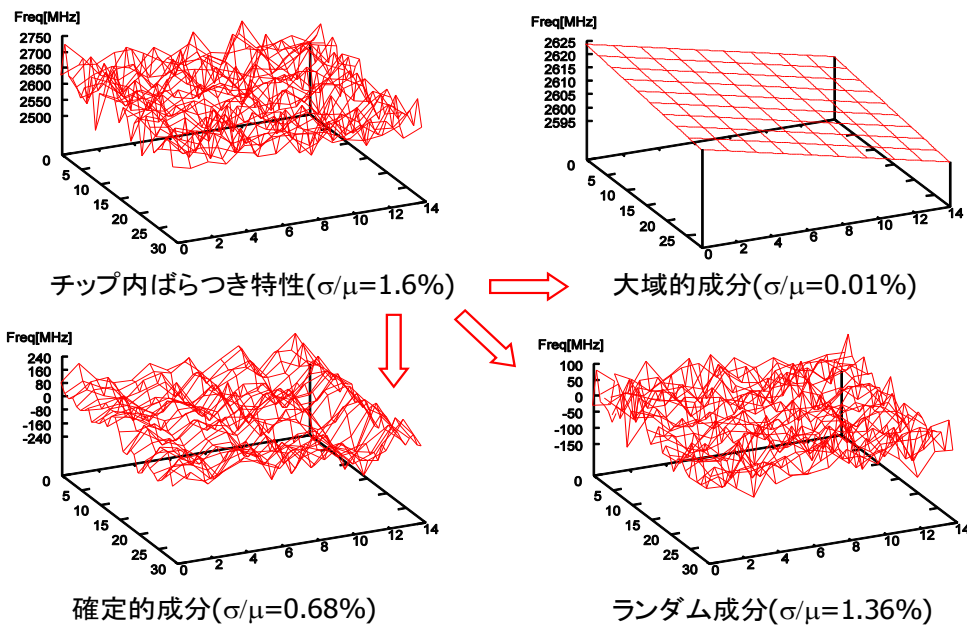


図 1. 90nm プロセスにおけるチップ内ばらつきと、その確定的成分、大域的成分、ランダム成分への分離結果。

3. 研究実施体制

(1) 京大グループ

- ① 研究分担グループ長: 小野寺 秀俊 (京都大学大学院、教授)

②研究項目

- ・ロバストファブリック
- ・再構成プロセッサ
- ・再構成可能ディペンダブル VLSI へのマッピング技術

(2) 阪大グループ

① 研究分担グループ長: 尾上 孝雄 (大阪大学大学院、教授)

② 研究項目

- ・ディペンダブル VLSI プラットフォーム用再構成可能 VLSI アーキテクチャ

(3) 京都高度技術研究所グループ

① 研究分担グループ長: 神原 弘之 (財団法人京都高度技術研究所、主席研究員)

② 研究項目

- ・ディペンダブル VLSI プラットフォームのアプリケーション展開に向けた評価・実用化検討

4. 研究成果の発表等

(1) 論文発表 (原著論文)

1. K. Hamamoto, H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye, "Experimental Study on Body-Biasing Layout Style -- Negligible Area Overhead Enables Sufficient Speed Controllability --," Proc. of ACM Great Lake Symposium on VLSI (GLSVLSI), pp.387 - 390, 2008/06.
2. Haruhiko Terada, Takayuki Fukuoka, Akira Tsuchiya, Hidetoshi Onodera, "Accurate Estimation of the Worst-case Delay in Statistical Static Timing Analysis," IPSJ Transactions on System LSI Design Methodology, vol 1, pp. 116-125, 2008/08.
3. H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye, "Correlation Verification between Transistor Variability Model with Body Biasing and Ring Oscillation Frequency in 90nm Subthreshold Circuits," Proc. of IEEE/ACM International Symposium on Low Power Electronics and Design (ISLPED), pp.3-8, 2008/08.
4. Kazutoshi Kobayashi, Yohei Kume, Cam Lai Ngo, Yuuri Sugihara, Hidetoshi Onodera, "A Variation-aware Constant-Order Optimization Scheme Utilizing Delay Detectors to Search for Fastest Paths on FPGAs," Proc. of 2008 International Conference on Field Programmable Logic and Applications, pp. 107-112, 2008/09.
5. Yuuri Sugihara, Yohei Kume, Kazutoshi Kobayashi, Hidetoshi Onodera, "Performance Optimization by Track Swapping on Critical Paths Utilizing Random Variations for FPGAs," Proc. of 2008 International Conference on Field Programmable Logic and Applications, pp. 503-506, 2008/09.
6. S. Abe, M. Hashimoto, and T. Onoye, "Clock Skew Evaluation Considering Manufacturing

- Variability in Mesh-Style Clock Distribution,” IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, Vol.E91-A, No.12, pp.3481-3487, 2008/12.
7. Kentaro Nakahara, Shin'ichi Kouyama, Tomonori Izumi, Hiroyuki Ochi, and Yukihiro Nakamura, “Autonomous Repair Fault Tolerant Dynamic Reconfigurable Device,” IEICE Trans. on Fundamentals, Vol.E91-A, No.12, pp.3612-3621, 2008/12.
 8. Hidetoshi Onodera, “Variability Modeling and Impact on Design,” 2008 International Electron Devices Meeting Technical Digest, pp. 701-704, 2008/12.
 9. H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye, “Trade-Off Analysis between Timing Error Rate and Power Dissipation for Adaptive Speed Control with Timing Error Prediction,” Proc. of Asia and South Pacific Design Automation Conference (ASP-DAC), pp.266-271, 2009/01.
 10. K. Hamamoto, H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye, “An Experimental Study on Body-Biasing Layout Style Focusing on Area Efficiency and Speed Controllability,” IEICE Trans. on Electronics, pp.281-285, Vol.E92-C, No.2, 2009/02.
 11. Y. Ko, D. Alnajjar, Y. Mitsuyama, M. Hashimoto, and T. Onoye, “Coarse-Grained Dynamically Reconfigurable Architecture with Flexible Reliability,” Proc. of the 15th Workshop on Synthesis and System Integration of Mixed Information technologies (SASIMI), pp.236-241, 2009/03.
 12. Zoltan Endre Rakosi, Masayuki Hiromoto, Hiroyuki Ochi, and Yukihiro Nakamura, “A New Architecture Extension for Mitigation of Permanent Functional Unit Faults Using Hot-Swapping Concepts,” Proc. of the 15th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI), pp.177-182, 2009/03.
 13. Hiroki Sunagawa, Haruhiko Terada, Akira Tsuchiya, Kazutoshi Kobayashi, Hidetoshi Onodera, “Effect of Regularity-Enhanced Layout on Printability and Circuit Performance of Standard Cells,” Proc. of the 10th International Symposium on Quality Electronic Design, to appear, 2009/03.
 14. J. Furuta, Y. Moritani, K. Kobayashi and H. Onodera, “Soft-error Resiliency Evaluation on Delayed Multiple-modular Flip-Flops,” Proc. of the 15th Workshop on Synthesis and System Integration of Mixed Information technologies (SASIMI), pp.352-357, 2009/03.
 15. Y. Kume, Y. Sugihara, C. Ngo, K. Kobayashi, H. Onodera, “Embedded Delay Detectors to Choose the Fastest Route in FPGAs for Variation-aware Reconfiguration,” Proc. of the 15th Workshop on Synthesis and System Integration of Mixed Information technologies (SASIMI), pp.76-81, 2009/03.
 16. D. Alnajjar, Y. Ko, T. Imagawa, M. Hiromoto, Y. Mitsuyama, M. Hashimoto, H. Ochi, and T. Onoye, “A Coarse-Grained Dynamically Reconfigurable Architecture Enabling Flexible Reliability,” Proc. of Workshop on System Effects of Logic Soft Errors (SELSE) 2009/03.
 17. J. Yao, K. Ogata, H. Shimada, S. Miwa, H. Nakashima, and S. Tomita, “An Instruction Scheduler for Dynamic ALU Cascading Adoption,” 情報処理学会論文誌, コンピュータ

ィングシステム, 採録決定.

18. Hiroyuki Kambara, Ryota Kinjyo, Yuki Toda, Hiroyuki Okuhata and Masanao Ise, "Dependable Embedded Processor Core for Higher Reliability", 13th IEEE International Symposium on Consumer Electronics, 2009/05(accepted).
19. H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye, ``Transistor Variability Modeling and Its Validation with Ring-Oscillation Frequencies for Body-Biased Subthreshold Circuits," IEEE Transactions on VLSI Systems, accepted for publication.

(2) 特許出願

平成 20 年度 国内特許出願件数 : 1 件 (CREST 研究期間累積件数 : 1 件)