

「情報システムの超低消費電力化を目指した技術革新と統合化技術」
平成 18 年度採択研究代表者

中村 宏

東京大学先端科学技術研究センター・准教授

革新的電源制御による次世代超低電力高性能システム LSI の研究

1. 研究実施の概要

本研究課題の目的は、快適な高度情報化社会を支える高性能システム LSI のさらなる高性能化と低消費電力化を、回路実装、アーキテクチャ・コンパイラ、システムソフトウェアの各階層が真に連携・協調し、革新的な電源制御を行うことで実現することである。

本年度は、この目的を達成するために、各グループがこの目的に沿った研究を行うと同時に、グループ間の協調を実現させるための共通プラットフォームとして、MIPS-CPU(R3000)互換のプロセッサ(開発コード名:Geyser-0)の設計・試作を行った。

Geyser-0 は、パワースイッチによる細粒度の電源制御で低消費電力化を目指す汎用プロセッサである。この方式が克服すべき課題は、パワースイッチの切り替えに伴う時間的なオーバーヘッドとエネルギー的なオーバーヘッドを抑えることである。前者に関しては、パワースイッチを最適化する回路技術により、時間的オーバーヘッドをアーキテクチャ技術で隠蔽可能な 1 サイクル以内に抑えることができ、性能への影響をなくすことに成功した。これは、回路実装とアーキテクチャの協調の成果である。後者のエネルギー的なオーバーヘッドに関しては、パワースイッチの切り替え頻度を抑えつつ、パワーオフの時間を出来るだけ長くすることが肝要である。そのため、パワースイッチの切り替えを制御可能な命令、および、切り替え戦略を設定するモードを用意しシステムソフトウェアでそのモードを制御可能な機構を実装した。

これらのほかに、各グループは、階層間の協調による低消費電力化を目指した研究を行っており、環境条件に応じたパワースイッチの切り替え制御を可能とするリークモニタ回路、パワースイッチの切り替え頻度を抑制する動的命令スケジューリング方式、統計情報に基づく動的電圧制御方式の開発とその OS への実装、**Geyser-0** と協調してさらなる低消費電力化を実現する動的リコンフィギャラブルプロセッサの電力解析、低消費電力オンチップネットワークの検討、などを行った。

今年度もほぼ予定通りの進捗と成果を出せたので、今後も当初計画どおりに、目標達成を目指

して引き続き研究を推進させる。また、各グループの共通プラットフォームである Geysers-0 チップの評価検討を行い、改良すべき点を明確にすると共に、その改良を加えた Geysers-1 以降のチップの設計開発を通して、本研究課題の有効性を実証していく予定である。

2. 研究実施内容

(文中にある参照番号は 4. (1)に対応する)

本年度は、回路実装とアーキテクチャの協調による低電力化、およびアーキテクチャとシステムソフトウェアの協調による低電力化を 2 つの柱として、4 つの研究グループで以下の研究を実施した。

(1) 回路技術グループ:細粒度の動的リーク電力制御を CPU に適用する際に必要な技術として、下記の2つの項目に関して研究を行った。

- ・ CPU で高性能を維持するためのパワースイッチのオン/オフ制御:回路技術とパイプライン制御の密接な連携により、スリープ状態からの復帰時に生ずる遅延を隠ぺいし、CPU 全体として高性能が維持できる方式を検討した。検討の結果、パワースイッチを細粒度に分割し、パワースイッチのサイズを最適化した上で、それぞれのオン/オフのタイミングを細かく制御する回路技術により、演算器を 200MHz 動作時に1サイクル以内で復帰できることが分かった。この利点をさらに活かすべく、命令フェッチと同時にプリデコードを行うことによって、復帰させる演算器を先行的に検出する方式を考案した。この方式では、演算実行する2サイクル前に先行検出を行うので、演算実行する直前の1サイクルの期間を回路の復帰動作に充てることができ、復帰動作で生ずる性能低下を実効的にゼロにできる。本方式の有効性を検証するために、本研究課題で開発を行っている、VDEC が提供する 90nm のテクノロジーを用いた MIPS R3000 ベースの 32ビット CPU(開発コード名:Geysers-0)に本方式を適用してチップ実装を行った。最終レイアウトから抽出した物理パラメータを用いてシミュレーション評価した結果、200MHz で復帰遅延による性能ペナルティを隠蔽できただけでなく、クイックソートおよび JPEG エンコードのプログラムに対し、演算器全体の消費電力を 25°C で 15%、100°C で 62%低減できることが分かった。
- ・ 環境条件に応じてリーク電力を低減する回路技術:温度、電源電圧、製造プロセスのばらつきによってリーク電流の大きさが異なる中で、チップ上でリーク電流の大きさをモニターしながら、パワースイッチのオン/オフ制御方法を動的に切替えていく方式を研究し、その実現へ向けた基盤技術として、リーク・モニターの回路方式について検討した。検討の結果、MTCMOS 回路をリーク検出回路として応用する新しい方式を考案し、上記 90nm のテクノロジーを用いて、回路設計を行った。シミュレーションにより、リーク電流の検出精度および検出動作速度の評価を行い、さらにレイアウト実装を行って本回路の面積を評価した。

(2) アーキテクチャグループ：主に以下の3項目の検討を行った。

- ・ 動的命令スケジューリング方式：パワースイッチによる電源制御を行う回路技術との協調を目指し、できるだけパワースイッチの稼動頻度を少なく、しかもパワーオフ期間を長くできる動的命令スケジューリング方式の検討を行った。パワースイッチの切り替えに要するエネルギーとパワーオフによる削減エネルギーが等しくなる、損益分岐点としてのパワーオフ時間は、回路技術から決定される。本手法の特徴は、この損益分岐点に応じて、パワーオフする時間を調整できる点である。具体的には、この損益分岐点が与えられた時、それより長い期間パワーオフをしても性能低下しないように、命令実行のスケジューリングを行い、そのスケジューリングが成功した場合にのみパワーオフする。
- ・ 統計情報に基づく動的電圧制御方式：マイクロアーキテクチャレベルの動作を実行時に観測することにより、実効性能と周波数の関係を統計的に学習する方式を検討した。実効性能と周波数の関係は、マイクロアーキテクチャと実行プログラムの特徴に強く依存し、その特徴を利用することで高性能低消費電力化が達成できることをあきらかにしているが(文献[1])、さらに、これらの特徴を実行時の状況を観測するだけでモデリングできることを明らかにした点がこの方式の特徴である。これにより、ハードウェアプラットフォームに依存しないで、所望の性能を達成する周波数を選択するアルゴリズムの確立が可能となった。この成果により、システムソフトウェアグループと連携して、低消費電力プロセススケジューラを実現することが可能となった。
- ・ ウェブサーバシステムの低消費電力化：ウェブサーバシステムの消費電力を抑えた運用管理を実現する基本アルゴリズムの検討を行った。一般に、サーバクラスは負荷のピーク時に備え全てのノードが常時稼動している。しかし、実際には負荷がピークに達する状況は少なく、性能に余裕を残した状態で稼動している時間が多い。そこで、処理性能と消費電力のモデルを構築し、モデルに基づいて、性能制約を満たしつつ負荷状況に応じて最も消費電力の低い構成（ノード数と動作周波数）を選択する手法を提案した。

(3) 動的リコンフィギャラブルグループ：以下の3項目の検討を行った。

- ・ 動的リコンフィギャラブルプロセッサの消費電力解析：当グループが開発を行っている、16PEからなる動的リコンフィギャラブルプロセッサ MuCCRA-1の詳細な電力解析を行った。その結果、225MHzで稼動するDSPに比べ、多くの組み込みアプリケーションで1/10程度のエネルギーで、1-3倍の性能が実現できることが明らかになった。これは、PEアレイ上の並列処理により低い周波数で、高い性能を実現すること、命令フェッチや記憶階層のオーバヘッドを持たないことによる。また、動的リコンフィギャラブルプロセッサ特有の電力オーバヘッドである、動的切り替えのオーバヘッドは全体の消費電力の20%-25%を占めるに過ぎないことがわかった。また、PEユニットレベルのオペランドアイソレーション、選択的コンテキストフェッチ等、動的リコンフィギャラブルプロセッサ特有の電力節約手法を提案し(文献[2])、その効果を確認した。
- ・ 開発環境の構築：様々な動的リコンフィギャラブルプロセッサを対象とした開発環境の構築を目指し、アーキテクチャ記述、モデル記述等を書き換えるだけで、本体は変更せずに様々な動的

リコンフィギャラブルプロセッサの構成データを C ライクな記述から生成することが可能なリターゲッタブルなコンパイラ (Black Diamond) を開発した。これは、既に当グループで開発中の MuCCRA-1 および MuCCRA-2 のプログラム開発でも利用されている。

- ・ オンチップネットワークの検討: 当グループで開発中の MuCCRA コアは、本研究課題で開発中の、パワーゲーティングを採用する MIPS R3000 ベースの Geysers コアと同じチップ上に実装し、チップ全体での低消費電力化を示すことを予定している。そのためのこれらのコア同士を接続するマルチコアシステム用のオンチップネットワークとして、Fat H-Tree を提案し検討した (文献 [3])。Fat H-Tree は、Tree とトーラスのトポロジーを併せ持つ接続網であるが、様々な種類のマルチコアシステムに対応可能であり、初期評価では、このネットワークがエネルギー効率に優れていることがわかった。さらに、回路技術グループが中心になって進めているパワーゲーティング方式を適用させることで、このオンチップネットワーク自身の低消費電力化の検討も開始した。

(4) システムソフトウェアグループは、超低電力アーキテクチャにおける、主記憶、キャッシュ、プロセッサの各演算コアなどの電力および性能監視系の情報を基にしたプロセス管理とプロセススケジューラ、電力消費を抑えるメモリ管理方式の研究を行い、超低電力アーキテクチャ向けのシステムソフトウェアアーキテクチャを検討することを目的としている。本年度は主に以下の 3 つの検討を行った。具体的には、次の三つの研究を行った。

- ・ DVFS によるプロセススケジューラの方式: アーキテクチャグループが提案している「統計情報に基づく DVFS 制御方式」を OS のプロセススケジューラに適用・実装し、カーネルレベルでの有効性を確認した。同時に、実行時に統計情報から推定されたスケジューリングだけでなく、予測値からのずれを補正する機能をプロセススケジューラに導入し、Linux の省電力プロセススケジューラ (文献 [4]) と L4 マイクロカーネルの省電力プロセススケジューラを実現した。この結果、CPU ネットのプロセスだけでなく、I/O の多いプロセスに対しても良好な電力削減を行えること、また、Linux、L4 マイクロカーネルのカーネルアーキテクチャおよびシステム構成方式はまったく異なるがほぼ同様の省電力効果が得られることがわかった。
- ・ Geysers-0 の OS の検討: Geysers-0 の設計と実装において、特権モードを司る CP0 の検討およびデバッグを担当した。また、Geysers-0 上で稼働する組込み OS を開発し、OS を含む Geysers-0 の消費電力をシミュレーションにより評価する環境を構築した。これは、Geysers-0 では、低消費電力化のための種々の動作モードを持っているが、そのモードは OS が管理するため、OS を含む電力評価環境が必要だからである。
- ・ メモリシステムの省電力効果検討: H18 年度までに、バイナリ変換を用いた QEMU による、高速かつ OS からユーザプロセスを含む命令およびアドレステレースを取得する環境を構築した。本年度は、この環境上で Linux カーネルおよび Linux 上で稼働するユーザプロセスのメモリアクセスのトレースデータを取得、メモリの省電力効果を検証した。また、本環境を用いて Geysers-0 の TLB エントリ数の効果を検証することができた。

3. 研究実施体制

(1)「回路技術」グループ

①研究分担グループ長:宇佐美 公良(芝浦工業大学、教授)

②研究項目

・アーキテクチャ協調型超低電力回路技術

(2)「アーキテクチャ」グループ

①研究分担グループ長:中村 宏(東京大学、准教授)

②研究項目

・超低電力データレジデントアーキテクチャ

(3)「動的リコンフィギャラブル」グループ

①研究分担グループ長:天野 英晴(慶應義塾大学、教授)

②研究項目

・超低電力動的リコンフィギャラブルアーキテクチャ

(4)「システムソフトウェア」グループ

①研究分担グループ長:並木美太郎(東京農工大学大学院、教授)

②研究項目

・超低電力を実現するアーキテクチャ協調型システムソフトウェア

4. 研究成果の発表等

(1) 論文発表(原著論文)

- [1] 近藤正章, 中村宏, "CMP 向け動的電源電圧・周波数制御手法", 情報処理学会論文誌 Vol.48, No.SIG13(ACS19), pp.260-269, 2007
- [2] 堤 聡, 天野 英晴, 長谷川 揚平, 石川 健一郎, 阿部 昌平, 黒瀧 俊輔, 中村 拓郎, 西村 隆, "動的リコンフィギャラブルプロセッサ用コンテキスト依存型クロック制御機構", 電子情報通信学会論文誌, Vol.J90-D, pp.2704-2712, Oct. 2007.
- [3] 松谷 宏紀, 鯉渕 道紘, 天野 英晴, "Network-on-Chip における Fat H-Tree トポロジに関する研究", 情報処理学会論文誌コンピューティングシステム, Vol.48, SIG 13, pp.178-191, Aug. 2007.
- [4] 金井 遵, 佐々木 広, 近藤 正章, 中村 宏, 天野 英晴, 宇佐美 公良, 並木 美太郎: 性能予測モデルの学習と実行時性能最適化機構を有する省電力化スケジューラ, 情報処理学

会論文誌, Vol.49, No.SIG2(ACS21), pp.20-36, 2008.