

「情報システムの超低消費電力化を目指した技術革新と統合化技術」  
平成 18 年度採択研究代表者

小池 帆平

(独) 産業技術総合研究所エレクトロニクス研究部門 グループ長

しきい値電圧をプログラム可能な超低消費電力 FPGA の開発

## 1. 研究実施の概要

本研究課題では、少量多品種向け LSI として、スーパーコンピュータから各種情報家電まで幅広い分野で大量に利用されている FPGA(Field Programmable Gate Array:プログラム可能論理素子)の、漏れ電流に起因する静的消費電力を最小限にするために、FPGA を構成するトランジスタのしきい値電圧を細粒度でプログラム可能とした超低消費電力 FPGA「Flex Power FPGA」を開発し、FPGA の消費電力を 100 分の 1 以下に低減させ、低消費電力型高速大容量情報処理システムの基盤技術を確立することを目指す。

これまでに、研究用ソフトウェアツール Flex Power VPR の開発とこれを用いたシミュレーション評価、基本構成要素のみを集積した実験チップの開発と性能測定、基本チップアーキテクチャの検討、今後開発予定のチップテストのための実験環境の構築などを進めてきた。

平成 19 年度は、2 回のシャトルサービスを利用して、Flex Power FPGA の基本コンセプトを実証することを目的とした、基本チップの開発を段階的に進め、部分的な動作確認に成功した。また、Flex Power FPGA 用の独自のソフトウェアツールの開発を精力的に進め、重要度の高いルーティング部のインプリメンテーションをほぼ完成させた。また、回路の動的特性を活用して更なる低消費電力化を目指す Dynamic Flex Power FPGA についての検討を進めて特許を出願するとともに、半導体特性バラツキへの対処を目指す Robust Flex Power FPGA についても検討をさらに進め、その成果を国際誌で発表した。さらに、制御性の良好なダブルゲート MOS トランジスタを採用する Super Flex Power FPGA について、オーバヘッドの最小化を可能とするデバイスを設計するとともに、回路シミュレーションを可能とするためにデバイスモデルのパラメータの抽出を行なった。

## 2. 研究実施内容

(文中にある参照番号は4.(1)に対応する)

平成19年度に実施した研究内容は以下の通りである。

### 1. 基本チップの開発

平成19年度は、8月と11月のシャトルサービスを利用して、Flex Power FPGA 基本チップの開発を行なった。基本チップ開発の目的はFlex Power FPGAの基本コンセプトを実証することであり、既に動作確認済みのFlex Power FPGA 実験チップ(文献2)に、FPGAとして動作させるために必要な全ての機能を2段階に分けて追加することにより、性能追求はせず確実に動作を優先して設計を進めた。基本チップは、90nm、6層Cu配線の技術を利用し、5×5mmのチップにFPGA基本タイルが10×10に配置されトータルで200万トランジスタが集積されている。1タイルあたり32箇所、全チップで3200の独立したしきい値電圧制御ドメインを有している。細粒度なボディバイアス制御を実現するために、レイアウト作業は全てを手で行なっている。

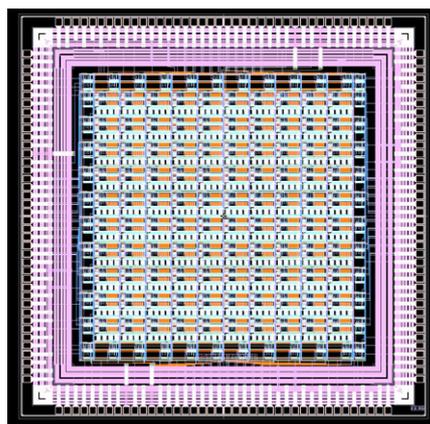


図1：Flex Power FPGA 基本チップ

チップ動作試験の結果、部分的な動作の確認には成功したものの、チップ全体の動作の確認には至らなかった。その後の検査とシミュレーション検証により、問題点は特定済みであり、今後のチップ試作に反映させることのできる役立つ成果を得ることができた。

本年度、チップ試作の成果が不十分であった反省点として、研究チームのLSI設計能力の更なる補強も課題であるが、当初7月に予定されていたシャトルサービスが8月に変更となったため1回目の試作で製造されたチップの試験の結果を2回目の設計作業に反映させるのに十分な時間を確保できずに11月の試作に臨まざるを得なくなったことも大きい。このため、(1)無理のないスケジュールの組むことの可能な(便数の多い)シャトルサービスの再選定、(2)設計自動化ツールの補強(当該年度予算で発注させていただいた)、(3)設計シミュレーション環境の向上、などの対策を立てて、次年度以降のチップ試作に臨む予定である。

### 2. 周辺ソフトウェアの開発

平成19年度は、これまで用いてきた実験用ソフトウェアツールVPRの限界を破るべく、Flex

Power FPGA 用の独自のソフトウェアツールの開発を精力的に進めた。Flex Power FPGA 用ソフトウェアは、(1) 論理演算をルックアップテーブルに割り当てるテクノロジマッピング、(2) ルックアップテーブルをクラスタに割り当てるパッキング、(3) クラスタを含むタイルの物理的位置を決定するプレースメント、(4) タイル間の配線リソースを決定するルーティング、(5) 各回路のしきい値を決定する Vt マッピング、および各種のインタフェースなどから成り、Flex Power FPGA にマッピングする回路のネットリストを受け取り、Flex Power FPGA 向けの構成情報ファイルを生成する。最終的にはオープンソースソフトウェアとして幅広く FPGA 研究に利用してもらうことを計画している。

これまでに、重要度の高いルーティング部のインプリメンテーションがほぼ完成、テクノロジマッピングとパッキングのインプリメンテーションも進み、プレースメントについてはアルゴリズムの検討が完了している段階である。ルーティング部については、探索空間の制限にバウンディングボックス方式にかわりタイミングバジェットを利用する新しい方式を考案し、様々なアーキテクチャに適用可能な、より柔軟なルーティングを可能としている点に特徴がある。それぞれのモジュールは従来の VPR と中間データをやりとりして運用できるようになっている。

この他、専用実験ボード、ロジックアナライザ、パターンジェネレータ等からなる試作チップ実験環境を、新しいフル機能基本チップの仕様にあわせるため、ボード上の制御用 FPGA のファームウェアを更新するなどの作業も進めた。

### 3. Dynamic Flex Power FPGA の検討

回路の動的振る舞いの特性を利用してさらなる Flex Power FPGA の低消費電力化を図ることを目標とした技術について検討を進め、特許を出願した。

### 4. Robust Flex Power FPGA の検討

半導体特性ばらつきの影響を抑えることを目的として開発を目指す Robust Flex Power FPGA の検討の一環として、複数の回路構成情報をあらかじめ用意しチップ毎に目標性能を満たす最適の回路構成を選択することでチップ内ばらつきを回避する方法の検討を昨年引き続き行ない、その成果を国際学会誌で発表した。(文献3、昨年度国際学会で発表した内容に大幅加筆したもの)

### 5. Super Flex Power FPGA の検討

さらなる Flex Power FPGA の低消費電力化の鍵となる、制御性の良好なデバイスとしてダブルゲート MOS トランジスタの採用を検討し、付加回路オーバーヘッドを最小限とするために、論理電圧振幅で高低しきい値の制御の可能な 4 端子デバイスの設計を行なった(文献 4)。また、当該年度に購入したパラメータ抽出ソフトウェア等を用いて、別途開発されたダブルゲート MOS トランジスタ用のデバイスモデルモジュールを用いた回路シミュレーションが可能となるように、モデルパラメータの抽出を行ない、十分に高い精度でフィッティングできることを確認した(今後論文を発表する予定)。

### 3. 研究実施体制

#### (1)「産総研」グループ

① 研究分担グループ長:小池 帆平((独)産業技術総合研究所、グループ長)

#### ② 研究項目

- Flex Power FPGA 技術統合化の研究
- Flex Power FPGA アーキテクチャの研究
- Flex Power FPGA 回路技術の研究
- Flex Power FPGA チップレイアウト設計
- Flex Power FPGA 関連ソフトウェアの研究
- Super Flex Power FPGA の研究
- Dynamic Flex Power FPGA の研究
- Robust Flex Power FPGA の研究

#### (2)「明大」グループ

① 研究分担グループ長:堤 利幸(明治大学、専任講師)

#### ② 研究項目

- Flex Power FPGA チップの設計、テストの研究
- Super Flex Power FPGA 向けデバイスのモデリングに関する研究

### 4. 研究成果の発表等

#### (1) 論文発表(原著論文)

1. Kawanami, Hioki, Matsumoto, Tsutsumi, Nakagawa, Sekigawa and Koike: Optimization of the Body Bias Voltage Set (BBVS) for Flex Power FPGA, IEICE TRANSACTIONS ON INFORMATION AND SYSTEMS, Vol.90, No.12, pp.1947-1955, Dec. 2007
2. Hioki, Kawanami, Matsumoto, Tsutsumi, Nakagawa, Sekigawa and Koike: A Power Configurable Block Array Connected in Series as First Prototype Flex Power FPGA Chip, Proc. of 2007 IEEE International Conference on Field Programmable Technology, pp.285-288, Dec. 2007
3. Matsumoto, Hioki, Kawanami, Tsutsumi, Nakagawa, Sekigawa and Koike: Suppresson of Intrinsic Delay Variation in FPGAs using Multiple Configurations, ACM Transactions on Reconfigurable Technology and Systems, Vol.1, No.1, pp.3-1-3-31, Mar. 2008

4. Ouchi, Sakamoto, Endo, Masahara, Matsukawa, Liu, Hioki, Nakagawa, Sekigawa, Koike, Suzuki: Variable-Threshold-Voltage FinFETs with a Control-Voltage Range within the Logic-Level Swing Using Asymmetric Work-Function Double Gates, Proc. of Int. Symp. On VLSI Technology, Systems and Applications, Apr. 2008 (accepted, to be published)

(2) 特許出願

平成 19 年度国内特許出願件数: 6件 (CREST 研究期間累積件数: 6件)