「情報システムの超低消費電力化を目指した技術革新と統合化技術」
平成18年度採択研究代表者

小池　帆平

（(独）産業技術総合研究所　エレクトロニクス研究部門　グループ長）

「しきい値電圧をプログラム可能な超低消費電力FPGAの開発」

1. 研究実施の概要

スーパーコンピュータ(Cray XD1など)から各種情報家電まで幅広い分野で大量に利用され、その重要度が増すFPGA(Field Programmable Gate Array:プログラム可能論理素子)において、デバイスの微細化スケーリングに伴う漏れ電流によって発生する静的消費電力を最小限にするための技術を開発する。本研究課題では、まず、FPGAの静的消費電力を最小化する手法として、FPGAを構成するデバイスのしきい値電圧を細粒度でプログラム可能とした超低消費電力FPGA「Flex Power FPGA((FP)^{2}GA)」を提案する。そして、(1) Flex Power FPGAアーキテクチャの検討、(2)既存デバイス(バルクMOS)および将来デバイス(ダブルゲートMOS等)を前提とした内部回路の検討、(3)LSI試作サービスによる実証チップの設計・試作、(4)クリティカルパス上のデバイスのしきい値を適切に割り当てる省電力CADソフトウェアの開発までを統合的に進め、1年目の基本動作を確認し概念を実証する基本チップの開発、次の2年間での段階的な改良を加えた一連の改良チップの開発を通じて、Flex Power FPGAの低消費電力性能を実証する。さらに、後半2年間では、動的リコンフィギュアラブル技術、制御性の高いデバイスの採用等の新たな技術と融合した発展チップを開発することによって、FPGAの消費電力を100分の1以下に低減させ、低消費電力型高速大容量情報処理システムの基盤技術の確立を目指す。

平成18年10月からの研究開始に先立ち、研究用ソフトウェアツールFlex Power VPRの開発、これを用いたシミュレーション評価、基本構成要素のみを集積した実験チップの開発などを行なってきた。平成18年度は、実験チップの性能測定、基本構成要素の性能を測定するためのTEGチップの開発、基本チップアーキテクチャの検討、今後開発するチップのための実験環境の構築など基本チップ開発の準備を進めてきており、今後、基本チップの開発へと進む見通しである。

2. 研究実施内容

平成 18 年 10 月の研究開始から半年間で実施した研究内容は以下の通りである。

1. 実験チップの性能測定

研究開始までにすでに開発を完了していた、リングオシレータ動作に必要最小限な基本回路のみから構成された、最初の Flex Power FPGA 実験チップについて、LSI テスタを用いた精密な測定を行ない、ボディバイアス電圧の変化にともなうコア回路部分の漏れ電流の変化、ボディバイアス電圧の変化にともなう全体遅延時間の変化などの測定を行なった。また、実験チップに、リングオシレータの回路構成データを書き込み、目的どおり動作することを確認するとともに、ボディバイアス電圧の変化にともなう発振周波数の変化を測定した。これらにより、実験チップが当初の目的どおりに動作することが確認でき、Flex Power FPGA の概念を実証することができた。また、翌年度に予定されている基本チップ開発のための基盤を構築することができた。

2. TEG チップの開発

予算制度上の制約から、本年度は基本チップなどの本格的な規模のチップ試作は行なわず、実験チップ中の基本回路部品(単体トランジスタ、スイッチ、IO セル等)、および、今後の試作チップに搭載予定の新規実験回路の動作特性を、個別に測定可能な、小規模な TEG チップを短期で開発した。今後、プローバと半導体アナライザを用いて、各回路の特性を測定し、実験チップ測定結果の検証、基本チップの設計へのフィードバック、研究ツール Flex Power VPR、および、Vt マッピングソフトウェアへの反映を行なっていく予定である。

3. 実験環境の整備

今後数年間にわたって開発する一連の試作チップ群の動作確認、基本性能の測定などに活用する目的で、専用実験ボード、ロジックアナライザ、パターンジェネレータなどから構成される試作チップ実験環境を構築した。実験ボードは、ソケットで接続された試作チップを対象として、パターンジェネレータから回路構成データ及び入力データを供給し、ロジックアナライザで出力データを観測することができるものであり、市販 FPGA の活用により、今後の試作チップの仕様変更に柔軟に対応することができるように配慮されている。既に開発済みの最初の実験チップについて、回路構成データを書き込み、当初の目標どおり動作することを確認することができた。

4. 基本チップのアーキテクチャ・回路構成の検討

翌年度に計画している基本チップの開発のためのアーキテクチャの検討の一環として、しきい値電圧制御粒度について、面積モデルと電力モデルを設定し、様々な分割粒度のロジックブロック/スイッチブロックの組み合わせのパフォーマンスの評価を進め、その成果を国際学会で発表した。また、制御バイアス電圧セットの最適化について、27 組のバイアス電圧セットについて評価を行ない、最も低消費電力になる組み合わせを探索、最適な BBVS を決定するための指標を提案し、その成果を同じく国際学会で発表した。今後、翌年度の基本チップ設計作業に併せて、更なる検討を進めていく予定である。

5. Robust Flex Power FPGA の検討

半導体微細化とともに顕在化してきている、半導体特性ばらつきの影響を抑えることを目的として開発を目指す Robust Flex Power FPGA の基礎的検討の一環として、複数の回路構成情報をあらかじめ用意しチップ毎に目標性能を満たす最適の回路構成を選択することでチップ内ばらつきを回避する方法を提案して評価した。その成果を国際学会で発表した。

6. Super Flex Power FPGA の検討

Flex Power FPGA の低消費電力化の鍵となる、制御性の良好なデバイスとして、ダブルゲートMOSトランジスタの採用を検討し、翌年度以降の研究体制および研究計画の詳細化を行なった。

3. 研究実施体制

(1)「産総研」グループ

①研究分担グループ長:小池　帆平((独)産業技術総合研究所エレクトロニクス研究部門グループ長)

②研究項目

- Flex Power FPGA 技術統合化の研究
- Flex Power FPGA アーキテクチャの研究
- Flex Power FPGA 回路技術の研究
- Flex Power FPGA チップレイアウト設計
- Flex Power FPGA 関連ソフトウェアの研究
- Super Flex Power FPGA の研究
- Dynamic Flex Power FPGA の研究
- Robust Flex Power FPGA の研究

(2)「明大」グループ

①研究分担グループ長:堤　利幸(明治大学理工学部　専任講師)

②研究項目

- Flex Power FPGA チップの設計、テストの研究
- Super Flex Power FPGA 向けデバイスのモデリングに関する研究

4. 研究成果の発表等

(1) 論文発表(原著論文)

○ Hioki, Kawanami, Tsutsumi, Nakagawa, Sekigawa and Koike: Evaluation of Granularity on Threshold Voltage Control in Flex Power FPGA, Proc. of 2006 IEEE International Conference on Field Programmable Technology, pp.17-23, Dec. 2006

○ Kawanami, Hioki, Matsumoto, Tsutsumi, Nakagawa, Sekigawa and Koike: Optimal Set of Body Bias Voltages for an FPGA with Field-Programmable Vth Components, Proc. of 2006 IEEE

International Conference on Field Programmable Technology, pp.329-332, Dec. 2006

○ Matsumoto, Hioki, Kawanami, Tsutsumi, Nakagawa, Sekigawa and Koike: Performance and Yield Enhancement of FPGAs with Within-die Variation using Multiple Configurations, Proc. of Fifteenth ACM/SIGDA International Symposium on Field-Programmable Gate Arrays, pp.169-177, Feb. 2007