

「情報システムの超低消費電力化を目指した技術革新と統合化技術」

平成 17 年度採択研究代表者

黒田 忠広

(慶應義塾大学理工学部 教授)

「高性能・超低電力短距離ワイヤレス可動情報システムの創出」

## 1. 研究実施の概要

磁気結合チャネルを用いたチップ間通信の研究においては、磁気結合を用いて 10Tbps/100mW のチップ間通信を可能にする技術を創出する。これまでに、1Tbps/100mW の世界最高速度チップ間通信を達成した。また、送信電力の削減を図る技術としてナノダイジー・チェーン技術、パルス波形最適化技術を研究し、0.14pJ/bit と 1/20 の電力削減に成功した。これらの技術によって 1Tbps/150mW のチップ間通信が達成可能となった。今後は面積ペナルティを低減するためのバースト転送技術による 10Gbps/ch のチップ間通信の実現や、磁気結合を利用した新たなアプリケーションの創出、さらに磁性材料の導入を目指す。

偏波変調を用いたパルス通信の研究では、偏波変調を用いた 1 パルスでのシンボル多重化を実現し、10Gbps/10mW の近距離無線通信技術を創出することを目指している。これまでに、22-29GHz の準ミリ波帯 UWB 帯を利用するパルスジェネレータを試作し 1 パルスあたり 3pJ でパルスを送信する回路を試作した。その結果、従来の準ミリ波パルスジェネレータと比較し 2 桁消費電力の小さな回路を実現することができた。また、60GHz 帯パルスジェネレータも試作し、低電力で送信回路を実現可能であることを示した。今後非同期検波方式のパルスレーザと併用し、低電力超高速パルス通信の実現を目指す。

ワイヤレス可動情報システムが自由に動き回る場合、高効率かつ利便性高く給電する方法が不可欠である。本研究では、有機トランジスタを用いて、大面積かつフレキシブルな有機ワイヤレス給電シートを試作し、空間を動き回る情報システムに簡便かつ高効率にワイヤレス給電する手法を供することを目的としている。本年度は、印刷法によって 30×30cm<sup>2</sup> の寸法の電力伝送シートを試作して、伝送実験を行った。

CMOS デジタル回路でアナログ回路を積極的に置き換えた、電力効率に優れた新しいワイヤレス通信方式を提案し、100Mbps/1mW のワイヤレス通信用 CMOS LSI の試作・実証を行う。従来の無線アーキテクチャでは、大部分を占めるアナログ回路による消費電力が問題となっている。本研究では、デジタル化とフラッシングの相乗効果により、消費電力の低減を目指す。今年度は 90nm CMOS プロセスを用いた非同期サンプリング型受信回路の設計と評価を行った。

## 2. 研究実施内容

### 2.1 ナノコイル配列を用いたチップ間通信

本研究においては、最終的な成果として 1/1000 の低電力化を達成すると共に、ワット級の電力で毎秒ペタビットのチップ間通信を可能にすることを目標としている。そのためには速度と電力のトレードオフを改善する新回路技術の創出と、トレードオフを最適化するための設計理論の確立が重要な鍵となる。

これまでの研究において、磁気結合チャネルを用いたチップ間通信技術は、1Tbps の高速化・高密度化を達成してきた。電力に関しては、1チャンネルあたり3mW/Gbpsを消費している。その中でも送信器が約70%の電力を消費しており、支配的である。そこで本年度は、その送信器の低消費電力化技術としてダイジー・チェーン技術とパルス整形技術を研究し、消費電力を従来の1/20まで低減し、1Tbps/150mWのチップ間通信を達成可能にした。

ダイジー・チェーン技術とは送信器を直列に  $n$  段接続し、送信電流を次段の送信器で再利用することによって電子の利用効率を高める技術である。180nm CMOS プロセスでテストチップを試作し電力削減効果を実測した。4段接続ダイジー・チェーン送信回路において1Gbps/ch, BER $<10^{-12}$ の通信性能を劣化することなく、35%の電力削減を達成した。この成果は、VLSI 回路シンポジウム'06において発表した。

またパルス整形技術とは、送信パルス波形を磁気結合チャネルの特性に合わせて整形し送信電力を最小化する技術である。180nm および 90nm CMOS プロセスで高精度デジタルパルス整形回路を設計・試作し電力削減効果を実測した。パルス整形によりパルス波形を最適化し送信電力を従来の1/17に低減した。また180nmから90nmへのプロセススケールリングにより、最終的に送受信器全体の消費電力を従来の1/20に低減した。この成果は、ISSCC'07において発表した。

### 2.2 偏波変調通信による端末間至近距離通信

偏波変調通信では、1つのパルスに複数のシンボルを重畳させたミリ波帯無線信号を用い、飛躍的な通信の高速化とシステムの低消費電力化を目指している。通信方式の改善による高速化、送信回路、受信回路のそれぞれの電力削減効果を組み合わせることにより、システム全体で送信ビットあたり消費電力1/1000を実現する。具体的には、偏波変調方式の鍵となる1つのパルスに  $N$  ビットのシンボルを重畳させる方式をミリ波帯で用いることにより、従来の1パルス1ビットの通信方式と比較し10倍の通信速度を達成する。また、送信回路では、帯域制限された高出力パルスを直接発生させる回路を用い、局部発振回路を用いるミリ波送信回路と比較し消費電力を1/10に削減する。また、高出力パルスを利用した受信回路の待機電力を削減することにより、従来のミリ波受信回路と比較し消費電力1/10を実現する。通信速度を10倍、送受信回路の消費電力を1/100とすることにより、ビットあたり消費電力1/1000を実現する。

これまでに、ミリ波帯でのパルス生成を実現することを検証するために、90nmCMOS プロセスを用いて22-29GHz 準ミリ波帯 UWB の CMOS パルスジェネレータを試作した。ここでは、パルス波形を

整形することにより、周波数スペクトラムマスクを有効に活用しながら 1 パルスあたり 3pJ でパルスを生成可能なことを実証した。さらに、パルスを生成する遅延回路の最適化を行うことによりキャリア周波数を 60GHz にまで引き上げたパルスジェネレータの試作も行い、低電力で 60GHz 帯パルスが生成できることを確認した。また、非同期検波型パルスレシーバの設計と、高出力型パルスジェネレータの設計を行い現在試作中である。今年度はパルス送信回路とパルス受信回路を組み合わせ、低電力超高速パルス通信の実証を行う予定である。

### 2.3 有機トランジスタを用いた大面積無線給電シート

ロボットのようなワイヤレス可動情報システムが自由に動き回る場合、高効率かつ利便性高く給電する方法が不可欠である。電源線を用いてバッテリーに給電するという従来の方法は、電力供給の効率は良いものの、情報システムのノード数が爆発的に増えた場合、作業効率が悪く不便であると考えられ、今後の大きな課題とされている。

本研究では、有機トランジスタを用いて、大面積かつフレキシブルな有機ワイヤレス給電シートを試作し、空間を動き回る情報システムに簡便かつ高効率にワイヤレス給電する手法を供する。有機ワイヤレス給電シートとは、アンテナ・コイルとスイッチング用の有機トランジスタを集積化して 1 つの給電セルを構成し、格子状に並べて大面積のシート全面を覆ったものである。給電用のコイルが細かく分割され、必要箇所のみ給電できるため、消費電力を従来の無線給電と比較して 1/1000 以下に低減できると期待できる。

本年度は、大面積の有機トランジスタ・アレイを実現するために、印刷プロセスを用いて 30×30cm<sup>2</sup> の寸法の電力伝送シートを製造した。我々はこれまでに、低温硬化タイプのポリイミド前駆体や低温（180℃）で焼成可能な銀ナノ粒子をインクジェットで塗布し、有機トランジスタを試作してきた。本年度は、この印刷法による有機トランジスタと印刷法によるプラスチックの MEMS スイッチを集積化し、電力伝送シートを試作して、電力伝送実験を行った。コイル設計などを最適化した結果、電力伝送効率 60% が達成された。

### 2.4 オールモスト・デジタルによる端末間短距離通信

従来の無線アーキテクチャでは、大部分が DC 的に電力を消費するアナログ回路により構成されているため、消費電力の低減が困難であった。本研究では、DC 電力を消費しない CMOS デジタル回路で、アナログ回路を積極的に置き換えたオールモスト・デジタル無線という、電力効率に優れた新しいワイヤレス通信方式の提案と実証を目指す。

今年度は受信回路の低電力化を実現する目的で、非同期サンプリング型パルス受信回路の設計と評価を行った。提案した受信回路はサンプリング型の相関器を有する。この相関器は非同期で受信信号のサンプリングを行うため、同期を取るために従来必要であった PLL や DLL が不要となるため、消費電力を下げる事が出来る。また、原理的にテンプレート信号がデジタルで変更可能であるため、ビットエラーレートを改善することができる。この相関器を 90 nm CMOS プロセスで試作評価を行った。実測を行った結果、サンプリング回路を駆動するための高速クロック信号分配

での消費電力が当初の見積もり以上に大きいことが判明した。そこで、来年度以降は、サンプリング型パルス受信回路における、クロック信号分配による消費電力の低減技術の開発と共に、送受信チップの開発を行う。

### 3. 研究実施体制

#### (1)「慶應」グループ

① 研究分担グループ長:黒田 忠広(慶應義塾大学工学部 教授)

#### ② 研究項目

- ・磁気結合チャネルを用いたチップ間通信の研究

#### (2)「柏」グループ

① 研究分担グループ長:藤島 実(東京大学新領域創成科学研究科 助教授)

#### ② 研究項目

- ・偏波変調通信を用いた超高速無線通信の研究

#### (3)「本郷」グループ

① 研究分担グループ長:染谷 隆夫(東京大学大学院工学系研究科 助教授)

#### ② 研究項目

- ・ワイヤレス給電シートの超低消費電力化に関する研究

#### (4)「駒場」グループ

① 研究分担グループ長:高宮 真(東京大学大規模集積システム設計教育研究センター 助教授)

#### ② 研究項目

- ・超低消費電力の無線通信を実現するオールモスト・デジタル無線に関する研究

### 4. 研究成果の発表等

#### (1) 論文発表(原著論文)

- N. Miura, D. Mizoguchi, M. Inoue, K. Niitsu, Y. Nakagawa, M. Tago, M. Fukaishi, T. Sakurai, and T. Kuroda, "A 1Tb/s 3W Inductive-Coupling Transceiver for 3-D-Stacked Inter-Chip Clock and Data Link," IEEE Journal of Solid-State Circuits (JSSC), Vol.42, No.1, pp. 111-122, Jan. 2007.
- N. Miura, T. Sakurai, and T. Kuroda, "Crosstalk Countermeasures for High-Density Inductive-Coupling Channel Array," IEEE Journal of Solid-State Circuits (JSSC), Vol.42, No.2, pp. 410-421, Feb. 2007.
- B.B.M.W. Badalawa and M. Fujishima, "60 GHz CMOS pulse generator," Electronics Letters,

vol. 43, no. 2, pp. 100–102, 2007.

- Yasushi Takamatsu, Tsuyoshi Sekitani, and Takao Someya, "Temperature dependence of Hall effects in organic thin-film transistors on plastic films", *Appl. Phys. Lett.* 90, 133516 (2007).
- Kazuki Hizu, Tsuyoshi Sekitani, Joe Otsuki, and Takao Someya, "Reduction of operation voltage in complementary organic thin-film transistor inverter circuits using double gate structures", *Appl. Phys. Lett.* 90, 093504 (2007).
- Tsuyoshi Sekitani, Yasushi Takamatsu, Shintaro Nakano, Takayasu Sakurai, and Takao Someya, "Hall effect measurements using polycrystalline pentacene field-effect transistors on plastic films", *Applied Physics Letters*, 88 (25): Art. No. 253508 JUN 19 2006.
- Yoshiaki Noguchi, Tsuyoshi Sekitani, and Takao Someya, "Organic-transistor-based flexible pressure sensors using ink-jet-printed electrodes and gate dielectric layers", *Appl. Phys. Lett.* 89, 253507 (2006).
- Tsuyoshi Sekitani, Takao Someya, and Takayasu Sakurai, "Effects of Annealing on Pentacene Field-Effect Transistors using Polyimide Gate Dielectric Layers", *J. Appl. Phys.* 100, 024513 (2006).