

「電子・光子等の機能制御」
平成10年度採択研究代表者

鳳 紘一郎

(東京大学 教授)

「量子スケールデバイスのシステムインテグレーション」

1. 研究実施の概要

現在のコンピュータが苦手とする類の情報処理や計算問題を、量子力学的効果あるいはそれと同等な機能を有するデバイスを集積することによって、シリコン技術の到達範囲内で解決するシステムを提示することを目的としている。量子力学系を用いた量子コンピュータと同等の大規模並列演算能力を有するLSIプロセッサの実現を推進して16量子ビットの量子プロセッサを完成させており、最終的に75量子ビット相当以上のプロセッサが実現できる見通しである。マイクロ共鳴回路を高集積化したチップを試作、これを用いて人に近い柔軟なパターン認識のできることを実験的に示し、さらにその高速化を図った。これ等のチップを統合したトータル認識システム構築に向けて研究を進める。室温で動作するシリコンMOS単電子デバイスを用いたメモリ効果を実証して、情報を担う電子クラスターの電子数が最終的に数個あるいは1個の超低消費電力ナノデバイスの見通しを得ている。またMOS単電子デバイスの持つ共鳴型の特性は、共鳴型知的エージェントとして利用可能である。一方、SOI構造を用いた新しいシリコンナノ細線FETを考案しその基礎からデバイス特性に至る実験検討を行って来ており、共鳴型特性の知的エージェントへの応用を含めて、さまざまな機能の可能性を検討する。

2. 研究実施内容

(1) フラクタル量子プロセッサグループ

平成14年度は、量子状態をバイナリ表現することにより、LSIを用いて量子コンピューティングをエミュレートする際のメモリ量および演算ハードウェア量の削減を可能とした論理量子プロセッサ(logic quantum processor: LQP)を提案し試作した。150万ゲートのFPGAを用い回路を実現したところ、16量子ビットのエミュレータを実現することができ、従来、量子状態を複素数で表していた場合のエミュレータと比較し、1000倍以上高速になることを示した。また、論理量子プロセッサを実行する際、確率的に量子NOTを挿入することにより、ビットエラーを高速にエミュレーションすることも可能にした。役割の異なる量子ビットに対するビットエラーのシミュレーションを行うことにより、解の候補に対応する量子ビットが、演算出力に対応する量子ビットよりもビットエラーに

対する影響が少ないことを示した。

さらに、高速大規模な演算を可能にする量子コンピューティングのエミュレータの実現に向け、量子状態の表現法を改善した新しい量子プロセッサに対する検討を始めている。



図1 FPGAで試作した論理量子プロセッサ

(2) 共鳴型知的エージェントグループ

マイクロ共鳴回路を高集積化したチップを試作、これを用いて人に近い柔軟なパターン認識のできることを実験的に示した。特に、多重解像度の概念を導入することにより、ズームレンズmetaphorといった興味ある認知の問題に適用できるようになり、さらに医用X線写真の解析でも認識率を大幅に向上させることができた。このような柔軟な認識が可能となったのは、我々が本研究で開発した画像のPPED (Projected Principal Edge) ベクトル表現法が、対象画像の特徴表現に非常に優れているからである。しかしその演算には多大な時間がかかるため、PPED ベクトルを高速に生成するチップの設計試作を行った。これにより、ソフトウェア処理に比較して 10^4 倍以上高速化を達成できる見通しを得た。さらに、視野の中から複数の動いている物体を見つけるMotion Object Detectorチップ、また対象物までの距離を瞬時に計測するStereo-Vision Chip等の設計試作を行った。今後はこれ等のチップを統合したトータル認識システム構築に向けて研究を進める。

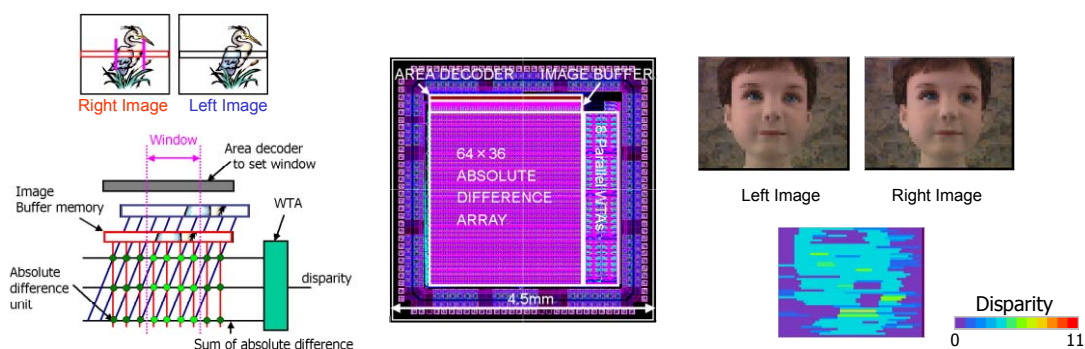


図2. Stereo-Vision Chipの原理図、レイアウト図及びその実測結果

(3) 電子クラスターメモリグループ

少数の電子で記憶を行うメモリデバイスの特性を向上させるため、MOSFETのチャンネル

を極めて細くするデバイス構造を提案し、実験により特性向上を実証した。図3はデバイス構造の模式図である。極めて細いチャンネルを有するMOSFETのゲート酸化膜中にシリコン量子ドットが埋め込まれた構造となっている。ドットに電子が注入されることにより特性にヒステリシスが生じ、メモリとして動作する。図4は、しきい値電圧シフトのチャンネル幅依存性の実験結果である。計算による予測値も示してある。MOSFETのチャンネル幅を約20nm以下に細くすると、チャンネルを流れる電子のボトルネック効果によりしきい値電圧シフトが増大し、メモリとしての特性が向上する。また、ボトルネック効果と量子効果により、メモリの保持時間も向上する。さらにチャンネル幅とチャンネル長を微細化してシリコンドットの数を減少させると、電子数個あるいは1個で動作する究極の単電子メモリが作製できる可能性がある。

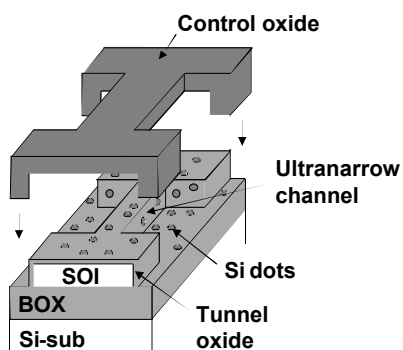


図3 デバイスの模式図。

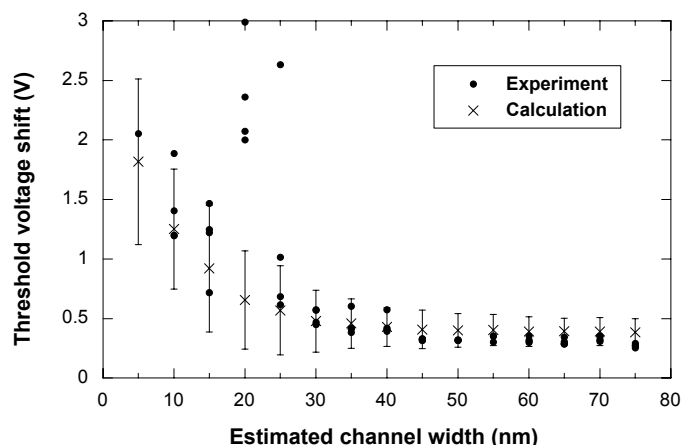


図4 しきい値電圧シフトのチャンネル幅依存性。

(4) 電子場デバイスグループ

SOI上に作製したシリコン細線において細線近傍に設けたサイドゲートからのキャリア注入により細線表面を帯電させ、細線電流を増減できることを明らかにしている。この帯電現象のメモリ素子応用を検討するため、ゲート書き込み後の細線電流保持時間を測定した。ゲートを書き込み電圧 (-6Vあるいは+4V) に設定した後、ゲート電圧を保持電圧に設定して細線電流値の時間変化を観測した。細線電流が保持される時間は保持時のゲート電圧に依存し、保持ゲート電圧0Vのとき1000秒程度のメモリ保持が可能であることを明らかにした。

細線に書き込まれた情報を読み出す手法として、書き込みゲートとは異なる第2のゲートを利用することを検討した。SOI基板を第2ゲートと見なし、それによる細線電流の変化 (I_d - V_{bg} 特性) を測定したものが図5である。書き込み前の初期状態では通常MOSFETの I_d - V_g 特性を示す。書き込みパルス (p型細線には-30V、n型細線には+30V) を加えることで細線表面の帯電量が増加する。この帯電により I_d - V_{bg} 特性が平行シフトする。この特性より、パルス書き込みの有無は V_{bg} 一定での細線電流の変化により読み出せることが分

かった。

次に、本デバイスがしきい値制御可能な細線FETとしての動作をしていることに着目し、p型細線FETとn型細線FETを並列に組み合わせた新しい素子構造（相補型細線FET）を考案した。その動作は下図の共鳴的な出力電流特性とその特性のサイドゲートによる制御が特徴であり、これによって相補形細線FETは共鳴型知的エージェントの要素素子に利用できると考えられる。

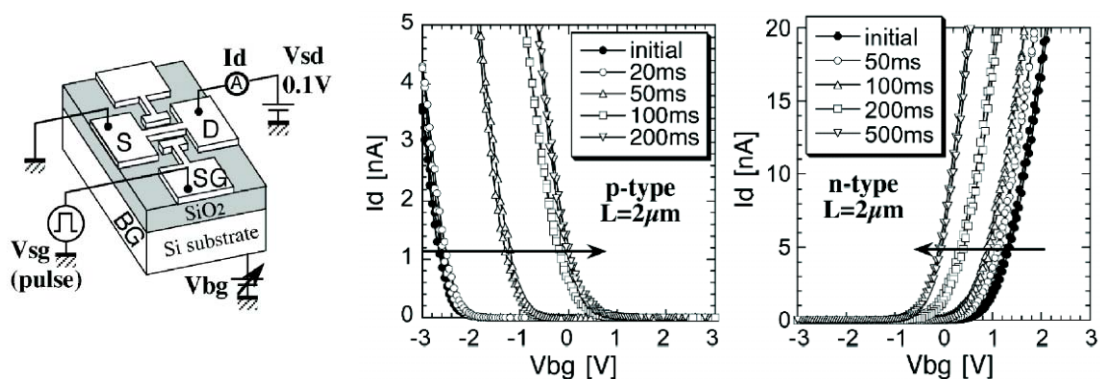


図5 p型およびn型シリコン細線FET特性のサイドゲートによる制御

3. 研究実施体制

フラクタル量子プロセッサグループ

- ① 研究分担グループ長：鳳 紘一郎（東京大学大学院新領域創成科学研究科、教授）
- ② 研究項目：フラクタル構造をもつ量子プロセッサによる大規模並列計算。

共鳴型知的エージェントグループ

- ① 研究分担グループ長：柴田 直（東京大学大学院新領域創成科学研究科、教授）
- ② 研究項目：共鳴回路を用いて人に近い柔軟なパターン認識を行うシステム。

電子クラスターメモリグループ

- ① 研究分担グループ長：平本 俊郎（東京大学生産技術研究所、教授）
- ② 研究項目：単電子効果を用い少数電子のクラスターで記憶を行うデバイス。

電子場デバイスグループ

- ① 研究分担グループ長：金丸 正剛（独立行政法人産業技術総合研究所、主任研究官）
- ② 研究項目：SOI構造によるシリコン細線機能デバイス

4. 主な研究成果の発表（論文発表および特許出願）

(1) 論文（原著論文）発表

- S. O'uchi, M. Fujishima, and K. Hoh, "Fractally-Structured CMOS Processor for Quantum-Circuit Emulator," Jpn. J. Appl. Phys., 41, pp. 2329-2334, April 2002.
- Kiyoto Ito, Makoto Ogawa and Tadashi Shibata, "A High-Performance Ramp-

Voltage-Scan Winner-Take-All Circuit in an Open Loop Architecture,” Japanese Journal of Applied Physics, Vol. 41, Part 1, No. 4B, pp. 2301-2305, April 2002.

- Huaiyu Xu, Yoshio Mita and Tadashi Shibata, “Optimizing Vector-Quantization Processor Architecture for Intelligent Query Search Applications,” Japanese Journal of Applied Physics, Vol. 41, Part 1, No. 4B, pp. 2295-2300, April 2002.
- M. Saitoh and T. Hiramoto, “Observation of current staircase due to large quantum level spacing in a silicon single-electron transistor with low parasitic series resistance”, Journal of Applied Physics, Vol. 91, No. 10, pp. 6725 - 6728, May 2002.
- T. Saito, T. Saraya, T. Inukai, H. Majima, T. Nagumo, and T. Hiramoto, “Suppression of Short Channel Effect in Triangular Parallel Wire Channel MOSFETs”, IEICE Transactions on Electronics, Vol. E85-C, No. 5, pp. 1073 - 1078, May 2002.
- K. Fujita, K. Takada, G. Qian-Rong and T. Shibata, “Patterning of Human Dental Archwire Blanks Using a Vector Quantization Algorithm,” Angle Orthodontist, Vol. 72, No. 4, pp. 285-294, August 2002.
- T. Yamasaki and T. Shibata, “Analog Soft-Pattern-Matching Classifier Using Floating- Gate MOS Technology,” Advances in Neural Information Processing Systems 14, Vol. II, pp. 1131-1138, Eds. T. G. Dietterich, S. Becker, and Z. Ghahramani (MIT Press, Cambridge, England, 2002).
- Masumi Saitoh, Tasuku Murakami, and Toshiro Hiramoto, “Effects of Oxidation Process on the Tunneling Barrier Structures in Room-Temperature Operating Silicon Single-Electron Transistors”, IEEE Transactions on Nanotechnology, Vol. 1, No. 4, pp. 214 - 218, December 2002.
- 平本俊郎, 「極薄膜狭チャネルSOI MOSFETにおける量子効果」, 超精密, Vol. 12, pp. 81 - 85, 2002年12月.
- M. Saitoh, E. Nagata, and T. Hiramoto, “Large memory window and long charge retention time in ultra-narrow channel silicon floating-dot memory”, Applied Physics Letters, Vol. 82, No. 11, pp. 1787 - 1789, March 2003.
- T. Matsukaw, S. Kanemaru, M. Masahara, M. Nagao, H. Tanoue and J. Itoh : “Silicon nanowire with programmable conductivity analyzed by scanning Maxwell-stress microscopy” , J. Vac. Sci. Technol. B, vol.21, 664-669, March 2003.

(2) 特許出願

H14年度特許出願件数：4件（研究期間累積件数：6件）