

「超高速・超省電力高性能ナノデバイス・システムの創製」

平成 14 年度採択研究代表者

古屋 一仁

(東京工業大学大学院理工学研究科 教授)

「超ヘテロナノ構造によるバリスティック電子デバイスの創製」

## 1. 研究実施の概要

半導体だけでなく金属・絶縁体までを含む広範囲の材料の複合ヘテロ接合を、ナノメートル領域に 3 次元的に位置制御して形成した新たな人工ナノ構造 (3 次元超ヘテロナノ構造) を創製し、バリスティック走行による超高速性、極小化による低消費電力性をもつ新しい電子デバイスを実現する。3 次元超ヘテロナノ構造では、デバイス本体の最小化で寄生容量/抵抗の問題を最小限とし、各材料の本質的高速性が引き出せる。

さらに、3 次元超ヘテロナノ構造は、電子の波動性による共鳴・干渉・回折を顕著に発現・制御する多機能デバイス分野を拓く可能性、超高速変調された電子波の量子効果による新たなテラヘルツ帯増幅などの新デバイスの可能性を持つ。

すでに、電荷供給部/收受部を最小化するデバイスでは、InP中に埋込んだ幅 $0.1\mu\text{m}$ の金属細線1本をコレクタとする、世界最小面積エミッタ ( $0.1 \times 0.5\mu\text{m}^2$ ) のHBTの増幅動作、シリコンショットキー構造をソース及びドレインとするゲート長25nmのMOSFETの増幅動作の確認を行っており、今後世界最高水準の超高速動作を目指す。

また、ヘテロ構造電子ランチャと真性領域だけを走行領域とするホットエレクトロントランジスタでは、電流利得として二桁台を得ることが可能となっており、今後のリーク電流低減により、高周波測定からの真のバリスティック走行確認を目指す。

電子波によるデバイス原理の探究では、ダブルスリット構造 (スリット間隔25nm) による干渉像を微細電極 (電極周期80nm) で観測する構造を作製し、液体ヘリウム温度下での磁場測定結果から、干渉像観測を確認した。今後、干渉/回折像観測の実験と理論とを併せ、高度情報処理機能発現を目指す。また超高速変調した電子のみを加速してのテラヘルツ領域増幅動作を探求する。

## 2. 研究実施体制

古屋グループ

① 研究分担グループ長：古屋 一仁 (東京工業大学理工学研究科、教授)

② 研究項目：超ヘテロナノ構造によるバリスティック電子デバイスの創製