

「電子・光子等の機能制御」
平成 10 年度採択研究代表者

鳳 紘一郎

(東京大学新領域創成科学研究科 教授)

「量子スケールデバイスのシステムインテグレーション」

1. 研究実施の概要

(1) フラクタル量子プロセッサグループ

本研究では、回路トポロジにフラクタル構造を用い、量子計算を高速に実行する専用プロセッサの実現を目指している。これまで、物理系で構築される量子計算機内部の物理現象を高速にエミュレートすることの可能な14量子ビット物理量子プロセッサと、量子アルゴリズムを高速に実行することの可能な16量子ビット論理量子プロセッサを実現した。今後、アーキテクチャに改良を加え、物理系で問題となるデコヒーレンス現象や量子アルゴリズム向き探索問題の高速演算が可能なシステムを構築する予定である。

(2) 共鳴型知的エージェントグループ

本研究は、量子効果を用いてヒトのように柔軟な情報処理システムを構築するための方法論を確立することである。量子共鳴効果を簡単な CMOS 回路で実現、これを集積化した LSI チップを開発し、複雑な手書きパターンの認識、専門医の行う X 線画像の解析等が柔軟に実行できることを実証した。

(3) 電子クラスターメモリグループ

現状の集積回路と単電子デバイスのちょうど中間の電子数に相当する数十から数百個の電子で動作するメモリの研究を行う。マルチドット系のクーロンブロッケード現象を利用し、電子数を数百個単位で制御する。また、メモリ効果を利用してシリコン単電子トランジスタの特性制御をおこなひ、ソフトな知的情報処理向けのレゾナントデバイスへの応用を目指す。

(4) 電子場デバイスグループ

ナノメートル極微構造に作用する電子場を変調することにより機能を発現する新しい電子場デバイスの実現を目指している。今年度はシリコンナノ細線を流れる電流のヒステリシス特性をサイドゲートにより制御することに成功し、メモリ素子としての応用可能性を明らかにした。

2. 研究実施内容

(1) フラクタル量子プロセッサ

多数の素子を用いた SIMD(Single-Instruction-Multiple-Data)型の並列演算で、量子コンピュータと同等なステップ数で量子アルゴリズムを実行可能なアーキテクチャを提案している。量子計算

における確率振幅を 7qubit 分保持するメモリを各 Processor Element (PE)に実装することにより、14qubit 相当の物理量子プロセッサを実現した。また、LSI 中の多数の素子を並列動作させることにより、量子回路を模したアルゴリズムを実行しつつ、量子計算機の計算能力と同等の能力を有する新しいプロセッサの研究を通じ、量子計算におけるキュービットの状態確率をデジタル的に 0/1 で表現することにより、16 量子ビットの論理量子プロセッサを実現した。

物理量子プロセッサでは、基本的な量子ゲート操作の他に、否定(NOT)と制御つき否定(C-NOT)を 1 命令で行う。また、位相操作を含まない実数演算においては虚数部の演算を行わないことにより 1 命令に必要なクロック数を減らし、命令数・クロック数が大幅に減り効率的な動作が可能となった。一方、Shor のアルゴリズムを初めとした量子アルゴリズムの多くは図1.1 のような、(第1段階)Walsh-Hadamard (WH)変換による重ね合わせ初期状態の生成、(第2段階)量子論理ゲートによる並列計算、(第3段階)QFT などを使った干渉による解の抽出の 3 段階を経る。第1段階の初期状態の生成は LSI の場合、直接代入を行うことにより代用できる。第 2 段階の終了時において必要な各基底状態の確率振幅は、0 または有限値の 2 種類の情報さえあれば十分であり、必ずしも位相情報は重要ではない。第3段階では、LSI 固有の観測命令体系を用いることにより量子フーリエ変換は必要なくなる。このことを利用すれば、状態数と同じビット数のメモリと単純な論理回路だけからなる PE(Processor Element)を多数並べることにより第2段階の量子論理ゲートによる並列計算を半導体集積回路上でエミュレートする論理量子プロセッサを実現できる。

14 量子ビットの物理量子プロセッサは、150 万ゲートを有する CPLD(Complex Programmable Logic Device)上に実装した。図 1.2

に示すように 7 量子ビット分の確率振幅を保持するメモリを持った PE 128($=2^7$)個と、PE 間を通信する通信網、ユニタリ変換行列の要素および命令を各 PE に伝達する通信網、制御ユニットの各構成要素からなる。各 PE に割り当てられたメモリは、実部・虚部それぞれ 8 ビットの精度で 128($=2^7$)基底の確率振幅を保持している。ハイパーキューブ状の通信網を必要に応じて用いながら、これらの確率振幅を順に読み出し積和演算をパイプラインで行いメモリに書き戻すことで量子計算をエミュレートする。PE の内部には乗算器と加算器が 1 個ずつあり、2 クロックで積和演算を実行できる。このプロセッサを

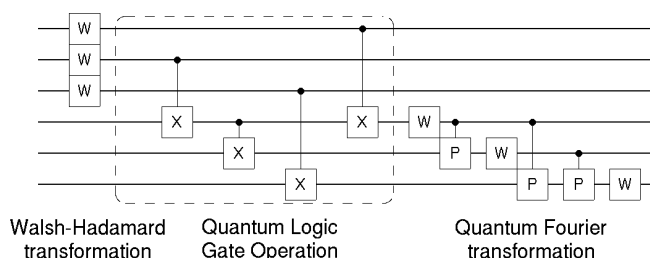


図 1.1 主なアルゴリズムの量子回路図

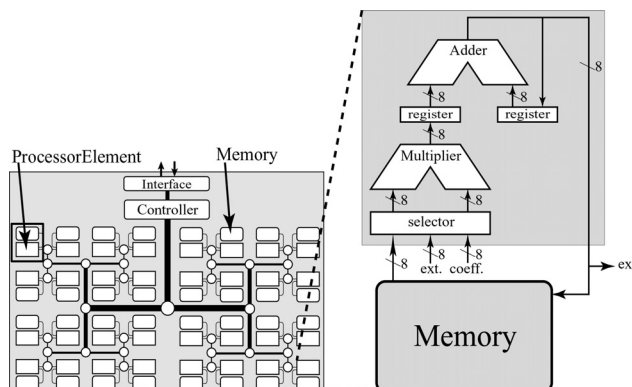


図 1.2 物理量子プロセッサの構成

100MHz で動作させれば、PE が 128 並列動作をし、2 クロックで 1 データを生成するので実効的に毎秒 6GOPS (Giga Operations Per Second)の計算能力を有すると考えられる。論理量子プロセッサでは、物理量子プロセッサに使用したのと同じ CPLD に 64 k ビットのメモリと 1024 個の PE によって 16 量子ビットの量子計算をエミュレートしている。プロセッサ内部では図 1.3 のように各 PE がハイパーキューブ状に通信しながら並列計算をおこなう。また、プロセッサに非量子的な機能を加えることで任意の状態の観測を多項式時間で実行でき、量子アルゴリズム全体を多項式時間内に実行することが可能である。論理量子プロセッサでは、およそ 60 MHz のクロックで 1024 個の PE が並列に動作することから、60 GOPS の計算能力を有すると考えられる。物理量子プロセッサ、論理量子プロセッサとも量子回路を量子計算プロセッサの命令コードに変換し、USB 通信によって PC 側から制御や専用量子アセンブラの開発を行い、システムを構成している。

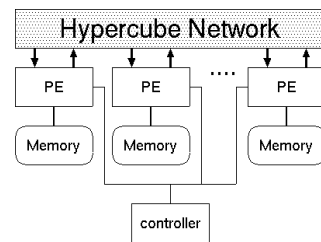


図 1.3 論理量子プロセッサの構成

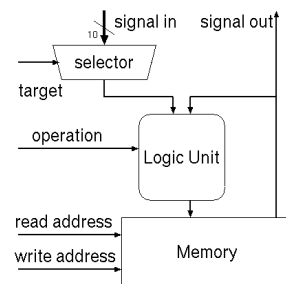


図 1.4 論理量子プロセッサ PE 内部の構成

(2) 共鳴型知的エージェント

量子共鳴現象をエミュレートする CMOS Resonant Agent 回路を開発した。簡単な CMOS 構成にニューロン MOS の概念を導入、共鳴の鋭さを自在に制御できる構成を開発した。図 2.1 にその回路図と測定結果を示す。フィードバック信号をコントロールすることで、様々な共鳴特性が実現できる。この CMOS Resonant Agent を集積化した VLSI チップを試作、これに主軸投影法 (PAP 法) でベクトル化した画像を記憶させ、「過去の記憶の連想想起によってヒトのような柔軟な画像認識を行う」という心理学脳モデルの実験を行った。これにより、部分的に欠けた手書きパターンから、欠損部を自動的に修復して正しい画像を認識する実験、多重に重なったパターンを分離する実験

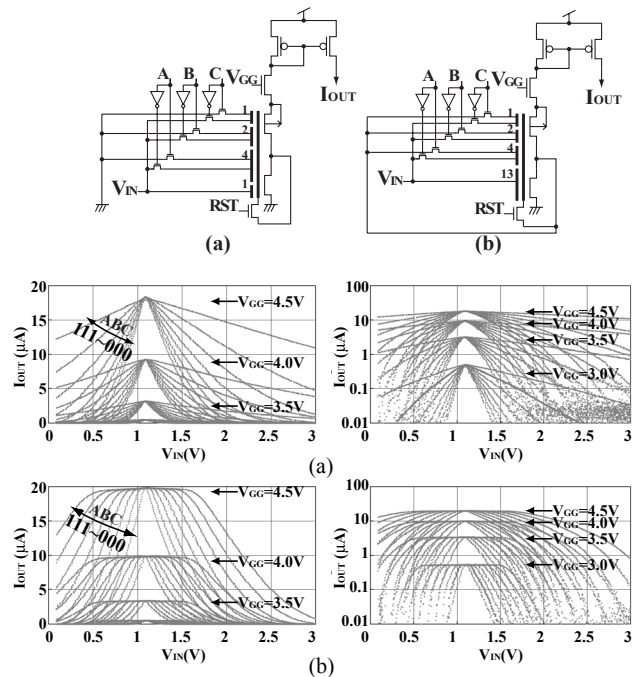


図 2.1 CMOS Resonant Agent 回路とその測定結果

多重に重なったパターンを分離する実験

等において、ロバストな認識処理が可能であることを示した。図 2.2 に、X 線写真を医者の専門知識をもとに解析する実験の結果を示す。これは、脳下垂体の位置を探し出す操作が専門医と同様に行えることを示している。この回路は、超低電力で動かすことが可能であり、低電力においても十分な認識特性の得られることが分かった。今後の低消費電力システム実現に重要な成果である。

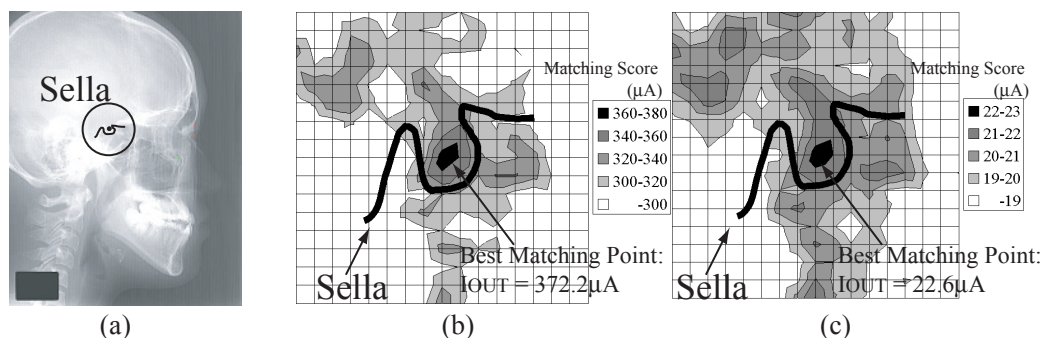


図 2.2 CMOS Resonant Agent 回路で構成した連想プロセッサによる医用 X 線写真の解析。低電力でも十分な認識性能が得られる。

(3) 電子クラスターメモリ

本年度は、主にシリコン単電子トランジスタの室温動作と、ドット中の量子効果がトランジスタ特性に与える影響について検討を行った。図 3.1 は、単電子トランジスタとして動作するポイントコンタクト MOSFET の SEM 写真である。狭窄部の線幅は 10nm 以下であり、室温でも山谷比 2 程度の大きなクーロンブロックード振動を示す。ドットサイズは 5nm 程度と見積られる。このような小さなドットを有するデバイスでは、ドット内の電子状態が量子化し、半古典的なクーロンブロックード理論では説明できない電気伝導特性が現れる。図 3.2 は、このデバイスで観測された負性微分抵抗特性である。77K という高温でも非線形な振る舞いが見られる。この現象は、各量子準位におけるトンネル確率の違いによって説明することができる。

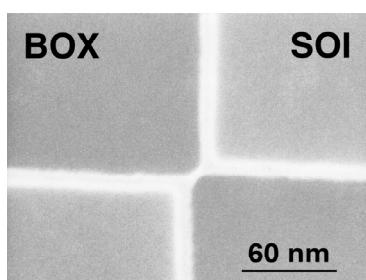


図 3.1 ポイントコンタクト部の SEM 写真

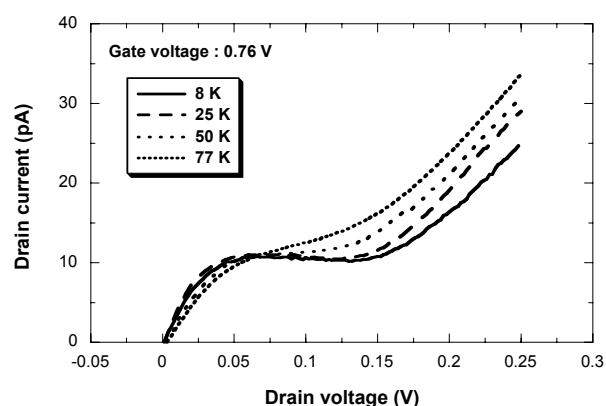


図 3.2 単電子トランジスタにおける負性微分抵抗

(4) 電子場デバイス

SOI 基板上に作製した 100nm 以下のシリコン (Si) 細線において、細線中を流れるホットキャリアが細線表面にトラップされて生じる表面帯電により細線電流が変調される現象をこれまでに見出している。この現象をメモリ素子へ応用することを目指して、細線に近接設置したゲートによる表面帯電制御を試みた。作製した素子は図 4.1 に示すように数 10nm 幅の p 型 Si 細線の両脇に Si ゲートを配置した構造となっている。ゲート電圧を正負に掃引すると細線電流はヒステリシスループを描く。本素子の場合にはドレイン電圧を十分小さくして測定しているため、細線中でのホットキャリアは発生しない。したがって、この現象はゲート電界に起因して発生したものと考えられる。

同図に示す表面電位分布の観測結果から、負のゲート電圧印加により細線が負に帯電して細線電流が増加し、電圧印加後も状態が記憶されること、正ゲート電圧印加により帯電が解消されて初期状態に戻ることが分かった。これによりサイドゲートによって Si 細線のメモリ効果を制御できることがわかった。

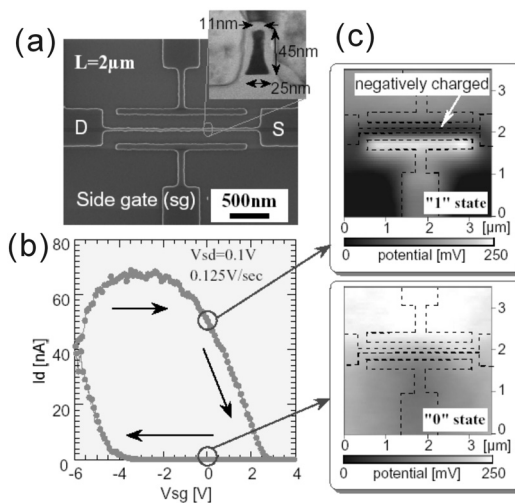


図 4.1 (a)サイドゲート付シリコン細線構造 (b)ドレイン電流のヒステリシス特性 (c)動作時の電位分布

3. 研究実施体制

フラクタル量子プロセッサグループ

- ① 鳳紘一郎(東京大学、教授)
- ② 論理量子プロセッサの設計
 - 物理量子プロセッサの設計
 - 量子モニタ、アセンブラ、デバッガの設計
 - 量子プロセッサ向きアルゴリズムの検討

共鳴型知的エージェントグループ

- ① 柴田直(東京大学、教授)
- ② 共鳴型知的エージェントの研究

電子クラスターメモリ・グループ

- ① 平本俊郎(東京大学 助教授)
- ② 少数電子を利用したメモリデバイス
 - 室温動作シリコン単電子トランジスタ
 - メモリ効果により特性制御可能なシリコン単電子トランジスタ

電子場デバイスグループ

- ① 金丸正剛(産業技術総合研究所、グループ長)
- ② 極微シリコン構造を用いた電子場デバイスの研究

4. 研究成果の発表

(1) 論文発表

- S. O'uchi, M. Fujishima and K. Hoh, "A Programmable SIMD Processor for Universal Quantum-Circuit Simulator", Wxtend. Abstr. Of 2001 Int. Conf. on Solid State Devices and Materials, Tokyo, 2001, pp.402-403.
- T. Yamasaki and T. Shibata, "An Analog Similarity Evaluation Circuit Featuring Variable Functional Forms," Proceedings of The 2001 IEEE International Symposium on Circuits and Systems (ISCAS 2001), pp. III-561-564, Sydney, Australia, May. 6-9, 2001.
- Masayoshi Adachi and Tadashi Shibata, "Image Representation Algorithm Featuring Human Perception of Similarity for Hardware Recognition Systems," Proceedings of the International Conference on Artificial Intelligence (IC-AI'2001), Ed. by H. R. Arabnia, Vol. I, 229-234 (CSREA Press, ISDBN: 1-892512-78-5), Las Vegas, Nevada, USA, June 25-28, 2001.
- Toshihiko Yamasaki, Ken Yamamoto, and Tadashi Shibata, "Analog Pattern Classifier with Flexible Matching Circuitry Based on Principal-Axis-Projection Vector Representation," *Proceedings of the 27th European Solid-State Circuits Conference (ESSCIRC 2001)*, Ed. by F. Dielacher and H. Grunbacher, pp. 212-215 (Frontier Group), Villach, Austria, September 18-20, 2001.
- Makoto Ogawa and Tadashi Shibata, "NMOS-based Gaussian-Element-Matching Analog Associative Memory," *Proceedings of the 27th European Solid-State Circuits Conference (ESSCIRC 2001)*, Ed. by F. Dielacher and H. Grunbacher, pp. 272-275 (Frontier Group), Villach, Austria, September 18-20, 2001.
- T. Hiramoto, N. Takahashi, H. Ishikuro, and M. Saitoh, "Single Electron Transistors and Other Nanodevices on SOI", Silicon-on-Insulator Technology and Devices X, edited by S. Cristoloveanu, P.L.F. Hemment, K. Izumi, G.K. Celler, F. Assaderaghi, and Y.-W. Kim, Electrochemical Society, pp. 379 - 389, 2001.
- 平本俊郎, 「シリコン単電子トランジスタの現状と将来展望」, 固体物理, Vol. 36, No. 7, pp. 435 - 439, 2001年7月.
- M. Saitoh and T. Hiramoto, "Effects of Discrete Quantum Levels on Electron Transport in Silicon Single-Electron Transistors with an Ultra-Small Quantum Dot", IEICE Transactions of Electronics, Vol. E84-C, No. 8, pp. 1074 - 1076, August, 2001.
- M. Saitoh, T. Saito, T. Inukai and T. Hiramoto, "Transport spectroscopy of the ultrasmall silicon quantum dot in a single-electron transistor", Applied Physics Letters, Vol. 79, No.

13, pp. 2025 - 2027, September, 2001.

- T.Matsukawa, H.Fujii, M.Nagao, S.Kanemaru, H.Yokoyama, J.Itoh, “Charging Damage of Silicon-on-Insulator (SOI) Wafer Determined by Scanning Maxwell-stress Microscopy”, Jap. J. Appl. Phys., Vol.40, **4B**, pp.2907-2910, 2001.
- T.Matsukawa, H.Fujii, S.Kanemaru, H.Yokoyama, J.Itoh, “Characterization of electrical conduction in silicon nanowire by scanning Maxwell-stress microscopy”, Appl. Phys. Lett., Vol.78, **17**, pp.2560-2562, 2001.

(2) 特許出願

国内1件、外国なし