

「脳を創る」

平成9年度採択研究代表者

小柳 光正

(東北大学大学院工学研究科 教授)

「脳型情報処理システムのための視覚情報処理プロセッサの開発」

1. 研究実施の概要

我々の脳型情報処理プロセッサは3次元集積化技術を用いて多層に積層したLSIによって構成される。このような層状構造は生体の脳と酷似しており、膨大な配線数が要求される脳型情報処理プロセッサを構築するために非常に有効であると考えられる。今年度は3層からなる3次元人工網膜チップの試作を行ない、そのプロセス上の課題を検討した。またこのチップの試作と平行して従来技術で人工網膜チップを試作して回路評価を行なった。

2. 研究実施内容

我々が試作を目指している3次元LSIの断面構造を図1に示す。トランジスタが形成されたLSIが縦に数層積み重なり、各LSI層間は埋め込み配線とマイクロバンプにより電氣的に接続される。

我々はこのような生体に近い層状構造を有するLSIを用いて網膜及び、V1野などの試作を進めている。

人工網膜のための3次元集積化技術

平成12年度は3次元集積化技術を用いて網膜を模擬するための3層からなる3次元LSIを試作した。この3次元LSIは図2に示すような回路構成となっており、最上層に視細胞を模した光センサー回路、第2層にフィルター処理を行なう水平細胞/双極細胞回路、第3層にパルス出力回路である神経節回路を配した三層構造から成っている。

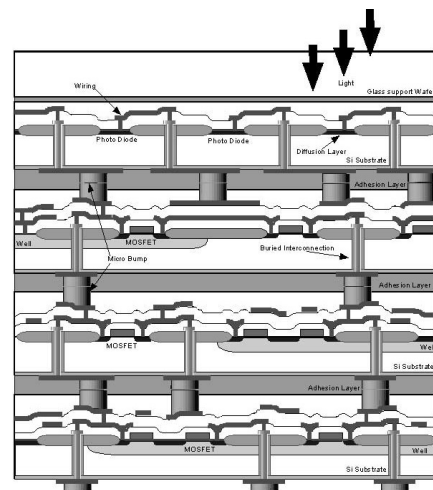


図1 3次元集積回路の概念図

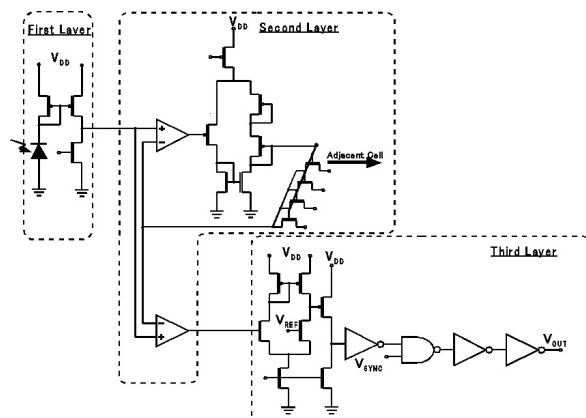


図2 人工網膜回路

現在、図3に示すようにこのようなピクセルを 32×32 搭載した3次元人工網膜チップの試作を終了して解析をはじめた。

このチップはセンサー面と反対の最下層から電極を取り出す構造となっており、チップをバンプ接続して基板からパッケージへボンディングする。(写真は基板にバンプ接続したところ)

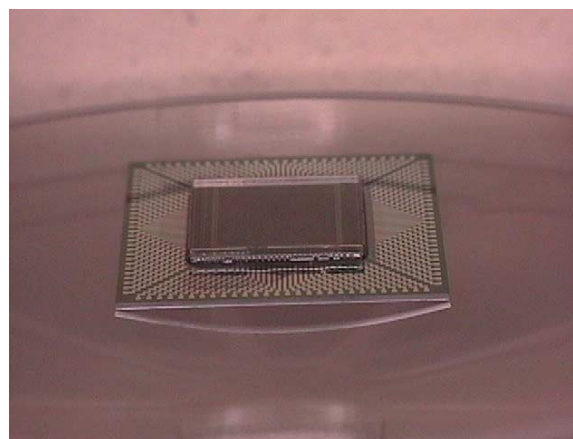


図3 三層に積層化した人工網膜チップ

3次元集積化技術

3次元集積化技術は埋め込み配線形成技術、ウエーハ薄層化技術、バンプ形成技術、ウエーハ位置合わせ技術、ウエーハ接着技術の5つの要素技術より構成される。平成10年度、11年度とかけて要素技術の開発を終えて、図3に示したようなまとまった回路規模の試作の段階となった。しかしながらまだプロセスに改善すべき点があり、なかでも埋め込み配線の低抵抗化のためにポリシリコンから金属配線に置き換えることが強く望まれる。そのため平成10年度に導入した金属薄膜堆積装置を使ってタングステンの埋め込みの実験を行なった。その結果、図4に示すように深さ $54\mu\text{m}$ 、幅 $1.3\mu\text{m}$ のトレンチへの均一な埋め込みに成功した。今後、この技術を使って埋め込み配線をタングステンにして、より高性能な3次元集積回路の開発を目指す。

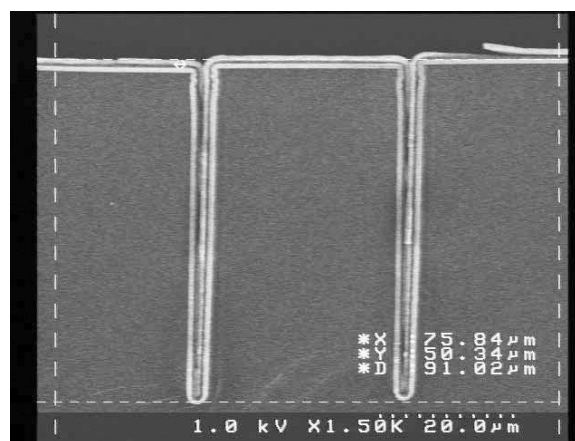


図4 金属薄膜堆積装置によるタングステンのトレンチへの埋め込み

人工網膜回路

人工網膜回路の回路検証を行なう為、3次元集積化技術を用いて試作した回路とほぼ同じ回路を2次元(従来の)LSIでも試作、評価を行

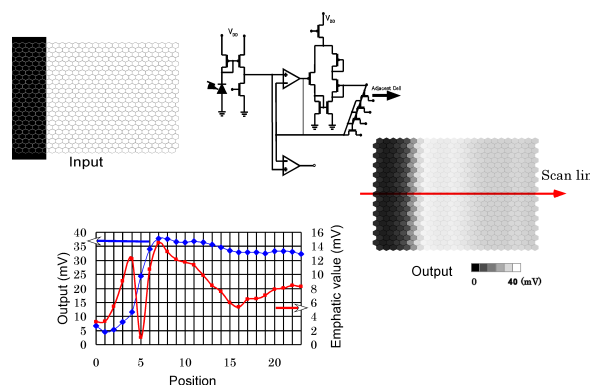


図5 2次元人工網膜チップの評価結果

なった。図4にその評価結果を示す。

図に示すように入力として白黒のパターンを入力したところ出力として図に示すような入力のエッジ部分が他よりも強調された画像を得ることができた。

まとめ

今年度は、開発に目処がついた3次元集積化技術を用いて人工網膜チップの試作を行なった。プロセス技術の改良を行なうと共に、人工網膜回路の検証、改良を進めている。

3. 主な研究成果の発表(論文発表)

Mitsumasa Koyanagi, "Progress of Three-Dimensional Integration Technology" [Extended Abstracts of the 2000 International Conference on Solid State Devices and Materials,, (2000), 422-423]

Yoshihiro Nakagawa, Kang-Wook Lee, Tomonori Nakamura, Yuusuke Yamada, Ki-Tae Park, Hiroyuki Kurino and Mitsumasa Koyanagi "Neuromorphic Analog Circuits for Three-Dimensional Stacked Vision Chip" [7th International Conference on Neural Information Processing,, (2000), 636-641]

H.Kurino, Y.Nakagawa, K.W.Lee, T.Nakamura, Y.Yamada, K.T.Park and M.koyanagi "Smart Vision Chip Fabricated Using Three Dimensional Integration Technology" [Abstract of Neural Information Processing Systems 2000(NIPS2000), (2000)]

Hiroyuki Kurino, Yoshihiro Nakagawa, Kang Wook Lee, Tomonori Nakamura, Yuusuke Yamada, Ki Tae Park and Mitsumasa Koyanagi, "Neuromorphic Systems with Smart Three Dimensional Structure" [International ICSC symposium on BIOLOGICALLY INSPIRED SYSTEMS'2000,, (2000)]

李康旭、中村共則、佐久間克幸、宮川宣明、島筒博章、朴起台、栗野浩之、小柳光正、"Intelligent Image Sensor Chip with Three Dimensional Structure"[映像情報メディア学会技術報告,, (2000)]

Kang Wook Lee, Tomonori Nakamura, Katsuyuki Sakuma, Ki Tae Park, Hiroaki Shimazutsu, Nobuaki Miyakawa, Ki Yoon, Kim, Hiroyuki Kurino and Mitsumasa Koyanagi, "Development of Three-Dimensional Integration Technology for Highly Parallel Image-Processing Chip" [Jpn.J.Appl.Phys., 39, (2000), 2473-2477]

K.W. Lee, T.Nakamura, T.Ono, Y.Yamada, T.Mizukusa, H.Hashimoto, K.T. Park, H.Kurino and M.Koyanagi , "Three-Dimensional Shared Memory Fabricated Using Wafer Stacking Technology" [The International Electron Devices Meetong(IEDM), (2000) 165-168]

Hiroyuki Kurino , "Wafer Level Three Dimensional Integration" [The IEEE

Electron Devices & Solid-State Circuits Society Baltimore Chapter,,(2000)]

Mitsumasa Koyanagi, Yoshihiro Nakagawa, Kang-Wook Lee, Tomonori Nakamura, Yuusuke Yamada, Kiyoshi Inamura, Ki-tae Park, Hiroyuki Kurino, "Neuromorphic Vision Chip Fabricated Using Three-Dimensional Integration Technology" [Proceedings of the 2001 IEEE International Solid State Circuits Conference 2001,,(2001)]

小柳光正、“新しい共有メモリを用いた並列処理システム”[(社)電子情報通信学会 信学技報,,(2001) 59-65]

Mitsumasa Koyanagi, "Requirements for Junction Technology from Device Design" [Extended Abstracts of International Workshop on Junction Technology 2000,,(2000)]

小柳光正、“各種拡散技術の比較と今後の動向”[応用物理学会 シリコンテクノロジー分科会,,(2000) 21-31]

朴起台、志哲、高光旭、栗野浩之、小柳光正、“原子層吸着拡散法による極浅接合の形成とサブ0.1 μ m MOS トランジスタの試作”[社団法人 電子情報通信学会 信学技報,,(2000) 57-64]

K.W.Lee, T.Nakamura, Y.Yamada, K.T.Park, H.Kurino and M.Koyanagi, "Deep Trench Etching in SOI Wafer for Three-Dimensional LSIs" [Extended Abstracts of the 2000 International Conference on Solid State Devices and Materials,,(2000) 424-425]

Ki-Seon Kim, Yun-Heub Song, Ki-Tae Park, Hiroyuki Kurino, Takashi Matsuura, Kazuhiro Hane, Mitsumasa Koyanagi, "A Novel Doping Technology for Ultra-shallow Junction Fabrication : Boron Diffusion from Boron-adsorbed Layer by Rapid Thermal Annealing"[Thin Solid Films, 369,(2000) 207-212]