

「電子・光子等の機能制御」
平成10年度採択研究代表者

鳳 紘一郎

(東京大学 新領域創成科学研究科 教授)

「量子スケールデバイスのシステムインテグレーション」

1. 研究実施の概要

従来のコンピュータでは不可能な大規模高速演算と柔軟な認識・判断能力をもつコンピュータシステムの実現を目指し、前者については量子コンピューティングの数学的原理を利用しつつ、シリコン技術を用い段階的にハードウェアを拡張して目標を達成するために、フラクタル構造のプロセッサの構成と、電子場デバイスを含む要素デバイスならびに実装法の研究を行っている。後者については、人間の認知機能に近い高度のパターン認識のために提案している共鳴型知的エージェントのハードウェアを、電子クラスタデバイス等による共鳴型特性を利用して実現させる研究を行っており、また共鳴型エージェントと電子クラスタメモリを、量子コンピュータ型演算のプリプロセッサおよび大容量メモリとして活用する方式の検討も行っている。

2. 研究実施内容

(1) フラクタル量子プロセッサ・グループ

LSIでは1億を超える膨大なトランジスタを1つのチップ上に集積することが可能であるが、これを用いて大規模な演算を量子コンピュータ内で用いられる数学を用いて並列に実行することにより、現在のコンピュータよりも1000倍以上高速の演算を行うことを目指している。本研究を実現するためには、(a)多数の演算を高速に実行するための回路の研究、(b)ボード間で大容量のデータをやり取りするための通信回路の研究、(c)ハードウェアを高集積化するための極微細デバイスの研究という3つのテーマを並列しプロジェクトの推進を行っている。昨年度の具体的な成果は以下のとおりである。

(a) LSIを用いた大規模並列演算ハードウェアの設計

汎用の量子計算エミュレータをシリコンCMOS LSIを用いて設計し、実用的な計算システムを構築する際の要件を検討した。量子ビット(キュービット)で構成される量子系の基底状態はそれぞれ周波数スロットを用いた周期信号で表現される。状態の重ね合わせは合成波として表され、各基底の観測確率は周波数成分のパワースペクトルに対応する。量子計算におけるキュービットに対する

ユニタリ発展は、複素FIR (Finite Impulse Response) フィルタと周波数変換器を組み合わせて各基底の振幅に対し演算を施すことにより実現される。3量子ビットの量子アルゴリズムを実演し、その性能を詳細に評価するとともに、フラクタル構造を用いて大きいキュビット数まで拡張する方式を検討した。

(b) ボード間結合用無線通信回路

デジタル回路と相性のよいCMOS技術を用いて、量子コンピュータにおいてデータをボード間で伝送するのに用いる無線通信回路の研究を行っている。その一環として、電力増幅器を簡略化した回路構成とすることで低消費電力化を図った、2.4GHzトランスミッタについての設計を行った。

(c) 演算要素シリコンナノデバイス

演算の基本要素であるMOSFETの微細化が進むと、長チャネルの時代には問題にならなかったショートチャネル効果、パンチスルー、不純物原子のランダム分布のような様々な問題が顕著になる。そのような問題を解決するためのデバイスとしてソースおよびドレインにシリサイドを用いたMOSFETの研究を行っている。現在は同一基板上に0.1 μ m程度のチャネル長までのデバイス作製に成功している。

(2) 共鳴型知的エージェントグループ

量子共鳴現象をベースとした知能情報処理システム構築の研究を行っている。すなわち、所定の入力信号レベルに対して出力（例えば電流）がピーク特性を示す共鳴素子を複数個組み合わせてマイクロ共鳴エージェントを構成、これによってヒトの知識の断片を表現する。マイクロ共鳴エージェントを量子スケールデバイス集積のメリットを生かして高密度集積したシステムを構成、過去の経験の記憶と連想想起をベースとした知能情報処理実現を目指している。本年度は、CMOS回路技術を用いて量子共鳴現象を模擬する共鳴エージェントを設計試作、これを用いて柔軟な連想の可能なことを実証した。CMOSインバータに ν MOSの概念を導入して負帰還の量を制御、さらにゲート接地MOSを付加した回路を考案した。これによって共鳴のピーク位地やピークの高さはもちろん、共鳴特性の鋭さも自在に変化できるエージェント回路を実現、さらにこのエージェントが、実際に銘記しているパターンに類似の入力に対し、共鳴的に応答することを実験的に示した。本回路は、「半導体演算回路」として、事業団より特許出願を行った。

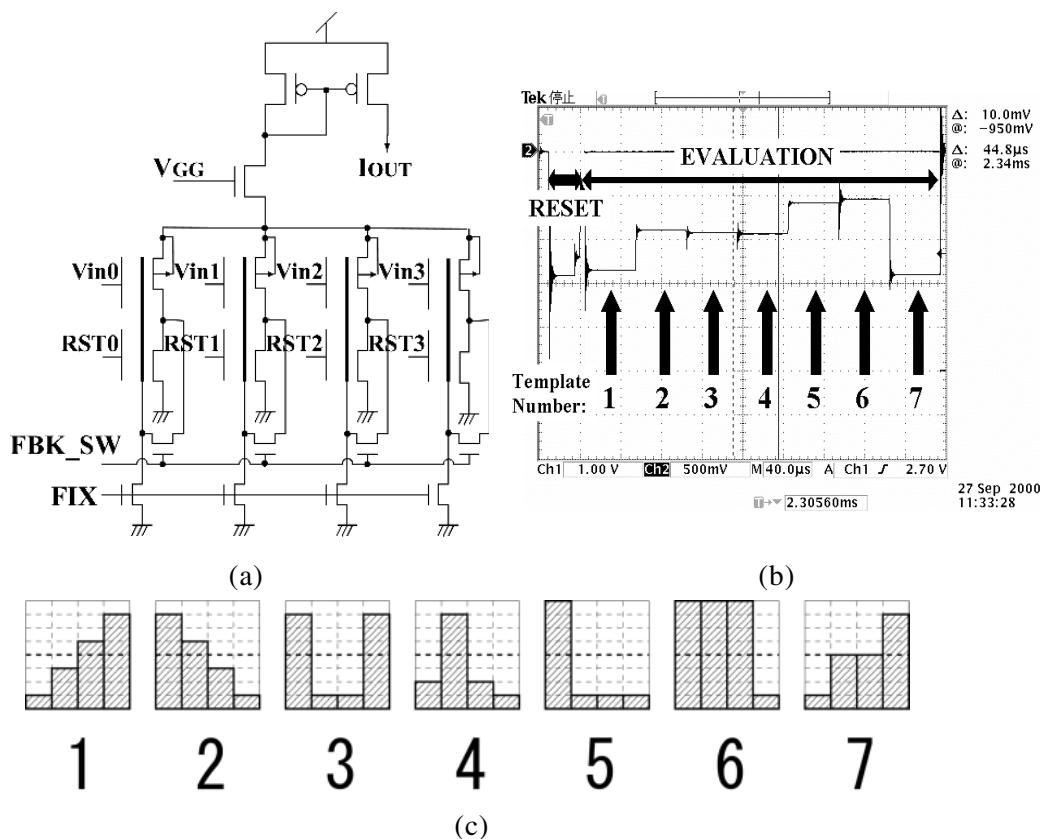


図 1. CMOS共鳴エージェント回路の動作。# 7 のパターンを銘記したエージェントに # 1 ~ # 7 の 7 つのパターンを提示したときの応答。(a)基本回路；(b)提示パターン；(c)回路応答の実測結果。

(3) 電子クラスターメモリ・グループ

(a) シリコンフローティングドットメモリ

本研究では、10-100個程度の少数電子で動作するメモリについて検討を行っている。本年度はシリコン量子ドットをフローティングゲートとするMOSメモリのドット中における電子数がクーロンブロックにより制御され、しきい値電圧シフトが階段状になるためのデバイスパラメータを計算により求めた。ドット中の電子数制御は多値メモリ応用やサイズばらつきに依存しないデバイス構造への応用などに利用可能であり、極めて重要な現象である。階段状の度合いは、特性の平坦度(プラトー比)を定義し、そのパーセントで評価した。図2は平坦度をシリコンドットのサイズとそのばらつきの関数で表したものである。よりよい平坦度を得るためにはドットサイズを小さくし、サイズばらつきも極力抑制する必要があることがわかる。約50%の平坦度を得るためには、ドットサイズが5 nmの場合、そのサイズばらつきは約8%以下でなければならないことが明らかになった。この結果は、デバイス中の電子数を制御するため

の良い指針となる。

(b) 室温における大きなクーロンブロッケード振動

単電子トランジスタは、ゲート電圧に対し電流がピークを持つ特性を有する。このような特性はレゾナント特性と呼ばれ、柴田グループで研究中の知能集積システムに応用することが期待できる。本年度は、室温における振動特性の実現を目指してシリコン単電子トランジスタの作製を行った。デバイス構造は、ポイントコンタクトチャンネルを有する極微細MOSFETである。10nm程度以下に狭窄されたチャンネルにおいてシリコンドットが自然形成され、デバイスは単電子トランジスタとして動作する。ドットが自然形成されるメカニズムは未解明であるが、酸化時の圧縮応力によるバンドギャップの縮小と狭窄チャンネルの量子効果によるバンドギャップの増大が関連しているものと考察している。図3に電流 - 電圧特性を示す。室温においても山谷比が約2の大きなクーロンブロッケード振動が観測されている。この特性から、シリコンドットサイズは約4.4nm、ドット中に電子1個を付加するのに必要なエネルギーは259meVと見積もられる。さらに大きな振動を得るために、現在デバイスプロセスを改良中である。

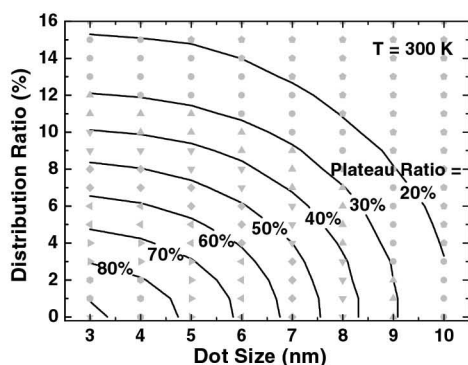


図 2

図 2 シリコンフローティングドットメモリにおける階段状特性の平坦度と、ドットサイズ、サイズばらつきとの関係

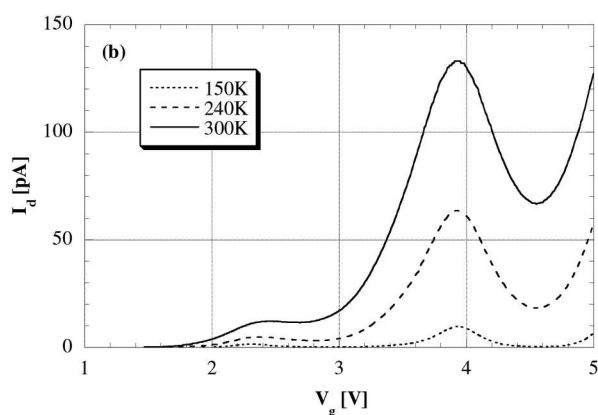


図 3

図 3 シリコン単電子トランジスタのクーロンブロッケード振動

(4) 電子場デバイス・グループ

ナノメートルの極微構造に作用する電子場の空間的形狀また強度を変調することにより、要素素子レベルでの柔軟な情報処理機能を発現できる新しい素子の可能性を実証することを目的としている。

SOI基板上に作製したナノシリコン細線の電流電圧特性において負性抵抗性やヒステリシス特性が発現することを見いだしている。今年度はその発生機構を明らかにするために、シリコン細線の構造パラメータ(幅、長さ)を高精度に制御した素子構造を電子線描画により作製し、その特性を評価した。図4はSi細線において負性抵抗が始まる電圧(V_p)の細線長と細線幅依存性である。 V_p は細線長に比例して大きくなるのが分かる。すなわち、負性抵抗が発現するときの細線長手方向の電界強度は細線長によらず一定($2.4\text{V}/\mu\text{m}$)である。図4(b)の V_p は細線幅にはよらず一定であることと合わせて考えると、負性抵抗性は細線の長手方向電界がある強度以上になったときに起こることが分かる。この電界強度は細線中のキャリア(ホール)がホットになるのに十分な値であることから、発生したホットホールが細線表面などの捕獲準位にトラップされて正の帯電が起こるものと考えられる。この帯電が細線の空乏化を起こしてコンダクタンスを減少をさせ(負性抵抗)電圧減少後も帯電が持続するためにヒステリシス特性(メモリ効果)を発現させているものと推測できる。

この帯電現象を直接観察するために、走査型マクスウェル応力顕微鏡を用いて細線の表面電位の測定を行った。その一例を図5に示す。図5(a)は負性抵抗性を示す電圧 V_p 以上の電圧を印加した後、 V_p 以下に印加電圧を下げた状態(5V)での電位分布である。これより接地側の電位勾配が急であることが分かる。図5(b)は電位分布から細線の長手方向の電界分布を計算したものである。 V_p 以上の電圧を印加する前には細線中は均一電界であるが、一度 V_p 以上の電圧を印加すると接地側に大きな電界が生じる。すなわち、接地側にコンダクタンスの低い領域が生じており、これが表面帯電による細線空乏化の場所であると推測できる。デバイスシミュレーションでも接地側でホットホールが発生することを確認している。

この表面帯電現象を外部ゲート電極で制御できれば3端子メモリ素子としての応用が可能となる。この考えに基づき、細線に近接したゲート電極を設置した3端子デバイスを試作した。その結果、近接ゲート電極によってメモリ効果を制御することに成功している。

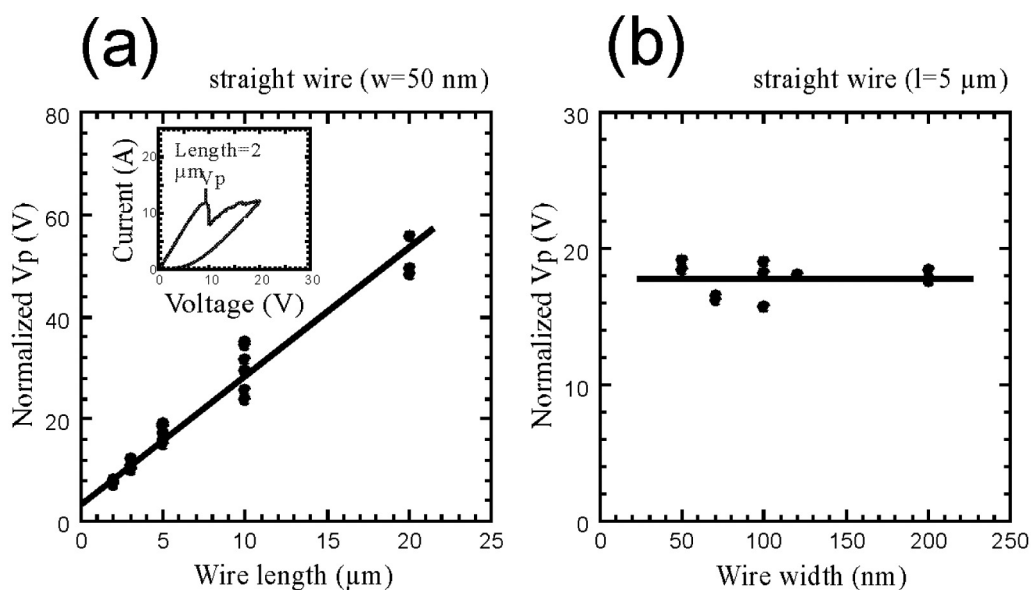


図4 . ピーク電圧 V_p の(a)細線長, (b)細線幅依存性

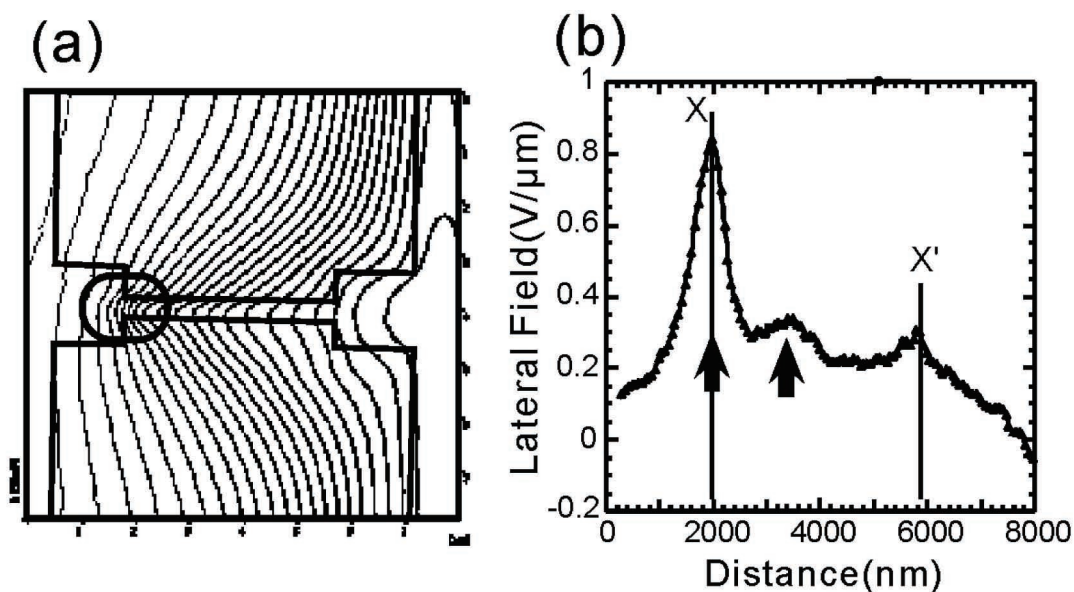


図5 . 細線帯電後の(a)細線内電位分布, (b)細線内電界強度

3. 主な研究成果の発表 (論文発表)

M. Yagi, M. Adachi, and T. Shibata, "A Hardware-Friendly Soft-Computing Algorithm for Image Recognition," Proceedings of 10th European Signal Processing Conference (EUSIPCO 2000), pp. 729-732, Tampere, Finland, Sept. 4-8, 2000.

Q.-R. Gu and T. Shibata, "A Low-Cost Vector Quantization System for Voice Compression Based on Analog and Neuron MOS Technology," in the

Proceedings of 2000 IEEE International Symposium on Intelligent Signal Processing and Systems (ISPACS 2000), pp. 222-227, Honolulu, Hawaii, U.S.A., November 5-8, 2000.

T. Shibata, "Intelligent VLSI Systems Based on a Psychological Brain Model," Proceedings of 2000 IEEE International Symposium on Intelligent Signal Processing and Systems (ISPACS 2000), pp. 323-332, Honolulu, Hawaii, U.S.A., November 5-8, 2000.

平本俊郎、「電子1個で動くトランジスタ」、電気学会誌、Vol. 120, No. 8/9, pp. 518-521, 2000年8月.

M. Saitoh, N. Takahashi, H. Ishikuro, and T. Hiramoto, "Large Electron Addition Energy above 250 meV in the Silicon Quantum Dot in a Single Electron Transistor", Japanese Journal of Applied Physics, Vol. 40, Part 1, No. 3B, pp. 2010-2012, March, 2001.

H. N. Wang, N. Takahashi, H. Majima, T. Inukai, and T. Hiramoto, "Effects of Dot Size and its Distribution on Electron Number Control in Metal-Oxide-Semiconductor-Field-Effect-Transistor Memories Based on Silicon Nanocrystal Floating Dots", Japanese Journal of Applied Physics, Vol. 40, Part 1, No. 3B, pp. 2038-2040, March, 2001.

T. Hiramoto, N. Takahashi, H. Ishikuro, and M. Saito, "Large Electron Addition Energy above 250 meV in the Silicon Quantum Dot in a Single Electron Transistor", Third International Symposium on Formation, Physics and Device Application of Quantum Dot Structures (QDS 2000) Hokkaido University, Sapporo, Japan, p. 4, September, 2000.

H. N. Wang, N. Takahashi, H. Majima, T. Inukai, and T. Hiramoto, "Device Parameters for Electron Number Control in MOSFET Memories Based on Silicon Nanocrystal Floating Dots", Third International Symposium on Formation, Physics and Device Application of Quantum Dot Structures (QDS 2000) Hokkaido University, Sapporo, Japan, p. 116, September, 2000.

T. Hiramoto, "Integration of Silicon Single Electron Transistors", Strategy in Nanoelectronics : Japanese German Symposium, Japanese-German Center Berlin, Berlin, Germany, October, 2000.

M. Saitoh and T. Hiramoto, "Effects of quantum level spacing on transport in silicon single electron transistors with an ultra-small quantum dot", 4th International Workshop on Quantum Functional Devices (QFD2000) Kanazawa Art Hall, Kanazawa, Japan, pp. 135-136, November, 2000.

T. Hiramoto(Invited) "Integration of Silicon Single Electron Transistors", 2001 International Symposium on Nano Device and Display Technology, Yonsei University, Korea, p. 28, February, 2001.

T. Hiramoto, N. Takahashi, H. Ishikuro, and M. Saitoh(Invited) "Single Electron Transistors and Other Nanodevices on SOI", Tenth International Symposium on Silicon-on-Insulator Technology and Devices, The 199th Meeting of The Electrochemical Society(ECS) Washington D. C., No. 472, March, 2001.

松川貴、藤井秀夫、金丸正剛、長尾昌善、横山浩、伊藤順司 : "Charging Damage of SOI Wafer Diagnosed by Scanning Maxwell-stress Microscope", 2000年国際固体素子・材料コンファレンス, 仙台国際センター, 2000年 8 月.

T. Matsukawa, H. Fujii, M. Nagao, S. Kanemaru and J. Itoh, "Charging Damage of Silicon-on Insulator(SOI)Wafer Determined by Scanning Maxwell-Stress Microscopy", Japanese Journal of Applied Physics, Vol.40, No.4, pp.254-257, April 2001

H. Fujii, T. Matsukawa, S. Kanemaru, H. Yokoyama and J. Itoh : "Characterization of electrical conduction in silicon nanowire by scanning Maxwell-stress microscopy", Applied Physics Letters, Vol.78, No.17, pp.2560-2562, April 2001