

「電子・光子等の機能制御」
平成10年度採択研究代表者

鳳 紘一郎

(東京大学大学院新領域創成科学研究科 教授)

「量子スケールデバイスのシステムインテグレーション」

1. 研究実施の概要

量子現象および相似の現象を用い、大量のデータを高速に処理して実時間で柔軟な判断のできる計算システムの開発をねらって、下記の4グループでこれまでに次のような成果を得ている。

(1) ボルツマン分布ロジック・グループ

集積デバイス技術で現実に到達可能な方式で量子コンピューティングと同等な性能を有する論理システムを実現することを目指し、量子的基底の重ねあわせに対応して離散的な周波数スロットを用いたフーリエ展開でデータを表わし、それに対するユニタリ変換をFIR (Finite Impulse Response)フィルタ列と、フーリエ成分の周波数番地に対する循環的シフトを組み合わせるエミュレートする実験システムを設計した。このシステムの実装と稼働を通じて集積回路による方法の問題点を抽出し、また高速な解の選別方式を検討する。

(2) 共鳴型知的エージェント・グループ

入力が特定の値を持ったときのみ電流出力が共鳴的に増大する共鳴型エージェントを、微細 CMOS デバイスでモデル化する基本設計を行った。 ν MOS インバータに負帰還を加えて共鳴の尖鋭度を制御する方式を開発、また ν MOS のフローティングゲートへの電子注入で共鳴電位を任意の値に自動設定できる制御回路も設計した。今後これらの回路を試作評価すると共に、手書き文字、手書きパターンの認識へ応用するためのアルゴリズムの研究を発展させる。

(3) 電子クラスターメモリ・グループ

シリコン量子ドットを利用して、数十から数百個の電子で動作する電子クラスターデバイスおよびメモリの開発を目的とし、CVD法により直径8nm程度のシリコン量子ドットを形成して室温動作のMOSFETメモリを試作した。また、単電子トランジスタとメモリ構造を組み合わせ、単電子デバイスの特性を外部から調整することに成功した。今後は電子数十個を正確に制御する方法について研究を進めていく予定である。

(4) 電子場デバイス・グループ

電子に作用する微視的な場（電子場）を空間的・時間的に変調することにより、要素素子レベルで柔軟な処理機能を発現できる新しい素子の可能性を実証することをねらいとしている。幅 10~20nm の表面露出型シリコン細線を作製し、表面電子状態が細線の電気伝導にどのような影響を及ぼすかを詳しく調べた。その結果、細線幅に強く依存した負性抵抗現象を室温で発現させることに成功した。今後は、表面状態を電氣的に変調する新しい素子構造の提案・試作を行っていく予定である。

2. 研究実施内容

2-1 ボルツマン分布ロジック・グループ

量子コンピューティングにおいては、 n qubit の入力データが $2^n (= N)$ 次元の基底ベクトルの重ね合わせで表現される。我々はこれに対して、周波数軸上の離散的な周波数 $\omega_a = 2\pi a/N\Delta$ ($a = 0, 1, 2, \dots, N$) を基底に対応させ、入力 $x(k)$ をそれによるフーリエ展開で表わす方式を考案した。ここに k は間隔 Δ で離散化された時間 ($k = t/\Delta$) である。展開項 $X(a)\exp(j2\pi ak/N)$ 中のフーリエ振幅 $X(a)$ は $x(k)$ に対するデジタルフーリエ変換によって求められる。この対応づけにおいて、量子ゲートの基本的構成要素の一つであるユニタリ変換は、図 1.1 に示すように N 個の FIR (Finite Impulse Response) フィルタによる並列処理と、 $X(a)$ の周波数番地 a に対する循環的なシフト操作（同図に c で示す N 個のユニットで行う）の組み合わせで実現できる。図 1.2 は循環的シフトを行うユニット c の構成を示す。

実際的な試作システムとしてまず、量子論理の代表の一つである Grover のアルゴリズムを実行するシステムを、図の構成に基づいて FPGA で実装することに取りかかっている。

2-2 共鳴型知的エージェント・グループ

ソース・ドレイン部とチャネル領域間に tunnel oxide を有する共鳴トンネル MOSFET は、特定のゲート電圧に対して共鳴的に電流が流れる。これによって入力値とテンプレートの対応成分間の相関値が演算できる。この現象を、微細 CMOS デバイスでモデル化する研究を行った。即ち、CMOS インバータの電源電圧をカスコード回路によって一定値に保つと共に、カレントミラー回路で貫通電流を出力として取り出すのである。インバータの貫通電流は、インバータの反転電圧 V_{INV} で最大となり、擬似共鳴現象として利用できる。 ν MOS を用いた 2 入力 CMOS インバータに応用し、出力を一つの入力ゲートにフィードバックさせた。その結果、図 2.1 に示したように共鳴の尖鋭度をフィードバックキャパシタの大きさによって任意に変えられることが分かった。これは知的システムに柔軟な判断をさせるとき、特に重要となる特性である。さらにフローティングゲートへの電子注入を実時間で

モニタし、所定の値になったときに注入を中止することによって共鳴点を任意の値に設定できる。これを実際に確かめるため、図 2.2 のようなテスト回路を設計した。アナログ電圧値を、どの程度の精度で書き込めるかを実験的に確かめるため、現在チップ試作を計画している。図 2.3 は、手書き文字認識へ応用するためのアルゴリズム検証を行ったシミュレーション結果である。電総研の手書き数字データベースの一つ一つの文字データを 64 次元のアナログベクトルで表現。(このベクトル化には、我々が開発したフィーチャーマップの主軸投影法という新たな方法を用いている。)つまり、一つの文字サンプルは、64 個の共鳴エージェントに分散記憶されており、64 個の共鳴値の合計が応答である。図より明らかなように、手書き数字の入力に対し、正しい数字を表す共鳴エージェント群の評価値が高くなっているのが分かる。(図は、不一致度を表しており、数値が小さいほど評価値としては高い。)一つ一つの共鳴エージェントの微細化により 1 チップ上のエージェント数を増やすことができれば、多彩な認識システムに発展する。

2-3. 電子クラスタメモリ・グループ

図 3.1 は、シリコン量子ドットとシリコン量子細線を用いた MOSFET メモリの室温における特性である。シリコン量子ドットが存在する場合にのみ特性にヒステリシスが現れ、メモリとして動作する。このデバイスは、デバイスのチャンネル上に数百個のドットが存在し、それぞれのドットにはほぼ 1 個の電子が注入されてメモリ動作しているので、クラスター電子メモリのプロトタイプといえる。今後は、シリコン量子ドットのサイズばらつきはシリコン細線幅のばらつきを抑え、数十個から数百個の電子数をより正確に制御するプロセス技術を開発していく予定である。一方、図 3.2 は、単電子デバイスと上記メモリ構造を組み合わせたデバイスの構造と特性である。もともと単電子デバイスにはドットが存在するが、その上にシリコン微細量子ドットが多数のっている。シリコン微細量子ドットに電子を注入することで、図のように単電子トランジスタの振動のピーク位置がシフトする。このように、単電子デバイスの特性を外部から制御することは、単電子デバイスを集積する上で極めて重要な技術になる。今後はこの技術を応用し、電子数十個で動作する電子クラスタデバイスの集積化を目指す予定である。

2-4 電子場デバイス・グループ

SOI (Silicon-on-insulator) 基板を用いて、10~100nm 直径のシリコンワイヤー構造の作製を行った。今回作製したワイヤー構造は、図 4.1 (a, b) に示すような、エアブリッジ型と称するかなり特異なもので、従来一般に試みられている埋め込み型ワイヤー構造ではない。ワイヤーの表面はすべて大気中に露出しており、従って、表面準位密度が大きい。表面準位密度の多寡は、一般に、ワイヤー表面のバンドの曲がりやキャリアのトラップなどによって、伝導特性に多様な変化をも

たらずことが予想される。

作製したシリコンワイヤーの電流—電圧特性を1 mT o r r 程度の真空環境および室温で詳しく測定した結果、図 4.2 (a , b) に示すように、負性抵抗状の特性が観測された。また、抵抗が変調されるしきい電圧は細線幅に依存しており、幅が小さいほど低電圧化していることがわかった。さらに、同一細線で上記測定を繰り返し行った結果、上記負性抵抗特性がヒステリシスを有していること、その緩和時間は1日程度ときわめて長いこと、などが明らかになった。現状では、ワイヤー表面に存在する準位を介したキャリアトラップが上記現象の主たる要因ではないかと推定している。

3. 研究成果の発表（論文発表）

無し

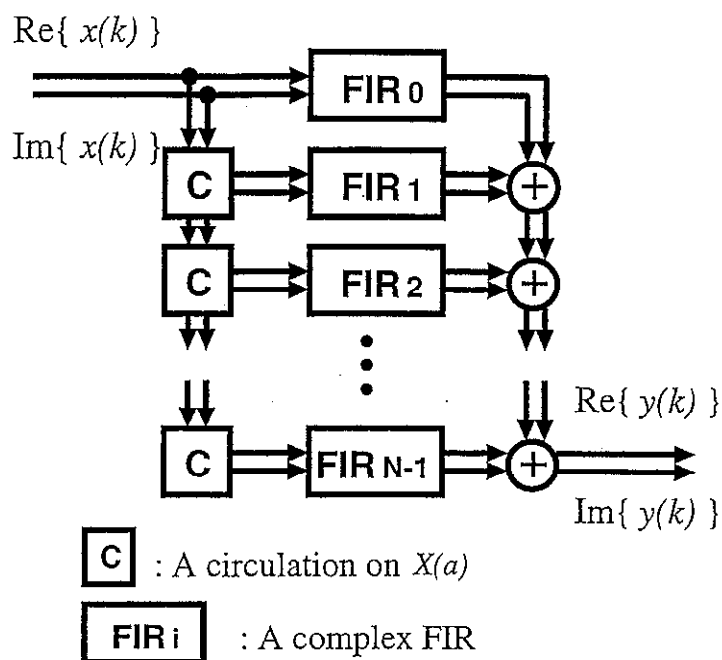


図 1.1 量子コンピュータのエミュレーションのための FIR フィルタと循環シフトユニットの構成

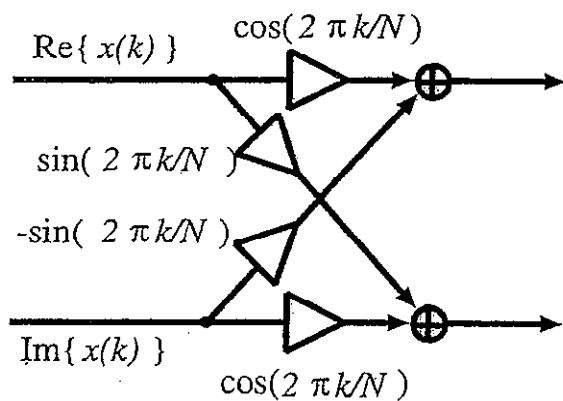


図 1.2 循環シフトユニットの構成

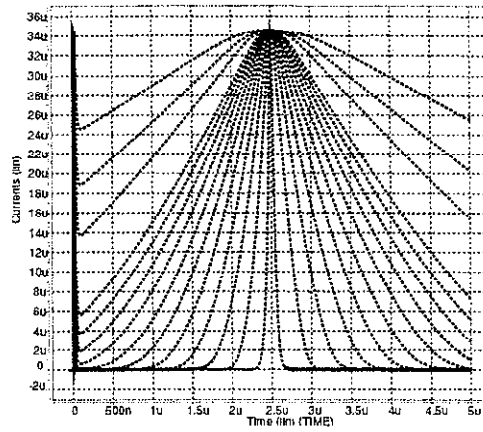


図 2.1 HSPICE シミュレーションで求めた共鳴エージェントの尖鋭度変化。入力電圧を $6\mu\text{sec}$ で $0\sim V_{DD}$ とランプで変化させたときの応答

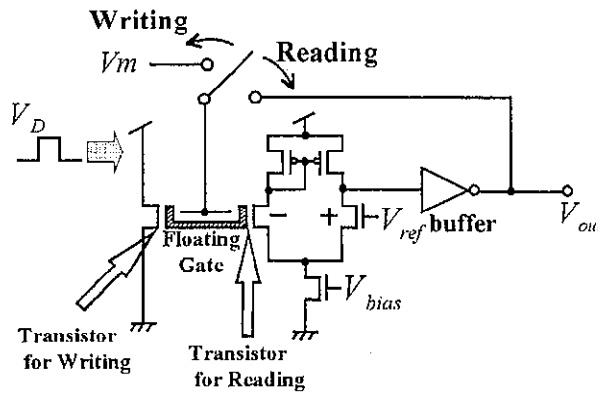


図 2.2 フローティングゲートへのアナログ電圧書き込み制御用テスト回路。

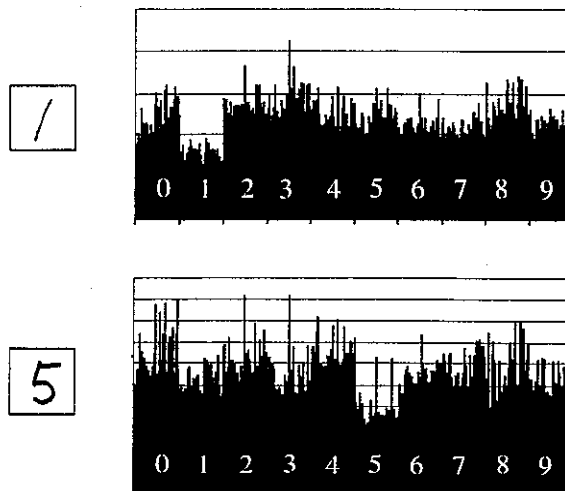


図 2.3 数字テンプレートを記憶させた共鳴エージェント群の手書き数字に対する応答。応答値は不一致度を表し、値が小さいほど類似度が高いことを示している。

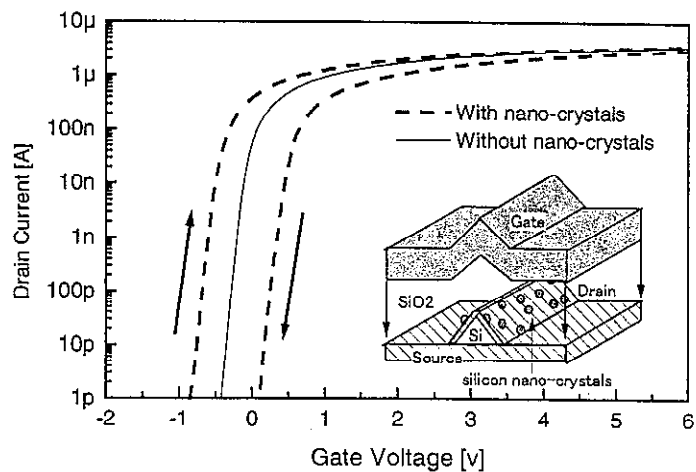


図 3.1 シリコン量子ドット群によるクラスタメモリ動作

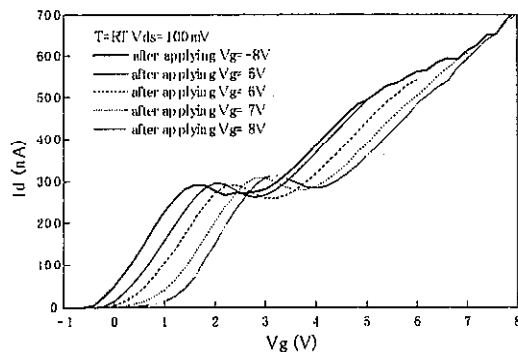
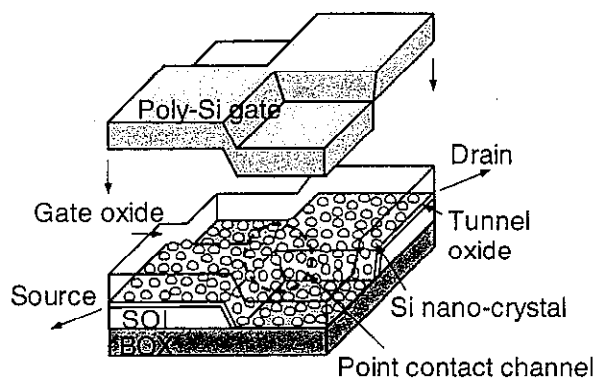


図 3.2 クラスタメモリをもつ単電子トランジスタの特性

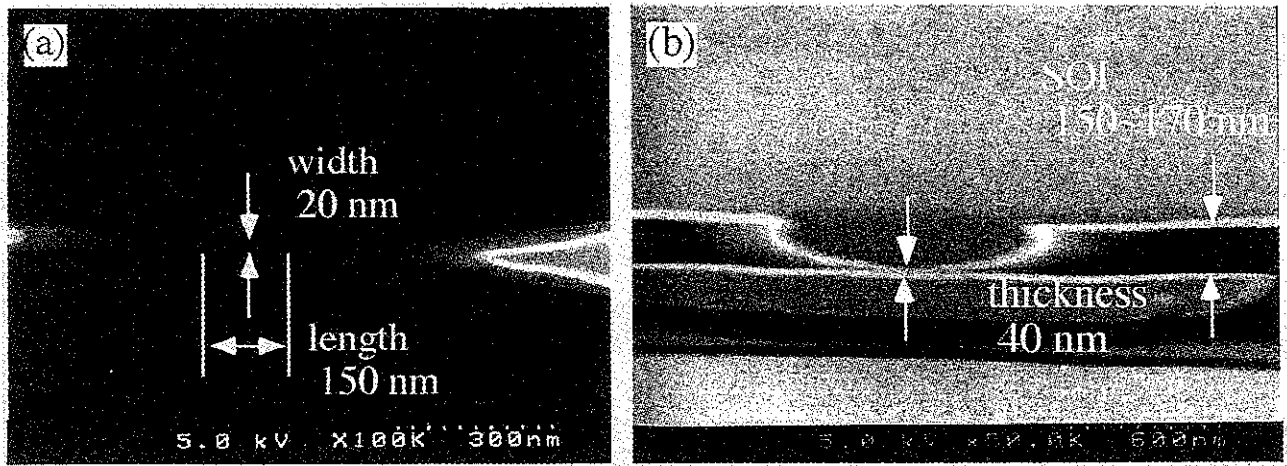


図 4.1 試作したエアブリッジ型シリコン細線構造

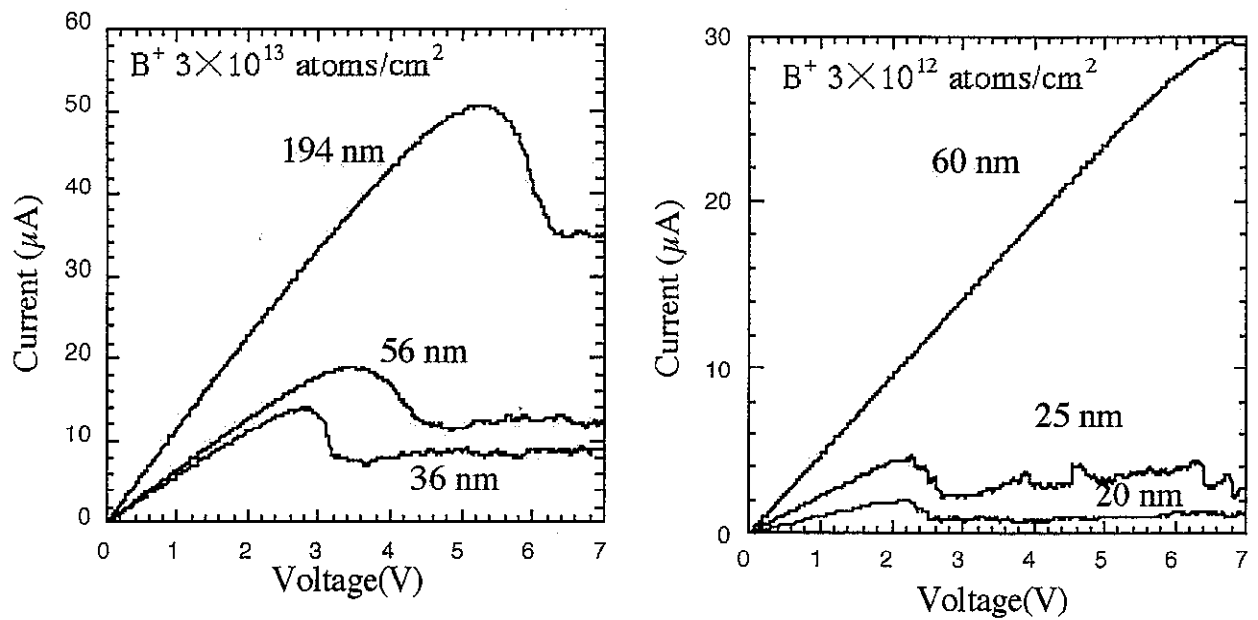


図 4.2 細線の電流－電圧特性（室温、真空中）