

研究課題別事後評価結果

1. 研究課題名： ビアスイッチの実現によるアルゴリズム・処理機構融合型コンピューティングの創出

2. 研究代表者名及び主たる研究参加者名（研究機関名・職名は研究参加期間終了時点）

研究代表者

橋本 昌宜（大阪大学情報科学研究科 教授）

主たる共同研究者

杉林 直彦（ナノブリッジ・セミコンダクター（株） 創業者）

若林 一敏（東京大学 上席研究委員）

小野寺 秀俊（京都大学情報学研究科 教授）

越智 裕之（立命館大学情報理工学部 教授）

密山 幸男（高知工科大学システム工学群 准教授）

3. 事後評価結果

○評点：

A 優れている

○総合評価コメント：

本研究課題では、ビアスイッチと呼ぶ不揮発性スイッチデバイスを基本素子としたビアスイッチFPGA (Field Programmable Gate Array) とその上での論理回路設計技術を開発し、これにより従来のFPGAに比べて性能と面積効率が格段に向上した再構成可能チップを創出することを目標としている。従来のFPGAは、スイッチの構成に配線層とトランジスタ層を共に使用し、更にSRAMが必要である。ビアスイッチは、LSIデバイスの配線層だけで実現でき、スイッチあたりの専有面積も小さい。空いた配線層とトランジスタ層に、FPGAと共に演算器やメモリ等の機能モジュールを埋め込む余地も生まれる。

本研究では、ビアスイッチFPGAを開発してその評価チップを試作し、基本動作を実証した。小規模なビアスイッチFPGAだが従来のFPGA比で10倍の面積効率を確認した。この成果はISSCCという当該分野で権威ある国際学会に採択されるなど、世界的に高く評価されている。あわせてビアスイッチに基づくFPGAの回路方式やレイアウト方式、プログラミング技術やテスト技術を新規に開発し、ビアスイッチFPGAの実用化をイメージできるものにした。これらの成果はデバイスから回路、設計ツールまで多様なレイヤーの研究の有機的連携によるもので、その研究マネジメントを高く評価する。

FPGAを大規模化するとともに機能モジュールを効率よく混載し、これにプログラムを柔軟にマッピングできれば、アプリケーションのダイレクト・マッピングを実現する強力な手段となる。1年間の延長研究によりビアスイッチ1300万個を搭載した評価チップの試作を完了、各ビアスイッチのプログラミングや、ビアスイッチ経由の配線や基本機能モジュール（5入力LUT, Look-Up-Table）の実現が確認できた。更に、ビアスイッチFPGA向けマッピングと、AI機能（CNN, Convolutional Neural Network）のFPGA向け実装に関する技術知見が得られている。これらの研究成果を組み合わせることにより試作チップ上にアプリケーション機能が実現できるが、実際の動作確認に向けた試作チップ評価が継続中である。

今後の実用化に向けてはビアスイッチFPGAの信頼性、量産性の評価と、それに基づく半導体製造企業とのタイアップが不可欠である。本プロジェクトの期間中にプロジェクトメンバー（一部）により設立されたスタートアップ会社（ナノブリッジ・セミコンダクター社）を核にして、このような製品開発と事業化の体制が構築されることを期待する。