

## 研究課題別事後評価結果

1. 研究課題名： 極低消費電力集積回路のためのトンネル MOSFET テクノロジーの構築

2. 研究代表者名及び主たる研究参加者名（研究機関名・職名は研究参加期間終了時点）

研究代表者

高木 信一（東京大学大学院工学系研究科 教授）

主たる共同研究者

日置 毅（(株) 東芝研究開発センターフロンティアリサーチラボラトリー 室長）

山本 武継（住友化学（株）情報電子化学品研究所 主席研究員）

満原 学（日本電信電話（株）NTT先端集積デバイス研究所 主任研究員）

3. 事後評価結果

○評点：

A 優れている

○総合評価コメント：

今日の ICT を基盤とする社会を持続的に発展させるには、ICT を支える集積回路の更なる消費電力低減のための低電圧化が避けられない課題になっている。しかし、集積回路の基本素子である MOSFET では、スイッチング特性の理想状態を実現しても低電圧化のためには性能が足りず、さらに優れたスイッチング特性をもつ素子が求められている。これは、サブスレシヨルド係数で表されるスイッチング特性に、MOSFET は 60mV/桁の動作原理上の下限があり、これ以下は実現できないためである。そこで、60mV/桁以下を実現できるバンド間トンネル現象という全く異なる動作原理を用いたトランジスタ（トンネル FET：TFET）の実用化が期待されている。TFET については、古くから原理検証がなされてきたが、実用化に向けては、半導体材料からプロセス、デバイス構造に至る広範な開発が求められるため、世界中で開発競争が行なわれているが、まだ誰も成功していない状況にある。

本研究プロジェクトは、様々な材料とデバイス構造の組み合わせについて試作・実験を重ねることで様々な検討を行い、初めて TFET の材料・デバイス構造に関する俯瞰的な視点からの解析を示したものである。化合物系材料では、InGaAs を用いた量子井戸構造と ZrO<sub>2</sub> ゲート絶縁膜を用いた TFET において、プレーナ型 III-V TFET としてチャンピオンデータとなる、サブスレシヨルド係数 49 mV/桁を観測した。産業化が容易と考えられる IV 族半導体においても、Ge-歪 Si を用いて 29 mV/桁となる動作特性をした。また、実証のために、急峻な接合の形成方法など、数多くのプロセス分野における新技術を開発した。これらの成果から、材料のバンド構造とデバイス構造を組み合わせた TFET の体系的な理解を、世界に先駆けて提示したものである。学会・論文発表等の活発な報告を行ない、まさにこの分野の研究を世界的にリードしており、この実績は極めて高い評価に値する。

本研究プロジェクトの体系的理解により、構成する材料やデバイス構造から現実的な各々のプロセス課題まで、いわば TFET の世界が展望できるようになった。今回、寄生リーク電流等のため、実用化に向けたマイルストーンとなる、ゲート電圧 0.3V の全範囲にわたる急峻なスイッチング特性を得ることはできなかったが、今回の知見のなかから、強誘電体ゲート絶縁膜 (EOT=0.29nm) を用いた Si の縦型 TFET や、酸化膜半導体を bilayer 構造に適用したデバイスを提案し、よりロバストな特性を得ることで、目標を達成できる可能性があることを明らかになった。本テーマは、半導体の基幹デバイスに関するものであり、世界中の半導体産業にとって切実な課題である。この目標の実証は極めて強いインパクトを持つため、一年間の研究期間延長による早急な検証を期待している。