

研究課題別事後評価結果

1. 研究課題名： フィールド高信頼化のための回路・システム機構

2. 研究代表者名及び主たる共同研究者名(研究機関名・職名は研究参加期間終了時点)：

研究代表者

梶原 誠司(九州工業大学 大学院情報工学研究院 教授)

主たる共同研究者

井上 美智子(奈良先端科学技術大学院大学 情報科学研究科 教授)

三浦 幸也(首都大学東京 システムデザイン学部 准教授)

大竹 哲史(大分大学 工学部 准教授)

3. 研究実施概要 (研究代表者によるまとめ)

本研究は、フィールドでシステム運用中の VLSI を一時的にテストモードに切替えて、自己テスト・診断を行うことにより、劣化によるシステム障害の未然予防および故障検出を可能とする技術(これを *DART: Dependable Architecture with Reliability Testing* と名付けている)の開発を目的とする。VLSI の劣化は回路の遅延時間の増加として捉えることができるため、研究期間の前半は、DART に必要な要素技術を、以下の大項目に分けて開発した。

(1) オンチップでの高精度遅延測定(首都大、九工大が主に担当)

(2) フィールドでのテスト制約への対応(奈良先端大、九工大が主に担当)

その結果、実論理を用いたベンチマーク回路の遅延時間を 5-39ps の誤差で測定し、面積オーバーヘッド 0.2%、テスト用メモリ 8kbyte 以下で実装する等の実用に充分耐えうる性能を確認することができた。

研究期間の後半は、それまでに開発した技術がフィールドで適用可能なことを検証することとその普及のため、

(3) 組込み自己テスト(BIST)用回路として実装可能なシステム化(奈良先端大、九工大、大分大が主に担当)

(4) チップ試作による実証評価(九工大、首都大が主に担当)

(5) 実用化対応のためのIP/ツール化とFPGAへの拡張(奈良先端大、九工大、大分大が主に担当)

を実施した。また、DART 技術に関する White Paper(英語版含む)を発行し、合せて企業や研究機関における DART 導入サポートを促進するためのセールスキットの一貫として、実装のためのガイドライン、C言語によるソフトウェア IP、およびRTL記述のハードウェア IPを提供可能物件として整備した。これらは、DART 技術全体および個別の要素技術の紹介カタログとして企業説明会、国内展示会あるいは国際学会併設の展示会で配布活動を推進中である。

これらの活動と相まって研究内容がより実用的なものであることを目指し、研究期間全体を通じて、すべての研究グループが

(6) 企業ニーズの獲得と共同評価によるフィージビリティ検証

を継続的に実施した。訪問した企業数は 16 社を数え、活発な議論や情報交換を行った。例えば当初計画では「故障回路の修復」のテーマを予定していたが、アプリケーション依存となる修復よりは故障・劣化検知後の診断が設計・製造フィードバック情報として重要なことが議論により判明し、修復のテーマを「診断」に計画変更して対応した。また、高信頼VLSIは、ASIC のような VLSI だけでなく FPGA による実装も重要なニーズであることに気づき、当初計画にはなかった FPGA 適用を研究計画に追加した。

フィージビリティ検証の過程では、日立製作所との共同研究により DART 技術を高信頼 LSI チップに適用し、その実用性を確認・検証することが出来た。ユーザ論理とのインタフェースを設計・構築し、フィールドテスト用回路を含めた評価により、遅延測定精度、テスト用の回路量、メモリ量など、いずれも要求スペックを達成することを確認した。また、要素技術として開発した高品質テスト生成手法は企業に技術移転し、テスト時間短縮によるテストコスト削減に活用している。その他、遅延測定精度向上のため開発した温度・電圧モニタ回路技術は、オールデジタルで構成できるためチップ上に自由に搭載可能な特徴を活かして、サーバ用LSIへの適用を目指した企業との TEG 評価が進んでいる。

研究を遂行する過程で生じた発明は特許申請を行い、基本特許となるフィールドテストによるディペンダブル VLSI 実現方式の他、周辺特許も拡充し、国内出願、海外出願により権利確保を計っている。

4. 事後評価結果（以下研究総括によるまとめ）

4-1. 研究の達成状況及び得られた研究成果（論文・口頭発表等の外部発表、特許の取得状況等を含む） （課題、目標の設定）

フィールド運用中の VLSI テスト、とくに劣化予測を研究課題として掲げたことは、システムのディペンダビリティ向上に向けた産業や社会の要請に合致し、VLSI のテスト技術の研究に実績のあるチームとして次の時代の要求を先取りし、まことに適切であった。

研究目標、解決策とも、企業と密接な情報交換を通じて具体的、適切に設定、提案してきた。適用分野を、まずプラント制御、社会インフラ分野に絞り、次いでネットワーク・サーバ分野を位置づけたことも研究方針を明確にしている。出口展開として、ASIC 向けには共同研究・コンサルティング的に活動し、汎用的な FPGA 向けには IP・ツール開発をする 2 通りのアプローチをとっていることも適切である。

（成果状況）

成果項目は研究代表者により3項に記述されているが、以下少々コメントする。

研究成果に対し複数の企業から強い関心を集め、実用化に向けた連携活動を具体的に踏み出している点は、目標以上の成果と言ってよい。中規模ユースに適した ASIC 適用は特定大企業との共同研究 NDA のもとで強力に進めている。小規模ユースの FPGA への適用もツール、IP の整備にとりかかっている。国際標準化の目標についても DART 白書を出版し改訂を重ねて努力している。緒に就いたところである。残りの研究期間中、ラストスパートとして研究のスピードをもっと上げ、IP の蓄積、特許網の充実、効果検証を進めてほしい。

研究の進捗とともに、当チームの技術適用を考慮する企業が増え、発展テーマとして「開発技術の IP・ツール化」、「実証」、「世界標準規格化」が挙げられていることが高く評価される。「当初想定されてなかった」展開ではないが、むしろたいへん着実・順当な展開の中に、本チームの力が表れていると言ってよい。

研究テーマに関する特許網構築をめざし、チーム全体で特許出願、権利化に注力しており、国内出願 10 件、海外出願 8 件の実績があることは大変優れた成果である。今後も力を抜かず、世界標準規格樹立も見た有効な特許網構築を果たすよう、協力関係にある企業とも連携して継続努力されたい。

4-2. 研究成果の科学技術や社会へのインパクト、戦略目標への貢献

本研究は、交通・プラント・データセンタなどの重要なシステムのディペンダビリティ(特に可用性、保守性)を高める重要な技術を提供している。海外では、システムに組み込まれて運用中の VLSI のテストを実施している事例はあるが、本研究は劣化予測に及んでいるところに優位性がある。

ディペンダビリティは、サービス事業の競争力を高める重要な品質要素であり、特に大規模システムの価値を高めるイノベーション要因となりうる。この方面のインパクトを現実のものとするように、産業パートナーとの協

力が推進されている。また、FPGA 用に開発中の IP やツールは、ベンチャーとして起業できる事業のシーズであると思われる。

こうした実践的な研究は、企業との密接な交流を通じて、将来に向け学術的な掘り下げを要する新しい研究テーマを生むものである。例えば、テストのさらなる効率化、Network-on-Chip (Intra-chip Network) の活用、ボードレベルフィールドテストへの拡張などが挙げられる。

本研究の成果を、鉄道やプラントの制御系、大規模サーバ系などの VLSI の常時モニタ・劣化予測に適用し、インフラストラクチャーのディペンダビリティを高めることが期待できるが、本研究の残り期間にもその完成度を高め、引き続き成果発展を図ることが可能である。FPGA 適用や国際標準規格への訴求は今後の活動に待つところが大きい。

4-3. 総合的評価

テストという一見地味な研究テーマを通じ、システムのディペンダビリティ増強に向けて重要で先進的な技術的一歩を踏み出した。上記の総合的評価として目標以上の成果と判断する。このままチーム力を解散することが惜しまれるので、DVLSI の他のチームと連合するなどにより、発展継続的なファンディング支援を得たいところである。