

研究課題別事後評価結果

1. 研究課題名: ロバストファブリックを用いたディペンダブル VLSI プラットフォーム

2. 研究代表者名及び主たる共同研究者名(研究機関名・職名は研究参加期間終了時点):

研究代表者

小野寺 秀俊(京都大学 大学院情報学研究科 教授)

主たる共同研究者

尾上 孝雄(大阪大学 情報科学研究科 情報システム工学専攻 教授)

神原 弘之(京都高度技術研究所 研究部 主席研究員)

密山 幸男(高知工科大学 システム工学群 准教授)

若林 一敏(日本電気 グリーンプラットフォーム研究所 主管研究員)

越智 裕之(立命館大学 情報理工学部 情報システム学科 教授)

3. 研究実施概要 (研究代表者によるまとめ)

微細化の限界に近づくにつれ、VLSI の製造性が急速に劣化するとともに、デバイス特性のばらつきが顕在化してきた。動作にともなう特性の劣化も深刻化している。回路中の電荷量の減少により雑音や宇宙線への耐性が低下している。これらの要因で発生する物理的、自然現象的フォールトは VLSI のディペンダビリティを毀損する深刻な原因である。ディペンダビリティ以外にも、VLSI システムの持続的発展を阻害する要因として、マスクコストなどの NRE コストの急騰が問題となっている。この問題を解決する有力候補が再構成可能 VLSI である。同一のチップで、要求されるディペンダビリティの異なる多様なアプリケーションを効率よく実現することが、産業上強く求められている。

本研究では、素子寸法の極限的な微細化に伴って問題となってきたデジタル VLSI の製造性劣化や素子特性のばらつき、使用に伴う特性劣化、ならびに一過性雑音事象(ソフトエラー)によるディペンダビリティ低下を克服することを目的とし、回路技術からアーキテクチャまでの階層横断的取り組みにより搭載回路の再構成と特性の適応的調整が可能な VLSI プラットフォームを開発した。本プラットフォームは、再構成可能アレイとプロセッサで構成される。回路技術、再構成可能アーキテクチャ技術、設計自動化技術、プロセッサ構成技術の総合的取組により、要求されるレベルに応じたディペンダビリティを提供する組込みシステム用 VLSI プラットフォームを構築した。

「ロバストファブリック」グループでは、製造性劣化への対策と、特性ばらつきならびに特性劣化への対策に取り組んだ。レイヤー毎に必要とされる規則性を保ちつつプリミティブセル全体のレイアウト面積を最小化するセルレイアウト生成技術を開発した。特性ばらつきならびに特性劣化に対しては、ばらつきならびに劣化の正確な分析とモデル化を行うとともに、特性ばらつきの動的な補償を行う回路技術を開発した。

「再構成アーキテクチャ」グループは、構成要素毎に柔軟な冗長構成を実現することを可能とする粗粒度細粒度混合再構成可能アーキテクチャ FRRARY (Flexible Reliability Reconfigurable Array) を開発した。レジスタやメモリの実装、条件分岐やビット演算の実現方式について検討を進め、制御処理も含む実用的なアプリケーションが搭載可能である。FRRARY は、SRAM 型 FPGA に対して構成情報量が少なく済むため、SRAM 型 FPGA では到底実現できない高いソフトエラー耐性が実現でき、耐放射線 FPGA であるアンチフューズ型 FPGA に対しては、FRRARY は先端 CMOS プロセスを用いて実装できるため、高い集積度を確保することができ、先進的なアプリケーションに利用できるという大きなアドバンテージを有する。

「再構成プロセッサ」グループは、高信頼化に必要なコストを削減するため、多重化度を動的に変更できる構造を考え、一時故障の発見／回復と永久故障の発見には2重化構成を、永久故障の回復には3重化構成を用いることで実行時の平均多重化度を削減するプロセッサ・アーキテクチャを開発した。回路レベルの高信頼化技術として、ソフトウェア耐性が数十倍高いフリップフロップを開発した。上記の二つの成果を適用した再構成プロセッサを試作し、アルファ線照射下においてもプロセッサが正常に動作することを確認した。

「マッピング技術」グループは、混合粒度再構成可能アーキテクチャと選択的三重化に注目し、与えられた回路面積等の制約のもとで、ソフトウェア耐性を最大化すべく、三重化を適用する箇所を自動的に選択する手法を開発した。データフローグラフの段階で適用可能な評価関数を開発し、これを用いることで最適な三重化の適用箇所の探索を加速した。更に、粒度混合型 DFG マッピング機能を開発した。

「C 設計ツール技術」グループは、C 言語動作合成ツール **CyberWorkBench** を基盤ツールとして、FRRARY 向けの C 言語コンパイラを開発した。具体的には、マッピンググループが提示する空間的部分的多重化に加えて、ソフトウェア対策に有効な時間的多重化も実現した。

「アプリケーション展開のための評価・実用化検討」グループは、提案プラットフォームのチップ外部との入出力部分を設計した。**SpaceWire** を用いた高速シリアル通信方式の導入を検討し、再構成可能アレイと **SpaceWire** 通信の組み合わせで、リアルタイム画像処理や信号処理が実現できることを確認した。

これらの成果を踏まえ、全グループが協力してディペンダブル **VLSI** プラットフォームとして高信頼プロセッサも含めた **SoC** を開発した。平行して開発する評価ボードを用いて、提案粗粒度細粒度混合再構成可能アレイによるハードウェアアクセラレータとしての性能評価、高信頼度マッピングによる高いソフトウェア耐性の実現、ならびに柔軟な信頼性可変性を利用した小面積高信頼マッピングが実現できることを確認した。本シリコン実装は、高い放射線耐性を有する混合粒度再構成可能デバイスの世界初の実証である。

4. 事後評価結果（以下総括によるまとめ）

4-1. 研究の達成状況及び得られた研究成果（論文・口頭発表等の外部発表、特許の取得状況等を含む） （課題、目標の設定）

VLSI の物理層、素子、回路層の基本構造をばらつき、劣化等、放射線等に対しロバストにする「ロバストファブリック」と、その基本構造を **VLSI** の機能やディペンダビリティに対する多様な要求を単一のチップデザインにより適応的に満たす、既存の論理 **VLSI** (**MCU**、**ASIC**、**FPGA**) とは異なった「再構成可能アーキテクチャ」に適用した **VLSI** の実現を掲げている。課題は妥当なものである。

本テーマは H24 年度でいったん終了したが、本技術の宇宙機搭載に向けた検討を **JAXA** と共同で行うことになったため、H25 年度 1 年間の研究期間延長を申請し認められた。

前項の課題は、システムの階層を物理層からアーキテクチャまで縦断的に統合した設定であり、野心的なものであった。それだけに、研究結果を何に適用するのか、具体化のためのツールをどうするのか等についてチームのとりまとめ能力が不足しており、アプリケーション、システムの実用的な方向付けに苦勞した。途中で企業から研究グループを招請し、その点が改善されたが、産業界と当初からよく連携していれば、より適切な目標設定ができたであろうと思われる。こうした習慣、しくみの構築にはもっと制度的な工夫や、企業の姿勢の変化も必要であり、一概に研究者の責に帰するものではない。学・産・官のさらなる努力が必要である。

延長した平成 25 年度 1 年間の研究については、「**JAXA** と連携し、これまでの **CREST** 研究成果を飛躍的に発展させて、宇宙機向け国産次世代再構成可能アーキテクチャとその設計環境の開発に向けて取り組む。現在入手が困難になりつつある宇宙機向け再構成可能デバイスの国産化を促し、安定的かつ競争力のある宇宙科学技術開発の基盤構築を目指す」とした(25 年度計画書)。**JAXA** や **NT** スペースとの対話を経て、具体課題

の認識共有と、アーキテクチャの改良計画が進んできた。

(成果状況)

成果項目は研究代表者により3項に記述されているが、以下少々コメントする。

特性ばらつきに対する耐性を持つセル・レイアウト、細粒度基板バイアス、耐放射線 FF 回路などの個別技術には効果が試作回路により実証され、ライブラリーとして公表され、特許化されているものもある。産業的な価値のある普遍的な IP が創造されている。

本チームの設計思想に基づく「適応的多重化混合粒度再構成アーキテクチャ」は、C 言語により設計可能にした、制御系に細粒度の状態遷移マシン、データパスを導入した、タスクマッピングやツール類も検討した。多重化によるソフトウェア率低減についても、数値的な予測を得ることができた。実用化にはなお道のりがあるが、プラットフォームの実現に向かって進展した。

延長期間である今年度は、再構成可能アーキテクチャの性能改善検討などを実施し、衛星向けにより検討を具体化しつつある。

また、25 年度報告書の中で、JAXA、NT スペースとの討論の結果を、JST が構想・準備中の「ACCEL」(ERATO, CREST, さきがけなど創造科学技術推進制度のプロジェクト成果のイノベーションに向けての加速制度)への提案として記載している。その提案は 2013 年 10 月時点ではなお検討中、未完成と思われるので、JAXA や参画企業との課題・目標共有を深め、技術検討をスピードアップして、「宇宙機適用品の要件定義、開発 PJ 計画」のような形でまとめ、別制度による採択・展開を図っていただきたい。なお宇宙用途には SOI 技術が必要なのではないか。この点の検討をしてほしい。

研究の過程で、企業(NEC)グループを新設したことは、チーム内外の連携を強め、研究の実用可能性を高める上で大きく役立った。さらに、その時期以降(24 年度後半、25 年度はとりわけ)JAXA との対話に注力したところから、課題、アプローチ、出口の設定により展開が見られた。

JAXA との連携を強化充実することにより、まず衛星搭載国産半導体技術を実現し、さらに原子炉内作業ロボット用や、高信頼度の要求される、より汎用的なユースに対し、高ディペンダブル VLSI を提供できる可能性が見えてきている。

4-2. 研究成果の科学技術や社会へのインパクト、戦略目標への貢献

宇宙機搭載用の制御装置や原子炉用ロボットには、放射線エラー耐性の高い VLSI が必要である。既存の MCU(マイクロコントローラ)や FPGA ではその目的を達することが困難である。本研究では、我が国の宇宙機用に用いるに適したディペンダブル VLSI プロセッサの候補を提案している。これが成功すれば、社会・経済・科学技術的に大きな成果である。他の民間目的にも適用が広がると、さらに大きなイノベーションとなる可能性がある。

H25 年度に JAXA との共同研究を開始している。その成果として宇宙機搭載用の高信頼多用途プロセッサとしての要求事項を明確化し、それを課題・目標とする PJ を、本チームメンバーを核とし、ユーザとしての JAXA、チップやツール開発をする事業体等を構成者としてスタートできるならば、イノベーションに向けた次のステップとなり、その先には産業応用も見えてくるであろう。この観点から JST のさらなる支援も考慮願いたい。

JAXA、自動車メーカー、NEC などとの連携が研究の推進に大きな効果を挙げている。しかしながら、提案アーキテクチャにもとづき、実適用チップの開発に向けた活動となると、それを主体的に進めていく事業体(既存の企業、またはベンチャー企業)が特定されていないことが現時点の難関の一つである。次のステップに向け、さらに強力なチーム形成がなされるよう期待する。

4-3. 総合的評価

物理層からアーキテクチャ層にいたる階層縦断的テーマが組織され、レイアウトや回路などの要素技術に加えて、再構成プロセッサとして VLSI システム技術まで含めてユーザの関心を集めるに至ったことが注目に値する。このインターユニバーシティ・チームをそのままに放置し解散するに任せず、企業メンバーを強化し、JAXA の実ニーズに向けて推進・実証すれば、ディペンダブル VLSI という課題に対し「期待を超える十分な成果」をもって答えることができると考える。新たなファンドによる牽引を関係者にお願いしたいところである。