

情報担体を活用した集積デバイス・システム
2021 年度採択研究代表者

2021 年度 年次報告書

納富雅也

日本電信電話(株) 物性科学基礎研究所
センター長／上席特別研究員

空間・時間・波長自由度を活用する光電融合演算基盤の開発

§ 1. 研究成果の概要

本計画では、集積光技術を用いて、光による高速かつ低消費エネルギーのベクトル行列積演算機能を用いた光電融合型のニューラルネット演算回路の具現化を目指している。この目標を達成するためのアプローチとして、光が持つ空間、波長、時間の自由度を最大限に生かすハードウェア、アルゴリズム、アーキテクチャの開発を狙っている。特に、光の高速性と時間の自由度を生かすために、再帰型の演算回路構成を用いることと、光と電気の処理の接続方法を開発することに、重点を置き、ハード、ソフトの両面から研究を進める。

初年度は、ハードウェア研究としては、まず再帰型の基本となるフィードフォワード型の回路構成を用いた演算処理の検討を行った。学術分野ではこれまでで最大となる 16×16 のベクトル行列積演算回路を作製し、実回路の不完全性を補正して望むベクトル行列演算が可能となる手法を開発した。また、 8×8 の簡約型線形演算回路を用いて、入力部の光電変換の非線形性を利用し、低次元空間のデータを高次元空間に非線形写像するSVM型動作を世界で初めて提案し、MNISTなどの分類演算を実証した。

また、これらのフィードフォワード型回路をベースにして再帰回路の検討、設計を進め、光回路の実性能を考慮するシミュレーション用アルゴリズムを開発した。また作製した回路による動作予測およびフィードバック回路を有する回路の試作を開始した。

光処理と電気処理の接続に関しては、我々が提案する光の干渉を用いて電気デジタル信号を光アナログ信号に変換するEO-DACの多波長動作に取り組み、簡便な方法で多波長化が可能となる手法を提案、実証した。また、再帰演算回路の内部でダイナミックラッチを組み合わせた光電変換を行うことで、光アナログ信号を電気アナログ信号として記憶する回路構成を提案した。

目指している再帰型回路をCMOS演算器と融合するアーキテクチャに関して、多波長動作の検討、実回路の雑音の影響の調査を開始した。また、再帰型回路の応用として圧縮センシングへの適用方法の検討を開始した。

§ 2. 研究実施体制

(1) 納富グループ (NTT)

① 研究代表者: 納富 雅也 (日本電信電話(株) 物性科学基礎研究所 ナノフォトニクスセンター センター長/上席特別研究員)

② 研究項目

光電融合演算回路のデバイス回路技術および演算アーキテクチャ技術

- 1) 新しい光 VMM 演算器および要素技術の設計、作製、評価
- 2) 光電変換および DA/AD 変換技術の開発
- 3) 波長多重再帰型光演算回路の設計、作製、実証実験の実施
- 4) NN 回路演算方式、応用の検討
- 5) 光電融合演算システムアーキテクチャの開発

(2) 山田グループ (産業技術総合研究所)

① 主たる共同研究者: 山田 浩治 (産業技術総合研究所 プラットフォームフォトニクス研究センター 総括研究主幹)

② 研究項目

光電融合 RNN 回路用 Si フォトニクスプラットフォームおよび演算回路構成技術

- 1) RNN 回路用 Si フォトニクスプラットフォーム構成技術の研究
- 2) Si フォトニクスプラットフォームへの非線形/光電変換デバイス集積技術の研究
- 3) 実用展開性やスケーラビリティの向上に向けた演算方式、演算回路構成技術の研究

(3) 石原グループ (名古屋大学)

① 主たる共同研究者: 石原 亨 (名古屋大学 大学院情報学研究科 教授)

② 研究項目

光電融合演算回路の動的再構成技術

- 1) 光回路と電子回路の適切な融合による光 NN 回路の低消費電力化
- 2) 光多重化とネットワークの枝刈りによる光 NN 回路の小型化
- 3) 光電融合回路の動的再構成によるスケーラブルな光 NN 構造の開発

(4) 林グループ (京都大学)

① 主たる共同研究者: 林 和則 (京都大学 国際高等教育院附属データ科学イノベーション教育研究センター/大学院情報学研究科 教授)

② 研究項目

光演算器を用いた情報圧縮・再構成技術とその応用

- 1) 光演算器を用いた圧縮センシングのためのアルゴリズム開発とその応用
- 2) 光演算器を用いた深層展開型アルゴリズムの高速化

【代表的な原著論文情報】

- 1) Kazuo Aoyama, Hiroshi Sawada, “Acceleration method for learning fine-layered optical neural networks,” in Proceedings of IEEE/ACM the 40th International Conference on Computer-Aided Design, 10.1109/ICCAD51958.2021.9643514, 2021.
- 2) Guangwei Cong, Noritsugu Yamamoto, Takashi Inoue, Yuriko Maegami, Morifumi Ohno, Shota Kita, Shu Namiki and Koji Yamada, “On-chip bacterial foraging training in silicon photonic circuits for projection-enabled nonlinear classification,” Nature Communications, accepted for publication, to appear.
- 3) N. Hattori, Y. Masuda, T. Ishihara, A. Shinya, and M. Notomi, “Power-Aware Pruning for Ultrafast, Energy-Efficient, and Accurate Optical Neural Network Design,” Proc. Design Automation Conference (DAC), July 2022 (accepted for publication, to appear).
- 4) T. Ichikawa, Y. Masuda, T. Ishihara, A. Shinya, and M. Notomi, “Optoelectronic Implementation of Compact and Power-Efficient Recurrent Neural Networks,” Proc. IEEE Computer Society Annual Symposium on VLSI (ISVLSI), July 2022 (accepted for publication, to appear).