

日本—台湾研究交流「AI システム構成に資するナノエレクトロニクス技術」 2022年 年次報告書	
研究課題名（和文）	AI チップ技術に向けた三次元異種機能集積 hCFETs
研究課題名（英文）	3D Heterogeneous Complementary Field Effect Transistors (hCFETs) for AI Chip Technology
日本側研究代表者氏名	張 文馨
所属・役職	産業技術総合研究所・主任研究員
研究期間	2020年4月1日 ～ 2024年3月31日

1. 日本側の研究実施体制

氏名	所属機関・部局・役職	役割
Wenhsin CHANG 張 文馨	Senior Researcher, AIST, D-Tech 産総所 デバイス技術研究部門 主任研究員	異種材料集積 基板作製
Tatsuro MAEDA 前田 辰郎	Research Manager, AIST, D-Tech 産総所 デバイス技術研究部門 研究主幹	異種材料集積 基板作製
Hiroto ISHII 石井 寛仁	D3, Tokyo Univ. Sci., Faculty Indus. Sci. Tech. 東京理科大学 基礎工学部 学生	異種材料集積 基板作製
Kazuhiko ENDO 遠藤 和彦	Professor, Tohoku Univ., Inst. Fluid Sci. 東北大学 教授	超低損傷加工 技術開発
Seiji SAMUKAWA 寒川 誠二	Emeritus Professor, Tohoku Univ., Inst. Fluid Sci. 東北大学 名誉教授	超低損傷加工 技術開発
Takuya OZAKI 尾崎 卓哉	Technician, Tohoku Univ., Inst. Fluid Sci. 東北大学 流体科学研究所 技官	超低損傷加工 技術開発
Junichi HATTORI 服部 淳一	Senior Researcher, AIST, D-Tech 産総所 デバイス技術研究部門 主任研究員	TCAD シミュレーション
Koichi FUKUDA 福田 浩一	Senior Researcher, AIST, D-Tech 産総所 デバイス技術研究部門 主任研究員	TCAD シミュレーション
Tsutomu IKEGAMI 池上 努	Senior, AIST, CD-FMat 産総所 機能材料コンピュータシミュレーションデザイン研究センター 主任研究員	TCAD シミュレーション

2. 日本側研究チームの研究目標及び計画概要

より高密度集積された hCFET SRAM 回路を実現するため、これまで開発してきた低温異種材料接合技術を 8 インチウェハーにて実証する。Ge (100) 面だけではなく、電子移動度の高い Ge (111) 面といった異種面方位も着目して、hCFET のチャンネルバランスを考慮した hCFET SRAM 回路の実現と性能向上を追求する。東北大の中性粒子ビーム技術を用いて、従来のプラズマ接合技術の低温化および高精度化を試みる。中性粒子ビーム表面処理技術は原子層レベルで欠陥およびダングリングボンドを制御できるので、中性粒子ビーム照射条件を最適化することで、表面界面の欠陥・ダングリングボンドの 3 次元構造を高精度に制御して、異種材料接合の低温化 (<200℃)、高強度化 (>1500mJ/m²) の実現を試みる。また、TCAD シミュレーションにより、hCFET の構造最適化もあわせて検討する。

3. 日本側研究チームの実施概要

今回、Ge 異種面方位のチャンネル薄膜を上下に積層させる技術を新たに開発し、Ge(111) nFET と Ge(100) pFET を最短距離で連結した異種面方位 Ge CFET 構造を実現した(図 1)。このような Ge の異種面方位積層技術を活かせば、CFET のさらなる性能向上と性能バランス整合を図れ、2nm 世代以降の CMOS 回路の 3 次元的な構造縮小化と高速化が期待できる。

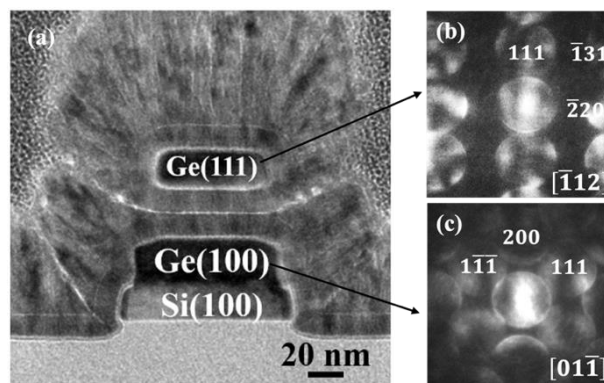


図 1. Ge(111)と Ge(100)が集積した CFET の断面 TEM 像

また、酸素中性粒子ビームをシリコン酸化膜表面に照射して接合させた時の、アニール温度の接合強度（表面エネルギー）依存性を評価したところ、中性粒子ビーム照射により、200℃以下の低温での接合強度が 1.5 倍以上向上することが分かった。これは中性粒子ビーム照射により、接合界面のラフネスや欠陥密度が抑制された結果、高品質な接合が実現できたと考えられる。

さらに、hCFET をモデル化し、産業技術総合研究所にて開発を進めている次世代 TCAD 「Impulse TCAD」上で hCFET 単体、インバータの電気的および熱的挙動のシミュレーションを実現した。そのために、禁制帯幅や有効状態密度、移動度などの物性値の温度依存性をシミュレーションに組み込んだ。Ge/Si hCFET を用いたインバータ性能の温度依存性を検証した。Ge/Si hCFET および Si/Si CFET のしきい値電圧の温度依存性を図 2 に示す。どちらのインバータでも、温度が上昇するにつれてしきい値電圧は低下する。これは、温度上昇による Si nFET の電流増加量に対して、Ge pFET および Si pFET のそれが少ないからである。ただし、Ge pFET の方が Si pFET より電流増加量が大いので、Ge/Si hCFET インバータの方がしきい値電圧の低下は小さい。同様のことが Low レベル入力電圧の変化についても認められたことから、Ge/Si hCFET インバータの方が温度上昇に強いと言える。しかしながら、Ge/Si hCFET インバータで

は、High レベル入力電圧が入力された場合、Ge の狭い禁制帯に起因するバンド間トンネル電流が漏れ電流として流れてしまう。図 3 に示すように、その量は Si/Si CFET インバータの漏れ電流よりも非常に多く、温度の上昇で更に増えてしまう。バンド構造の最適化や電源電圧の低減によって、漏れ電流を抑制することが、Ge/Si hCFET インバータ実用化に向けての課題と言える。

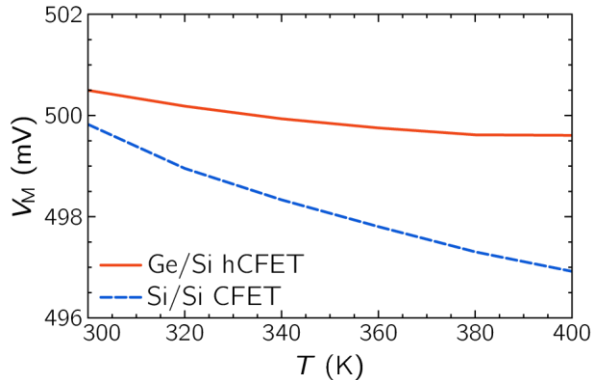


図 2. hCFET インバータのしきい値電圧

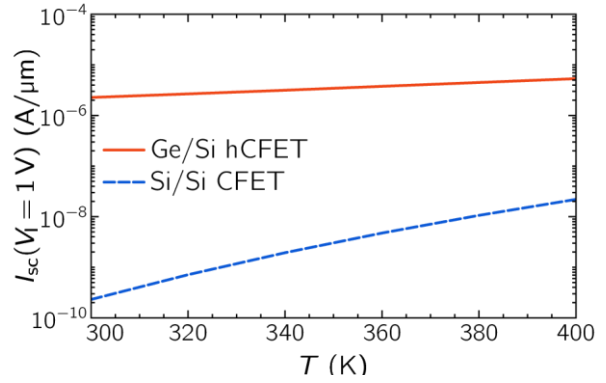


図 3. hCFET インバータの漏れ電流