

日本—台湾研究交流「AI システム構成に資するナノエレクトロニクス技術」 2021年 年次報告書	
研究課題名（和文）	ナノスケール強誘電体トランジスタの研究開発と機械学習アクセラレータへの応用
研究課題名（英文）	Research and development of nanoscale ferroelectric transistor and its application to machine learning accelerator
日本側研究代表者氏名	小林正治
所属・役職	東京大学工学系研究科附属システムデザイン研究センター・准教授
研究期間	2020年4月1日 ～ 2023年3月31日

1. 日本側の研究実施体制

氏名	所属機関・部局・役職	役割
小林正治	東京大学・工学系研究科附属システムデザイン研究センター・准教授	PI、デバイスモデリング・設計
岡田直也	産業技術総合研究所・シニア研究員	WP2 リーダー、プロセス開発・評価
遠藤和彦	産業技術総合研究所・グループリーダー	プロセス開発・評価
入沢寿史	産業技術総合研究所・シニア研究員	プロセス開発・評価

2. 日本側研究チームの研究目標及び計画概要

【小林 PI】

今年度は WP3 のトランジスタの評価データをもとにモデルの精密化を進め、精度の高い強誘電体トランジスタの設計環境を整備するとともに、回路・システム実装のためのコンパクトモデルの精密化も進める。特に、信頼性指標である書き込み耐性や保持特性の結果に基づく信頼性モデルを構築し、信頼性向上のためのプロセス提案をデバイス物理の視点で提案する。また来年度の強誘電体トランジスタアレーの試作に向けたデバイス設計の検討も始める。

【岡田先生】

昨年度から引き続き、WSin 層によるフィン構造へのコンタクト形成技術を確立していく。まずは、W電極/WSin 層/Si のコンタクト構造にて、ショットキー障壁高さを指標にして、コンタクト抵抗低減効果を明らかにしていく。次に、W電極/WSin 層/Si のコンタクト構造にて、コンタクト抵抗の低減効果を明らかにしていく。WP3 と連携することで、デバイス構造を有するサンプルの提供を受けて実構造でのコンタクト要素技術を開発していく。

3. 日本側研究チームの実施概要

WP1（小林）では本年度は主に(1)マルチドメインの分極反転ダイナミクスを考慮したメモリ長期保持特性のモデリングと(2)マルチドメイン FeFET メモリ特性のばらつきの検討を行った。

(1) マルチドメインでの分極反転ダイナミクスを考慮したメモリ長期保持特性のモデリング

強誘電体 HfO_2 で支配的と考えられている Nucleation-Limited-Switching (NLS) モデルを用いて、試作した強誘電体 HfO_2 キャパシタの実験データでキャリブレーションを行い、試作した FeFET の長期保持特性を再現することに成功した。またこのモデルには電荷トラップの影響も含まれており、長期保持においては電荷のデトラップの影響でプログラム状態のデータ損失がより速いことを示唆する結果も得られた。本研究の成果を WP4 の回路・システムモデルに組み込むことで学習の頻度を決める。

(2) マルチドメインを考慮した FeFET メモリ特性のばらつきの検討

3次元 TCAD を用いて、強誘電体層をマルチドメインとしてモデリングし、ドメインのばらつき方を系統的に変えることによって、強誘電体自体のばらつきが FeFET の電気特性のばらつきに与える影響を調査した。これまでに私たちは、WP4 の検討で、高性能なパターン認識のためには FeFET は 4 ビット(16 レベル)のメモリ状態を持つことを示してきた。±3 σ でビットエラーなく 4 ビットを実現するためにはゲート長は 50nm 程度、ドメインサイズも 5nm 程度にしなければならないことを明らかにした。アクセラレータ応用であれば、最先端プロセスノードを用いる必要はなく、例えば 65nm ノード程度の技術を想定できる。一方ドメインを 5nm にすることは技術的には挑戦的であるが、WP2 が現在ドメインサイズの微細化に取り組んでおり、ナノラミネート法など、プロセス開発を次年度行っていく

WP2 では 21 年度は、Si フィン構造上での W 電極と WSin 層の連続成膜プロセスを開発した。まず、①Si フィン構造上での W 電極の被覆性向上に取り組んだ。W 電極の成膜温度と原料ガス (SiH_4 と WF_6) の流量比の最適化を検討し、W 電極の被覆率約 90%の達成に成功した。次に、②WSin 層の膜厚制御性の向上に取り組んだ。当初、WSin 層の成膜が開始されるまでのインキュベーションタイム (約 60 分) が存在していたが、チャンバー側壁の温度やガス導入位置が原因であることを突き止め、成膜装置の冷却機構とガス導入口の位置調整を行うことで、インキュベーションタイム (約 5 分) の大幅な短縮に成功した。これにより、ナノメートルオーダーで膜厚制御した WSin 層の形成が可能となった。以上の①と②の開発成果を組み合わせることで、W 電極と膜厚 2 nm の極薄 WSin 層の Si フィン構造へのコンフォーマルな被覆を実現した。W 電極と Si を直接接合し、熱処理を行うと、通常、W 電極が Si へ浸食してしまう。一方、極薄 WSin 挿入層により、Si フィン構造における W 電極の Si 浸食 (@600°Cの熱処理後) を防止できる。この結果は、フィン構造の FeFET にも有効であると期待できる。