

日本—台湾研究交流「AI システム構成に資するナノエレクトロニクス技術」 2020 年度 年次報告書	
研究課題名（和文）	ナノスケール強誘電体トランジスタの研究開発と機械学習アクセラレータへの応用
研究課題名（英文）	Research and development of nanoscale ferroelectric transistor and its application to machine learning accelerator
日本側研究代表者氏名	小林 正治
所属・役職	東京大学 工学系研究科附属システムデザイン研究センター・准教授
研究期間	2020 年 4 月 1 日 ～ 2023 年 3 月 31 日

1. 日本側の研究実施体制

氏名	所属機関・部局・役職	役割
小林正治	東京大学・工学系研究科附属システムデザイン研究センター・准教授	PI、デバイスモデリング・設計
岡田直也	産業技術総合研究所・シニア研究員	WP2 リーダー、プロセス開発・評価
遠藤和彦	産業技術総合研究所・グループリーダー	プロセス開発・評価
入沢寿史	産業技術総合研究所・シニア研究員	プロセス開発・評価

2. 日本側研究チームの研究目標及び計画概要

初年度はまず、各機関が所有する技術をもとに個別にベースラインとなる技術を整備する。WP1 では当初のスペック実現に向けたデバイス設計、WP2 ではプレーナ構造でのコンタクト要素技術の開発、WP3 ではフィン FET 型強誘電体トランジスタの初期試作、WP4 では回路・システムの初期設計、を行う。各 WP でベースライン技術をアウトプットし、各機関での連携を確立し、WP4 で単体デバイスの特性を用いたモデルベースでの初期設計を目指す。

3. 日本側研究チームの実施概要

【WP1 の実施内容】

①強誘電体トランジスタの TCAD シミュレーションモデル構築

WP3 では本プロジェクトに先行して試作された Fin FeFET のサンプルおよび同条件で試作された MFIS キャパシタの提供を受け、強誘電体パラメータの抽出を行い、チャージトラップおよび固定電荷を含んだ FeFET の TCAD モデルを構築し、サブスレシヨルド特性に注目してその強誘電体パラメータや各種電荷による影響を系統的に調査した。この成果は IEEE TED に投稿し採択された (C. Jin et al., IEEE TED 2020, 10.1109/TED.2020.3048916)。

②SOI FeFET メモリ特性の改善に向けた提案とデバイス動作の検討

①で提供を受けた FeFET を含め、現状の WP3 の SOI FeFET はメモリウィンドウが極めて小さい。議論の結果、フィン形成時のダメージと、短チャネル化した時の強誘電性の著しい劣化が主な原因と推定した。WP3 では現在これらの改善に向けてプロセス開発を行っている。またフローティングボディデバイスでは少数キャリアと多数キャリアの生成・供給過程が異なるためプログラム・消去で各々適切な書き込み方法が必要であることを提案している。

③回路シミュレーション用のコンパクトモデルの構築

WP1 が以前試作した長チャネルのバルク FeFET は比較的良好なメモリ特性を示すため、その測定結果を用いて SPICE シミュレーション用のコンパクトモデルを作成した。また、WP4 との議論により、機械学習アクセラレータでは学習頻度の高くない推論応用が最も現実的であると考えており、その場合学習パラメータの中長期の安定な保持が重要であり、FeFET の保持特性が重要である。FeFET の保持特性のモデリングに着手し、分極反転の Nucleation-limited switching モデルを用いたコンパクトなモデルを提案している。

【WP2 の実施内容】

①W の WSi 上への連続成膜による Si 非浸食プロセスの開発

本年度はまず、私たちが所有する独自の cluster-preforming deposition (CPD)法により形成される WSi と、それに続けて WSi で用いたものと同じガスソースによって in-situ で W 電極を形成するプロセスを開発した。その結果、ex-situ でスパッタによる物理堆積した電極と遜色のない、Si 非浸食な W 電極形成プロセスを形成することに成功した。このプロセスを②の電気特性の評価に用いている。

②WSi/Si ショットキー接合のショットキー障壁高さの系統的な評価

①で開発した試作プロセスを用いて、WSi を電極とした MOS キャパシタと、WS/n-Si のショットキーダイオードを試作して、W と Si の組成比を変えながら WSi の仕事関数とショットキー障壁を系統的に評価した。その結果、MOS キャパシタの C-V 測定により、WSi(n=12)において as-grown で WF=4.2eV、600°Cアニールによって WF=4.0eV と、ほぼ Si の伝導体端の WF を得ることに成功した。続いて、ショットキーダイオードの電流電圧特性よりショットキー障壁を算出した。その結果、W と Si を直接接合した場合の障壁高さが 0.67eV であるのに対して WSi(n~12)を W と Si の間に導入することで障壁高さを 0.45eV 程度まで低減できることができ、さらに 450°C の FGA を行うことによって界面欠陥を減らすことにより障壁高さを 0.32eV まで低減できることを示した。この障壁高さの低減の物理的起源は、W 単体よりも WSi の方が Si 表面に対してダングリングボンドの形成が少ないこと、また WSi がセミメタルであることから MIGS によるフェルミレベルピンニングを抑制できることが考えられる。

本研究の成果は学術論文として発表している (Appl. Phys. Express 13, 061005 (2020), <https://doi.org/10.35848/1882-0786/ab8d49>)。