

プログラム名：量子人工脳を量子ネットワークでつなぐ高度知識社会基盤の実現

PM名：山本 喜久

プロジェクト名：量子人工脳

委 託 研 究 開 発

実 施 状 況 報 告 書 (成 果)

平 成 2 8 年 度

研究開発課題名：

量子フィードバック回路開発

研究開発機関名：

大阪大学

研究開発責任者

井上 恭

I 当該年度における計画と成果

1. 当該年度の担当研究開発課題の目標と計画

本課題は、コヒーレント・イジングマシン (CIM) の要の構成要素である量子フィードバック回路の開発、特に FPGA による信号処理回路の設計・実装を主な担務としている。量子フィードバック回路では、リング共振器型縮退光パラメトリック発振器 (OPO) 内を周回する時分割多重光パルスの各パルス状態を測定し、その測定結果を用いて FPGA 回路でパルス間結合に相当する演算を行い、演算結果を光信号に変換して OPO 周回パルスに注入する、という操作を行う。前年度までに、2048 パルス間の全結合演算 (具体的には 2048×2048 の行列演算) を行う FPGA 回路を設計・実装し、NTT チーム開発の OPO と組み合わせて、CIM として動作することを実証した。これを受け、当該年度は、この一次試作機の改良・機能変更、さらには次期バージョンの検討を行うことを目標とした。具体的な計画項目は、データ転送速度の高速化、結合係数の離散値から連続値への変更、パルス間結合演算において比例項を付加、次期バージョンの方向性 (パルス数、全結合 or 部分結合、離散結合係数 or 連続結合係数) の明確化、などである。

2. 当該年度の担当研究開発課題の進捗状況と成果

2-1 進捗状況

(1) データ転送速度: 試作した FPGA 回路は CIM 動作中のパルス状態を記憶しておき、それを外部に出力する機能を備えているが、一次試作機ではこのデータ転送に 50 秒程度要していた。そこで、インターフェースを作り替え (転送速度: 900kbps→12Mbps)、約 4 秒で蓄積データの転送が行えるようにした。またこれに伴い、FPGA 回路への結合係数の書き込み時間も 35 秒から 4 秒へと短縮された。

(2) ダイナミックレンジ: FPGA 回路では、各パルス状態の測定値を 5 ビットでデジタル化したうえで演算処理を行っている。1 次試作機ではこのデジタル化の測定値範囲をパルスの成長に応じて 3 段階で切り替えていたが、これを 12 段階に改造し、より柔軟性にダイナミックレンジを設定するようにした。

(3) 比例項: 1 次試作機では、パルス間結合演算として $\mathbf{x}_{i+1} = \mathbf{J}\mathbf{x}_i$ (\mathbf{x}_i : i 周回目のパルス状態を表すベクトル、 \mathbf{J} : パルス間結合を表す行列) という行列演算を行っていたが、比例項 (イジングモデルにおける磁場印加に相当) が付加されると、すなわち $\mathbf{x}_{i+1} = \mathbf{J}\mathbf{x}_i + \mathbf{y}_i$ とすると (\mathbf{y}_i は \mathbf{x}_i の各要素がそれぞれ定数倍されたベクトル)、CIM の応用範囲が広がる。このような演算が行えるように改造した。

(4) 結合係数: 1 次試作機では、 i 番目パルスと j 番目パルスの結合係数 J_{ij} は $\{-1, 0, +1\}$ の離散値としたが、これが連続値であると CIM の応用範囲が広がる。そこで、結合係数を連続値とするように FPGA 回路を改造した。分解能は 8 ビット。但し、FPGA の演算リソースの制限から分解能と演算パルス数はトレードオフの関係にあるため、パルス数を 2048 から 521 に変更し、 521×521 の行列演算を行うものとした。

(5) 次期 FPGA 回路: 次期バージョンについて検討した。FPGA 回路の仕様項目としては、演算パルス数 (= 行列演算規模)、全結合か部分結合か、結合係数は離散値か連続値か、などが挙げられる。OPO で実装可能なパルス数、利用可能なハード部品 (e.g., FPGA ボード、AD 変換器) の性能や実装可能な回路規模、さらには CIM の応用領域や予算規模などを勘案しながら、次期バージョンの仕様を検討した。

まず、利用可能な FPGA ボードの性能を調べ、それを基に、上記システムパラメータの組み合わせに応じて実装できそうな回路規模を整理した。またその一方で、競合他技術の動向や CIM の適用分野を調査した。その結果、次期 FPGA 回路の性能としては全結合特性を最優先することとした。これは、競合他技術はすべて部分結合方式となっており、全結合が CIM の特徴が最も活きる項目という判断による。また、この特徴をアピールするにはパルス数はなるべく大きい方がよい。そこで、次の優先項目をパルス数とし、そのためパルス数とトレードオフ関係にある結合係数は{-1, 0, +1}の離散値とした。これには、離散結合係数でも適用領域は十分にあるという判断も働いている。また、パルス数を多くとるため、OPO の時間多重パルスの繰り返し周波数を一次試作機の 1GHz から 5GHz へと高く設定した。

以上のように優先項目を整理したうえで、利用可能な FPGA ボードの性能を勘案しながら、実装可能な回路規模の見積もりやそのための回路構成の概略設計を行った。その結果、次期 FPGA 回路の仕様を {100000 パルス、全結合、離散結合係数}とした。この性能は、最高性能の FPGA ボード (XILINK VU13P) 60 枚を直列に接続する構成により実現可能と見込んでいる。

2-2 成果

上記進捗状況・成果は次のようにまとめられる。

一次試作 FPGA 回路の改良・改造：

	一次試作機	改良・改造機
データ転送速度	50秒	4秒
ダイナミックレンジ切替	3段階	12段階
比例項 (磁場項)	無	有
結合係数分解能	{-1, 0, 1}	8ビット
パルス数	2048	521

次期試作機の仕様策定：

パルス数： 10^4 、パルス繰り返し周波数：5GHz、結合状態：全結合 ($10^4 \times 10^4$)、
結合係数分解能：3 値、FPGA ボード数：約 60。

2-3 新たな課題など

上述のように、当該年度では一次試作 FPGA 回路の機能変更 (比例項の付加、結合係数の連続値化) を行った。今後、これを NTT 開発の OPO と組み合わせて、CIM としての動作実証実験を行う予定である。また、次期 FPGA 回路に関しては、仕様策定及び回路の概略設計をした段階であり、今後さらに詳細に設計するとともに、周辺回路 (e.g., AD 変換器) の性能評価を行う予定である。

3. アウトリーチ活動報告

特に無し