

プログラム名：進化を超える極微量物質の超迅速多項目センシングシステム

PM名：宮田 令子

プロジェクト名：プロジェクト3（有害低分子）

委 託 研 究 開 発

実 施 状 況 報 告 書（成果）

平成27年度

研究開発課題名：

超高感度有害低分子センシングシステムの開発

研究開発機関名：

パナソニック株式会社 A I S 社

## I 当該年度における計画と成果

### 1. 当該年度の担当研究開発課題の目標と計画

今年度の担当する研究開発課題の目標と計画は以下の通りである。

#### 【課題1：物質捕捉・濃縮】

ナノワイヤを用いた新規濃縮原理に基づいて九州大学（柳田教授）と共同でナノワイヤ形成プロセスの確立と濃縮実証を行う。また、ナノワイヤを流路デバイスへ実装して、モデル分子に対する濃縮効果の1次検証実験を行う。

#### 【課題3：有害低分子認識】

有害低分子の検出素子の候補の一つとして、分子のパターン認識に有利となる高集積化が期待できる電界効果トランジスタ(FET)の開発を東京医科歯科大学（宮原教授）と共同で行う。有害低分子の検出に適した構造を有するFETを設計、試作する。ノナナールやベンズアルデヒドなどのモデル分子に対して分子認識能を示す材料の開発を九州大学（都甲教授）、東京工業大学（大河内教授）と共同で行う。

#### 【課題4：パターン認識による分子同定】

濃縮デバイスに関してナノワイヤによる濃縮効率の向上のため、大阪大学（鷲尾教授）のご協力の下で機械学習などによる統計的な評価技術を研究開発する。具体的には、ナノワイヤの特性と濃縮効果との関係を明らかにするために、極性を付与したナノワイヤに対してターゲット分子の捕捉量のデータを収集する。また、モデル分子がナノワイヤへ吸着、脱離する際の各種条件のデータを取得し、分子認識の可能性を検討する。

#### 【課題5：集積化・モジュール化・量産用試作・製品化】

集積化・モジュール化においては、濃縮部、測定部、送風部(ポンプ)等の個別機能を制御する制御系回路と、各部から得られるアナログ信号をデジタル処理する信号処理部が必要である。さらに、検出器の最終形状がハンディ型を目指していることから、制御系回路・処理系回路には、同期性、高速性、高精度性、および小型・低消費電力が求められる。今年度は特に回路の多チャンネル化、小型化に重点を絞り、検出器回路の基本構成を構築した動作デモ機用の試作回路を目標とする。

### 2. 当該年度の担当研究開発課題の進捗状況と成果

今年度の担当する研究開発課題の進捗状況および成果は以下の通りである。

#### 2-1 進捗状況

#### 【課題1：物質捕捉・濃縮】

濃縮部の主要材は、スパッタ法により形成したシード結晶を用いてシリコン基板上にZnOナノワイヤを液相中で形成することで得ている。しかし所望の長さのナノワイヤを得るために従来は長時間を要していた。その主要な要因が成長溶液の供給方法にあることを新たに見出し、これを改良する検討を行った。また、ナノワイヤを成長させたシリコンチップ(2mm x 10mm)を流路デバイスに組み込んで、ノナナールに対する濃縮効果の検証に成功した。

#### 【課題3：有害低分子認識】

ケミカルセンサとして機能を持つFETのうち、有害低分子の検出に適した構造を有するFETを設計した。自社内の量産ラインを活用してFETの試作を完了した。また分子認識材料の開発では、導電性を付与した複合高分子材料の探索を行い、最適な複数の候補の組み合わせを選定した。さらにノナナールに選択的に結合するペプチド配列を得るため、評価用アッセイ系を構築して、合成ペプチドの評価を開

始した。

【課題4：パターン認識による分子同定】

ナノワイヤの表面物性や吸脱着の条件によりターゲット分子の捕捉・濃縮特性を制御し、その結果としてパターン認識の精度を向上できるとの仮説を立て、ナノワイヤ表面の表面修飾や吸脱離の条件を検討した。

【課題5：集積化・モジュール化・量産用試作・製品化】

前年度にアナログ入出力（±10V, 2ch, 100kHz）および I2C デジタル線の機能を搭載した FPGA（プログラム可能な集積回路）マイコンボードを開発したが、1チャンネルのみのセンサに対応していた。今年度はこれを多チャンネルのセンサに対応できるようにアンプ回路を含めた評価回路として開発した。

## 2-2 成果

【課題1：物質捕捉・濃縮】

ZnO ナノワイヤを液相成長させる際に用いる溶液の供給方法を従来のバッチ方式からフロー方式へ代えることにより、成長速度を約 20%向上させた。また、ナノワイヤを成長させたシリコンチップを流路デバイスに組み込み、ガスクロマトグラフ質量分析計と接続する評価システムを構築した。評価した結果、ナノワイヤによるノナナルの濃縮効果を確認できた(図1)。

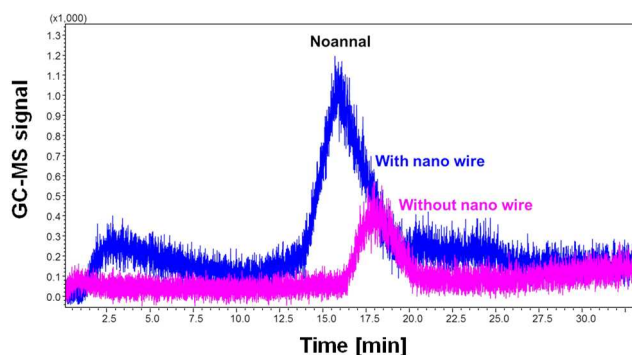


図1 ナノワイヤによる濃縮効果の検証結果

【課題3：有害低分子認識】

1辺が7mm角の領域内に検出方式及び寸法の異なる16種類のFETを集積させたチップを試作した(図2)。同チップ内に搭載した標準FETの特性は設計値と一致した特性を示すことを確認した。また、分子認識材料の候補として低分子に対して比較的選択的な吸着特性を示す高分子材料を複数種類に絞り込んだ。質量変化素子により1次スクリーニングした後、導電性を示す材料と複合化することで電気抵抗変化素子により2次スクリーニングし、分子認識材料を選定した。

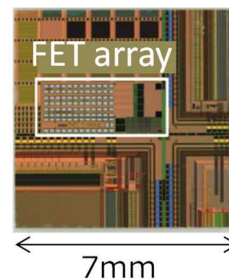


図2 試作したFETチップ

【課題4：パターン認識による分子同定】

ナノワイヤの表面を無機酸化物で表面修飾することによりターゲット分子を選択的に捕捉・濃縮できる可能性があることを示した。さらに吸脱離の条件によっても分子を選択的に脱離できることが分かった。

【課題5：集積化・モジュール化・量産用試作・製品化】

6チャンネルx6チップのセンサに対応できるアンプ回路を搭載した評価回路を開発した。これによりセンサの評価に要する時間が飛躍的に短縮できることに加えて、多チャンネル化された集積化回路の設計において指針が得られるようになった。

## 2-3 新たな課題など

センサの小型化には、濃縮チップおよび検出チップの他に制御回路および信号処理回路の小型化が必須である。現在は開発用の回路ボードまたはユニットを用いているが、これらを ASIC（特定用途向け集積回路）化するために必要な要件検討を開始するフェーズに入ってきている。当面は他用途向けに自社内で開発された ASIC を利用して課題検討を進めることとし、次のステップでは有害低分子検出に適した専用 ASIC を設計、試作する。

### 3. アウトリーチ活動報告

無し