

プログラム名：無充電で長期間使用できる究極のエコ IT 機器の実現

PM名：佐橋 政司

プロジェクト名：スピントロニクス集積回路

委 託 研 究 開 発

実 施 状 況 報 告 書 (成 果)

平 成 2 9 年 度

研究開発課題名：

「スピントロニクス集積回路の開発」

研究開発機関名：

「東北大学 省エネルギー・スピントロニクス集積化システムセンター」

研究開発責任者

大野 英男 (H29. 4. 1 から H29. 11. 30 まで)

遠藤 哲郎 (H29. 12. 1 から)

## I 当該年度における計画と成果

### 1. 当該年度の担当研究開発課題の目標と計画

スピントロニクス技術を活用したエネルギーハーベスティングで駆動する省電力情報処理集積回路向け材料・素子技術、回路・アーキテクチャ技術ならびに集積プロセス技術の開発に取り組み、革新的材料・素子技術と世界最先端 300mm 集積プロセスとの高度な技術統合により、分散型 IT システムに向けた、従来比で 5 倍以上の動作速度、ならびに 1/20 以下の待機時電力を達成する 50 万素子規模の革新的超低消費電力マイコン等の実現に向けた基盤技術の課題に対し、H29 年度は以下の研究開発を展開する。

#### ① エネルギーハーベスティングで駆動するスピントロニクス集積回路向け材料・素子開発

2 端子 MTJ 素子 (STT 素子)、3 端子 MTJ 素子 (SOT 素子) 等の動作・情報保持安定性の向上、高性能化のための材料・デバイス設計指針の検討、および材料、デバイス構造の開発。300mm 基板上での集積回路試作に向けた基盤技術の向上。参加企業のコミットメントを呼びこみながら計画立案していく STT/SOT 素子ベース不揮発集積回路の試作に向けたスピントロニクス材料・デバイス技術の知見の蓄積。

#### ② エネルギーハーベスティングで駆動する集積回路向け回路・アーキテクチャ開発

従来比で 1/20 以下の待機時電力を達成する新しい超低消費電力な回路技術とアーキテクチャ技術の開発に向けて、H28 年度に設計高度化を図った不揮発マイコンチップの試作を進め、性能評価ならびに改良点の抽出を行う。また、H28 年度に設計を進めた 3 端子 MTJ 素子 (SOT 素子) を用いた基本 IP 回路を組み合わせ、MRAM チップの設計の高度化・試作を行う。加えて、参加企業のコミットメントを呼びこみながら計画立案していく STT/SOT 素子ベース不揮発集積回路の試作を視野に入れた回路・アーキテクチャ設計要素技術の検討を行う。

#### ③ エネルギーハーベスティングで駆動する集積回路と 300mm 集積プロセスの開発

H28 年度に開発した STT 素子の 300mm ウェハ集積化プロセスをもとにし超低消費電力マイコン等 (50 万素子規模) の実証に向けた集積回路試作を行う。加えて、H28 年度に開発した SOT 素子向けの 300mm ウェハ対応要素プロセスをもとに SOT 素子を CMOS 上に集積化し動作実証に向けた MRAM の要素プロセス技術の高度化を行う。

### 2. 当該年度の担当研究開発課題の進捗状況と成果

#### 2-1 進捗状況

#### ① エネルギーハーベスティングで駆動するスピントロニクス集積回路向け材料・素子開発

SOT-MRAM の試作に向けた 3 端子 MTJ 素子 (SOT 素子) の低消費電力化や高出力化のための材料・デバイス設計指針の検討、および材料・デバイス構造の開発、短 TAT 評価手法の構築などを進めた。具体的には、H27 年度に開発し、H28 年度に性能実証した面内磁化容易軸を有しサブナノ秒での磁化反転が可能な新構造素子の特性を、短 TAT にて統計的かつ系統的に測定できる手法を検討した。また SOT-MRAM の低電流・電力動作のためのチャネル材料の開発を進めた。さらに、集積プロセスグループと協力して 300mm ウェハ上での配線工程で必要となる熱処理耐性を有する SOT 素子の成膜プロセスの開発を進めた。

MTJ ベース不揮発性マイコンの将来の微細化を見据えた 2 端子 STT 素子の高度化に向け、

(Co)FeB-MgO 構造の磁気特性・スピントルク磁化反転特性の(Co)FeB 組成や膜構成依存性を系統的に評価した。

## ② エナジーハーベスティングで駆動する集積回路向け回路・アーキテクチャ開発

H28 年度までに設計を行ったスピントロニクス超低消費電力マイコン(MTJ ベース不揮発マイコン)チップの評価に向け、評価環境の構築を行った。具体的には、チップ測定や回路パラメータ抽出効率化のための計測装置・消耗品の選定を実施するとともに、測定項目や測定スケジュールの詳細を設定した。また、本年度末に納入された MTJ ベース不揮発性マイコンチップ用の CMOS ウェハについて、事前に設定していた測定項目や測定スケジュールに基づき測定を行い、CMOS 部の基本動作を確認した。さらに、設計したマイコンチップに搭載した各種回路技術については、特許出願による IP 化、知財化を実施するとともに、国際学会ならびに学術論文で発表を行った。

SOT-MRAM 関連では、材料・素子グループおよび集積プロセスグループとの定期的な情報交換を行いながら回路設計のためのライブラリおよび素子モデルの構築を進めるとともに、並行して基本回路の仕様検討、および基本特性評価のための TEG 回路のラインナップの検討を行った。以上の検討内容を元に、構築した設計環境を用いて具体的な回路設計ならびにレイアウト設計を進めた。

## ③ エナジーハーベスティングで駆動する集積回路と 300mm 集積プロセスの開発

H28 年度に開発した STT 素子の 300mm ウェハ集積化プロセスをもとにし MTJ ベース不揮発性マイコン (50 万素子規模) の実証に向けた集積回路試作を進めた。加えて、H28 年度に開発した SOT 素子向けの 300mm ウェハ対応要素プロセスをもとに SOT 素子を CMOS 上に集積化し動作実証に向けた MRAM の要素プロセス技術の高度化を行った。さらに、材料・プロセスグループと協力して 300mm ウェハ上での配線工程で必要となる熱処理耐性を有する SOT 素子の成膜プロセスの開発を進めた。

## 2-2 成果

上記①、②、③の材料・素子、回路・アーキテクチャ、集積回路・300mm 集積プロセスの開発を通じ、1) MTJ ベース不揮発性マイコンと 2) SOT-MRAM に関し以下の成果が得られた。

### 1) MTJ ベース不揮発性マイコンの開発

H28 年度までに単体 STT 素子や 300mm ウェハ対応プロセス開発時に評価・蓄積されている STT 素子特性を基に、MTJ ベース不揮発性マイコンチップの低消費電力化のための回路要素技術として、MTJ を利用した内部要素回路の細粒度パワーゲーティング技術を提案した。具体的には、常時 ON となる回路ブロックの規模を最小限に抑えられる新しい待機電力削減技術を世界に先駆け開発するとともに、MTJ ベース MRAM 駆動電流および MCU 待機時消費電力から決定される目標仕様を元にパワースイッチの適切なサイズを算出することで、目標である 100MHz 動作を確保しつつ待機電力を目標電力以下まで削減できることをシミュレーションにより確認した。また、MTJ ベース不揮発性マイコンチップに搭載する CPU の性質を利用して無駄なメモリアクセスを抑制する回路要素技術において、回路ブロックへの要求仕様の緩和とデータ読込の高速化が実現可能であることを確認した。具体的には、搭載する CPU の命令セットに 16bit 命令と 32bit 命令が混載されていることに着目し、追加した回路ブロック (Accelerator) に先読みしたデータを保持することで、メモリへのアクセスを低減させる方式を開発した (図 1)。その結果、低消費電力版 MTJ ベース MRAM (50MHz 動作)に変更でき、マイコンとして高性能化 (100MHz 動作)と低消費電力化の両立が可能になり、キャッシュを用いた場合に比べて 1.17 倍の演算効率向上と 4.6 倍の面積効率向上が可能であることを

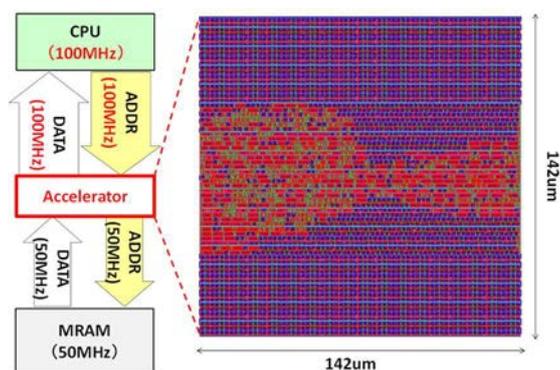


図 1： 省電力・高性能不揮発 MCU のためのメモリアクセス制御回路。実メモリアクセス負担を低減（50MHz）しつつ，CPU へのデータ供給レートの倍増（100MHz）を可能にする。

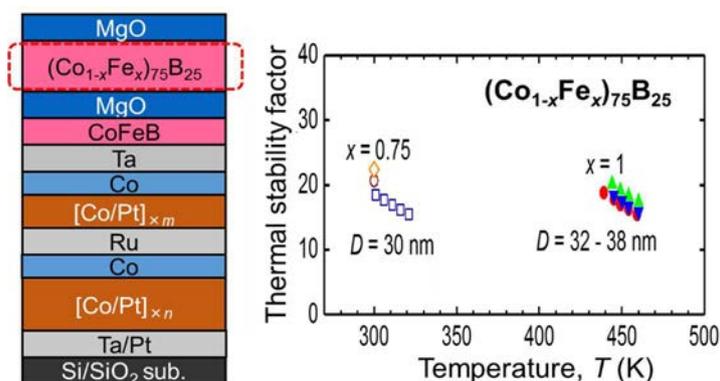


図 2： Fe 組成の異なる CoFeB 記録層の熱安定性。Fe 組成の増加により、界面磁気異方性を増加させ、デバイスの熱安定性もそれに応じて増加させることに成功。強磁性共鳴評価からダンピング定数の低減も観測され、STT 素子の低電流書込みと高熱安定性の両立の可能性を示唆。

シミュレーションにより確認し、世界最高の電力削減が可能であることを示した。

前述の回路要素技術に基づき設計した実証用 MTJ ベース不揮発性マイコンを試作するために、H28 年度に開発した STT 素子の 300mm ウェハ集積化プロセスを基に、パーティクル抑制・加工形状安定性を高めた集積化プロセスを開発し、つくばイノベーションアリーナの配線加工工程を利用し CMOS 動作確認用の CMOS 回路部の試作を完了した。その CMOS 回路部の評価のために測定手法の開発を進め、所望の評価計画に基づき測定を行い、CMOS 回路部の基本動作を確認した。実証用 MTJ ベース不揮発性マイコンの試作に関しては、つくばイノベーションアリーナでの種々の試作遅延のため H30 年度の第一四半期までに完了を予定している。

また、MTJ ベース不揮発性マイコンの将来の微細化を見据えた 2 端子 STT 素子の高度化に向けて、(Co)FeB-MgO 構造の磁気特性、スピントルク磁化反転特性の (Co)FeB 組成・膜構成依存性を系統的に評価し、MTJ ベース不揮発性マイコンの低電流 STT 書込みと高熱安定性の両立に向けた材料設計指針を得た（図 2）。

## 2) SOT-MRAM の開発

SOT-MRAM 試作に向けた 3 端子 MTJ 素子 (SOT 素子) の低消費電力化や高出力化のための材料・デバイス設計指針の検討、および材料・デバイス構造の開発、短 TAT 評価手法の構築などを進め、以下の成果を得た。H27 年度に開発し、H28 年度に性能実証した面内磁化容易軸を有しサブナノ秒で

の磁化反転が可能な新構造素子の特性を短 TAT にて統計的、かつ系統的に測定できる手法として、ドットアレイを有するホール素子においてプレーナーホール抵抗の差分を利用する方法を構築した。また、SOT-MRAM の低電流・低電力動作のためのチャンネル材料の開発を進め、成膜条件の精密制御により世界最高のスピン軌道トルク生成効率を達成した (図 3)。

SOT-MRAM の 300mm プロセスとその動作実証に向け、上述の単体 SOT 素子特性の実測値を用い 300mm ウェハ試作の SOT-MRAM 設計のためのライブラリおよび素子モデルの構築を進め、基本回路仕様および基本特性評価用 TEG 回路のラインナップの検討を行った。以上の検討内容を元に、構築した設計環境を用いて 300mm ウェハ試作に向けた動作実証用 SOT-MRAM の回路設計ならびにレイアウト設計を実施した。

この設計に基づいた動作実証用 SOT-MRAM を試作するため、MTJ ベース不揮発性マイコンの試作において開発された 300mm 集積化プロセスを基盤とし H28 年度に開発した SOT 素子向けの 300mm ウェハ対応要素プロセスを高度化し、SOT-MRAM の低電流動作のためのチャンネルおよび CMOS 配線工程で必要となる熱処理耐性を有する SOT 素子の成膜プロセスについて開発指針を得た。

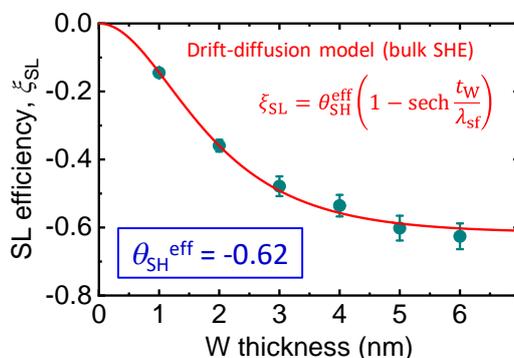


図 3: W/CoFeB/MgO 積層構造におけるスピン軌道トルクの Slonczewski-like 成分 ( $\xi_{SL}$ ) の W 膜厚依存性. フィッティングから世界最高の実効スピンホール角となる  $\theta_{SH}^{eff} = 0.62$  が得られた.

### 2-3 新たな課題など

MTJ ベース不揮発性マイコンおよび SOT-MRAM の試作スケジュールは、つくばイノベーションアリーナの装置稼動・運営の状況に大きく影響されるため、試作スケジュールのキープに関しては外部機関要因の大きな課題を有している。

### 3. アウトリーチ活動報告

ImPACT での取り組みについて下記のようにアウトリーチ活動を行った。

1. Tohoku University Science Summer Program 2017 (2017/7/3 開催) .
2. 東北大学電気通信研究所通研公開 2017 (2017/10/7-8 開催) .
3. 東京フォーラム 2017 (2017/10/31 開催) .
4. 平成 29 年度電気通信研究所共同プロジェクト研究発表会 (2018/2/22 開催) .
5. 第 39 回市民型講座「スピントロニクス不揮発性素子」(2018/3/6 開催) .
6. 4th CIES Technology Forum (2018/3/23 開催) .