

プログラム名：無充電で長期間使用できる究極のエコ IT 機器の実現

PM 名：佐橋 政司

プロジェクト名：電圧駆動 MRAM 開発タスクフォース

委 託 研 究 開 発

実 施 状 況 報 告 書 (成 果)

平 成 2 9 年 度

研究開発課題名：

電圧駆動 MRAM のための回路設計

研究開発機関名：

株式会社東芝 研究開発センター

研究開発責任者

藤田 忍

# I 当該年度における計画と成果

## 1. 当該年度の担当研究開発課題の目標と計画

平成 29 年度は、デバイス開発チーム側で開発されたメモリ素子、メモリアレイの実験データをもとに、速度性能・消費電力・エラー率等のシミュレーションの精度を高め、基本回路を改良する。さらに、ターゲットとするアプリケーション実現のために MRAM 素子が満たすべき条件の精度を上げる。また、平成 28 年度の回路設計検討により、メモリの速度とメモリ容量のトレードオフ関係が明確になってきて、より広い範囲でのメモリ適用の可能性が示唆されてきた。平成 29 年度では、これをもとにキャッシュメモリからメインメモリ、ストレージクラスメモリクラスに適用する可能性を回路とシステム設計の観点から探索する。

## 2. 当該年度の担当研究開発課題の進捗状況と成果

### 2-1 進捗状況

與田 PI のグループからコンセプト提案された VoCSM をベースとして、不揮発ログメモリ (Nonvolatile Logging Memory) 用途などを狙った大容量型電圧駆動 MRAM の回路設計を行った。28 nm ロジック CMOS テクノロジーを用い、128 Row x 128 Column からなる VoCSM ローカルメモリアレイと、書き込みドライバやセンスアンプなどの周辺回路を含む、64 Kbit ローカルメモリマクロを設計した。回路シミュレーションにてこのメモリマクロの基本動作の確認と、マスクレイアウトの設計も完了している。また、VoCSM では、ストリング構造上の 8 bit の MTJ を一括で書き込む一方、書き込み電流自体がストリング上の MTJ を経由して流出してしまうため、書き込むビット列のパターンやビット位置によって電流量が変化し、書き込みエラーレートが悪化する問題がある。これを解消するために、新しいコード変換アルゴリズムを用い、メモリアレイに書き込むビット列の”0”と”1”のバランスを均一化することで、書き込み電流のばらつきを抑える手法を提案した。この変換により、書き込み電流量のばらつきが約 1/3 に抑えられることが、回路シミュレーションにて確認できた。また、この方法で書き込みを行ったメモリアレイは、アレイ内に記録される”0”と”1”の割合が均一になるため、読み出しエラーレートの低減も期待できる。読み出し時に、読み出し対象のメモリストリングの対となるストリングを用いて参照値を生成して読み出しを行う。参照値そのもののばらつきを抑えることができるほか、固定の参照値を用いずメモリアレイ内で参照値を生成するため、メモリ素子のグローバルばらつきや、動作条件による擾乱を打ち消すことができ、読み出しエラーレートの改善につながる。

また、VoCSM をプロセッサキャッシュに用いる応用に関して、読み出しレイテンシーの性能への影響をシミュレーションで定量化するソフトウェアを開発した。書き込み専用ポートがある(読み出しにより、書き込みリクエストの遅延は起こらない)ことを仮定し、書き込みレイテンシーの性能への影響を定量化した。サイクルアキュレートなアーキテクチャ・シミュレータである Gem5 を用いて実験を行う。Intel 社製のサーバープロセッサを参考とした構成をベースとし、ラストレベルキャッシュのレイテンシーを変化させ、データを取得した。また、実験に用いるワークロード

は、SPEC2006 ベンチマークセットの中の、メモリアンテンシブなベンチマークプログラム 10 個を用いた。

まず、読み出しレイテンシーに関するシミュレーション結果を紹介する。

読み出しレイテンシーは、書き込みレイテンシーと比較し、性能への影響が大きい傾向にある。これは、読み出したデータが到着するまで、処理が待たされることが多いためである。一方で、アウトオブオーダー実行など、読み出しレイテンシーによる遅延がダイレクトに処理性能の低下に影響を与えないような仕組みも現在の一般的なプロセッサには実装されている。そこで、読み出しレイテンシーの性能への影響をアーキテクチャ・シミュレーションにより定量的に確認した。実験した読み出しレイテンシーのパラメータは、10ns, 15ns, 40ns, 65ns, 145ns の 5 つである。本実験では、書き込みレイテンシーの性能への影響は考慮していない。

図 A のように、読み出しレイテンシーの低下は性能に有意な影響を与える結果となった。なお、65ns や 145ns あたりで性能低下の度合いが鈍るようになるのは、主記憶 (DRAM) との速度差が小さくなるためであると考えている。

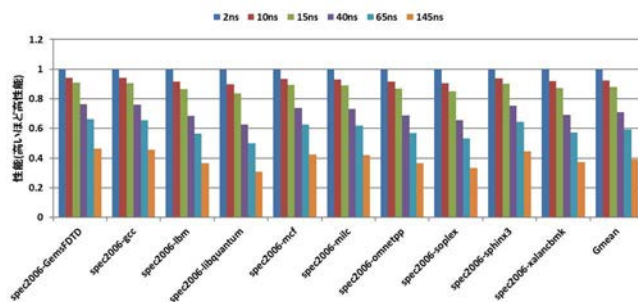


図 A 読み出しレイテンシーの性能への影響

書き込みレイテンシーは、読み出しレイテンシーと比較し、性能に与える影響は小さい傾向にある。これは、前節で述べたように、読み出しは処理を待たせるのに対して、書き込みは直接的に処理を待たせないためである。しかしながら、書き込みであればどれだけレイテンシーが低速でも性能に影響を与えないというわけではない。場合によっては、未完了書き込みの増大により、読み出しが待たされ、性能が低下する可能性もある。そこで、書き込みレイテンシーの性能への影響を定量化した。なお、本報告では、書き込み専用のポートがあることを仮定した。また、ライトバッファがすべて埋まっているときに読み出しが待たされるものと仮定した。図 B に実験結果を示す。図 B は、SRAM の性能を 1 として正規化している。また、5 パターンのライトバッファサイズの実験を行った。図 2 から分かるように、ライトバッファのサイズは、(Soplex のライトバッファ 1 エントリの結果を除き、) 有意な影響を与えないことが分かる。言い換えると、35ns の書き込みレイテンシーでも、性能に有意な影響を与えないことが分かる。なお、全ての結果が 1 以下の性能であるのは、読み出しレイテンシーの差による性能低下であり、書き込みレイテンシーの影響によるものではない。

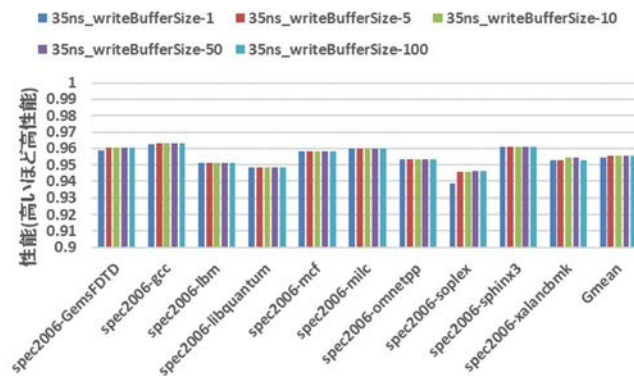


図 B 書き込みレイテンシの性能への影響

一方、産総研の野崎 PI らが取り組んでいる高速型電圧駆動 MRAM をストレージクラスメモリ (SCM) として利用するための、書き込みエラーレート (WER) 低減技術について検討した。SCM では、クロスポイント型 (CP 型) のメモリが有望と考えられている。CP 型のメモリは、直行する上下配線の交点に、メモリセルが配置される。メモリセルは 2 端子のセクタ素子と記憶素子によって構成される。セクタ素子は半選択セルからのリーク電流を抑制するために、高オンオフ比のデバイスが必要である。高オンオフ比という要求から、電圧印加によってイオン伝導し電流パスが生成・消失する、スイッチ素子型のセクタが有望と考えられている。セクタ素子のスイッチはイオン伝導に起因するため、有限のスイッチ時間ばらつきが生じ、MTJ に印加されるパルス幅にばらつきをもたらす。高速型電圧駆動 MRAM の WER は、パルス幅に対して振動する特性を持つので、パルス幅ばらつきによる WER 増大が課題となる。

本研究では上記の課題を解決するために、ステップ型の書き込みパルスによって、セクタのスイッチ時間ばらつきを隠ぺいする技術を提案し、効果を確かめた。図 1 に、提案する書き込みパルス波形を示す。本書き込み方式では、最初にセクタをスイッチさせるための電圧  $V_{on}$  を印加する。初期状態では、セクタはオフ状態なので印加電圧の大部分はセクタに印加される。セクタがオンすると、電圧は MTJ に印加される。MTJ には負電圧が印加されるため、磁化は初期状態で安定している。次に MTJ を反転させるための電圧  $V_{precession}$  を印加する。この時磁化は歳差運動を開始し、スイッチする。メモリセルに印加する電圧をステップ型とすることで、 $T_{MTJ}$  はセクタのスイッチ時間ばらつきから影響を受けなくなるため、WER を低減することができる。

本技術を用いた場合の WER 改善効果を、モンテカルロシミュレーションで検討した。図 2 に、矩形波とステップ型の書き込みパルスを用いた場合の、WER の評価結果を示す。ここで、セクタのスイッチ時間ばらつきは、標準偏差が 200ps のガウス分布に従うと仮定した。また、ステップ型の書き込みパルスは、波形を MTJ に直接印加した場合と、CP 回路中の波形を印加した場合の 2 通りを比較した。ステップ型の書き込みパルスを印加した場合は、矩形波を印加した場合に比べて、WER が数桁改善することが示された。これは、セクタのスイッチ時間ばらつきが隠蔽できたためである。一方、ステップ型のパルスを直接印加した場合と、メモリ回路中の波形を印加した場合の比較では、WER は後者のほうが 2 桁近く増大している。これは、回路の寄生成分によるパルス波形の歪みが原因と考えられる。

CP回路の特性や構造から、WERを低減する技術について検討した。WERを低減するためには、パルス波形を矩形に近づけることが有効と考えられる。MTJの抵抗値はスイッチ動作中に変動するので、その変動がパルス波形に影響を与えないようにすることが有効である。そこで、セレクトアのオン抵抗を100kΩから10kΩに低減した場合の書き込みWERを比較した(図3)。セレクトアのオン抵抗を下げることで、WERが改善できる。また、パルス波形の立ち上がり・立下りを高速にするために、配線厚を増加させることが有効と考えられる。図4は、様々な配線厚におけるWERの評価結果である。配線厚を60nm以上にした場合のWERは、矩形波を直接印加した場合の10倍以内に抑えられることが示された。

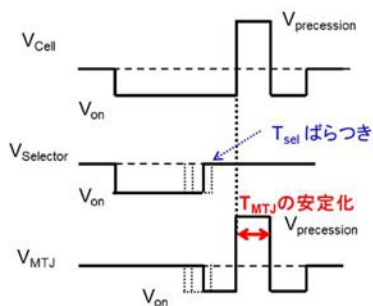


図1: ステップ型パルス波形

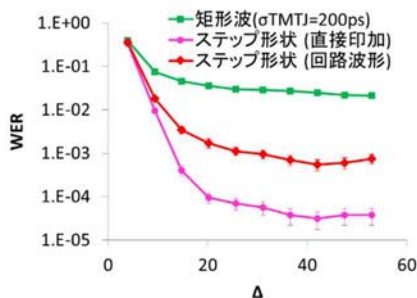


図2: 矩形波とステップ形状波のWER

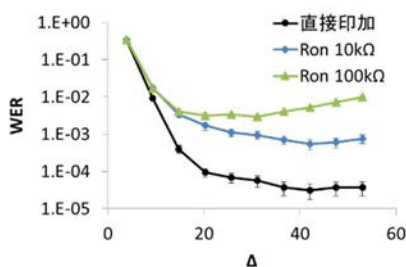


図3: セレクトアのオン抵抗とWER

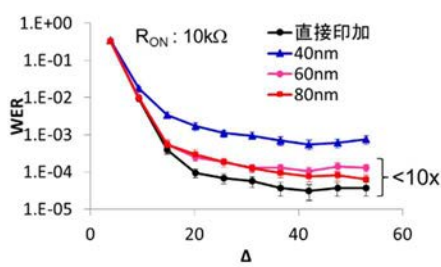


図4: 配線膜厚とWER

## 2-2 成果

新型の電圧MRAMであるVoCSMにおいては、不揮発ログメモリをターゲットとして、大容量VoCSMを構成するためのメモリアレイや、ローカルメモリマクロの要素回路の設計を完了した。さらに、複数ビット一括書き込み時の書き込みエラー低減と、読み出しエラー低減のための回路技術の提案を行った。また、VoCSMをプロセッサキャッシュに用いた応用に関して、読み出しレイテンシの性能への影響をシミュレーションで定量化するソフトウェア環境を開発した。電圧駆動MRAMを用いたSCM設計においては、配線厚を60nm以上にした場合のWERは、矩形波を直接印加した場合の10倍以内に抑えられることが示された。

## 2-3 新たな課題など

メモリデバイスチームの実験結果を反映させながら、回路システム側の設計を変更することを柔軟にスピーディーに行い、メモリデバイスチームへフィードバックすることがより重要になってきた。Gb級のメモリマクロ設計を通して、VoCSMの素子仕様と回路性能との関係性を明確化し、課題解決やデバイスと回路の協調設計に取り組んでいく。

3. アウトリーチ活動報告  
特になし