

プログラム名：無充電で長期間使用できる究極のエコ IT 機器の実現

PM名：佐橋 政司

プロジェクト名：スピン FET プロジェクト

委 託 研 究 開 発

実 施 状 況 報 告 書 (成 果)

平成 2 7 年 度

研究開発課題名：

低 RA・高スピン偏極ソース/ドレイン電極の開発

研究開発機関名：

大阪大学 大学院・基礎工学研究科

研究開発責任者

浜屋 宏平

# I 当該年度における計画と成果

## 1. 当該年度の担当研究開発課題の目標と計画

大阪大学では、高スピン偏極特性の予想される  $\text{Co}_2\text{FeSi}$ ,  $\text{Co}_2\text{FeAl}$ , および  $\text{Co}_2\text{FeSi}_x\text{Al}_{1-x}$  などを非縮退系 Ge チャンネル上に高品質形成し、Ge チャンネルへの確実なスピン注入・検出を室温で実証することを目指している。これまで、ホイスラー合金  $\text{Co}_2\text{FeSi}$  をスピン注入源として、非縮退系 Ge へのスピン注入・輸送・検出の効率として約 12% というデータを得ている [Appl. Phys. Exp. 7, 033002 (2014)] が、室温 (300K 以上) での実証には至っていない。この原因としては、チャンネルおよび強磁性/半導体接合界面付近の不純物 (Sb: アンチモン) によるスピン散乱の影響が大きいと考えている。昨年度、「チャンネルおよび接合界面近傍の不純物元素の変更」と「微細加工プロセスの再検討」により改善を図り、不純物として P (リン) をデルタドーピングする手法を開発した。しかし、不純物の偏析などの影響から、RA 値のバラツキが大きいことが課題であった。今年度は、このバラツキを抑制することを目指とする。また、スピン MOSFET 用の低温形成ゲート構造を検討する。

## 2. 当該年度の担当研究開発課題の進捗状況と成果

### 2-1 進捗状況

27 年度は、雇用しはじめた研究員が新しく開発された技術を用いて、Co 系ホイスラー合金 / Ge ヘテロ界面の RA 値バラツキを 1 桁以内に抑えることに成功した。また、昨年度開発したウェットエッチングプロセスを用いた低温ゲートスタック構造の作製も検討し、Co 系ホイスラー合金を有する MOSFET 構造において、出力電流をゲート電圧で変調することに成功した。

### 2-2 成果

GaP 固体ソースの熱分解を利用した P ドーピング手法では、CFA/Ge 界面付近に  $\sim 1 \times 10^{14} \text{cm}^{-2}$  程度の P をデルタドーピングした界面を実現できることが判っているが、RA 値のバラツキが課題となっていた。SIMS を用いた深さ方向の組成分析の結果、ドーピングした P 原子が Ge 層の表面に偏析する傾向にあることが判明した。一般的に、キャリアの活性化率を上げるために  $400^\circ\text{C}$  程度の成長温度でドーピングを行っているが、このことが表面偏析を増加させる原因で

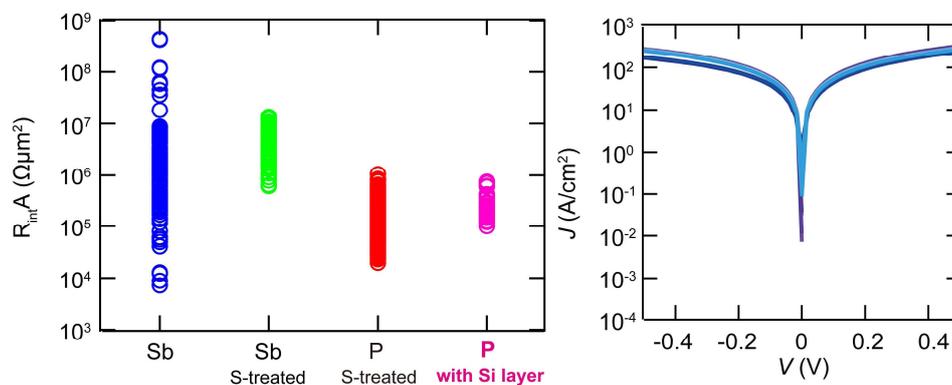


図 1. デルタドーピング技術と RA 値のバラツキの関係。右は新技術を用いた試料の J-V 曲線

あることを突き止めた。そこで、当グループで雇用している研究員が昨年度開発した Si 層を挿入する P デルタドーピング法を検討した[M. Yamada et al., Applied Physics Letters, **107**, 132101 (2015).]. ドーピングした P が Si と吸着する効果を利用するものであり、Ge 上に Si を 1 原子層挿入した後に P を  $\delta$  ドーピングすることで、Si 挿入位置に P 原子を留めることができる。この手法を用いて作製した CFA/ $\delta$  ドーピング層/n-Ge 構造の電気伝導特性( $J$ - $V$  特性)を図 1 右に示す。10 素子のデータはほぼ一致するものとなり、特性が安定していることが示唆される。図 1 左には、これまでの技術を本研究と比較した結果を示している。この表から、これまで数桁にも及んでいた RA 値のバラツキが、本手法の導入により一桁程度まで下がっていることが判る。今後、この手法を用いた RA 値の制御をスピン伝導の観測にいかす予定である。

次に、当グループで開発中のゲルマニウムスピン MOSFET 専用のゲートスタック構造作製プロセスについて現状を報告する。今回開発したプロセスフローは図 2(a)に示す通りである。MBE 法でエピタキシャル成長した Co 系ホイスラー合金を MOSFET のソース・ドレイン構造へと加工する際、ドライエッチングプロセスを用いているために Ge 表面層にダメージが入ってしまうという課題があった。このダメージ層を昨年度開発した H<sub>2</sub>O<sub>2</sub> ウェットエッチング法で除去したのち、ECR プラズマ酸化によって GeO<sub>2</sub> 層を形成し、SiO<sub>2</sub>/Al を堆積することでゲートスタック構造とした。ここで、全てのプロセスは 300°C 以下であり、Co 系ホイスラー合金/Ge 界面が反応してしまう温度よりも低温で実現されている。図 2(b)には、実際に作製した Co 系ホイスラー合金電極を有するトップゲート型 Ge-MOSFET 構造を示す。この試料において、電流-電圧特性を測定したところ、ゲート電圧を印加することで、電流値の増大を観測することに成功した[図 2(c)]. これは、低温形成ゲートスタック構造として有用であることを意味している。

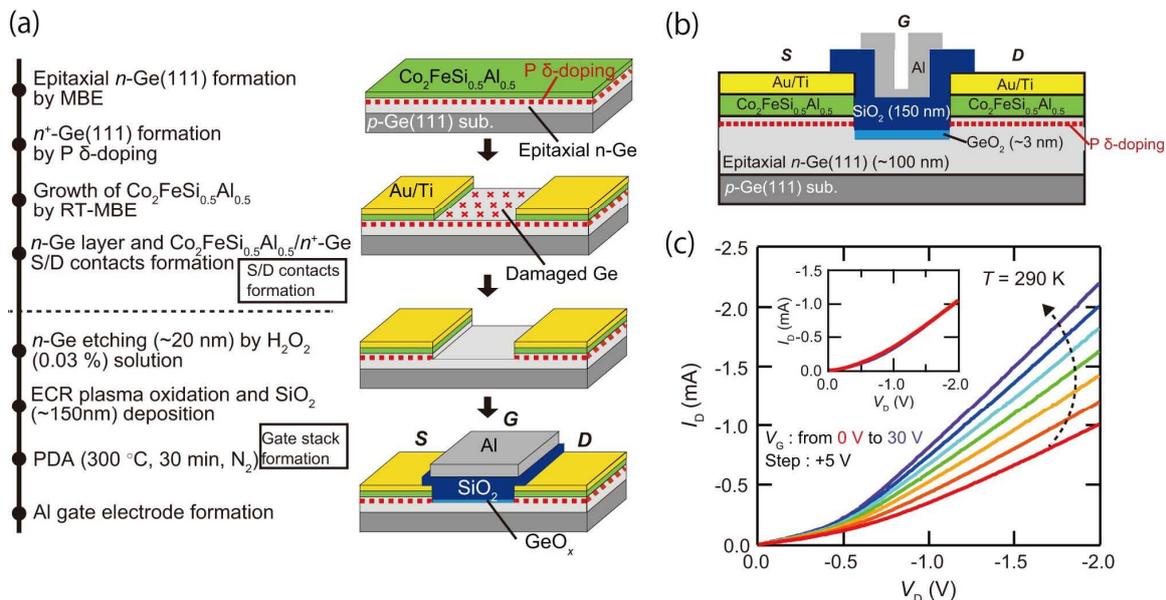


図 2. (a)Ge スピン MOSFET 用トップゲート作製プロセス. (b)ホイスラー合金ソース・ドレイン構造 Ge-MOSFET の模式図 (c) 電流-電圧特性のゲート電圧依存性. 挿入図は H<sub>2</sub>O<sub>2</sub> エッチングを行なわなかった試料のデータ.