

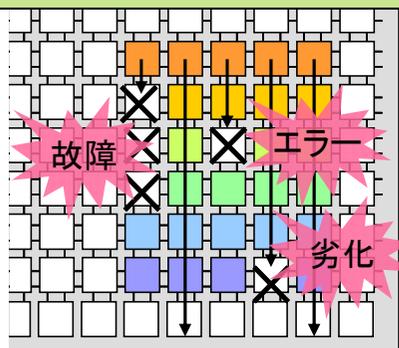


柔軟なディペンダビリティを実現 する再構成可能アーキテクチャ

大阪大学 尾上孝雄（小野寺T, 阪大G）

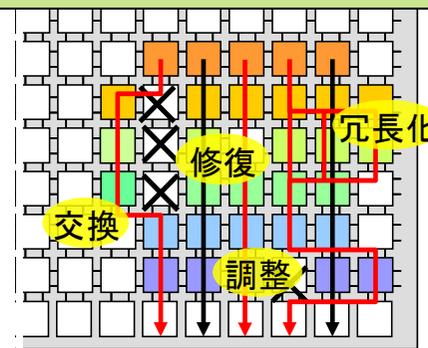
再構成可能アーキテクチャはディペンダビリティの実現に適している!!

規則的な回路構造とプログラマビリティにより、多重化や機能交換が比較的容易に実現可能



一部の回路で故障やエラーが発生
処理性能低下や機能不全

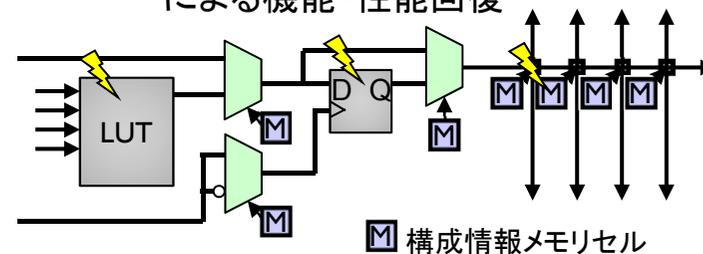
診断, 修復, 調整
耐故障性向上



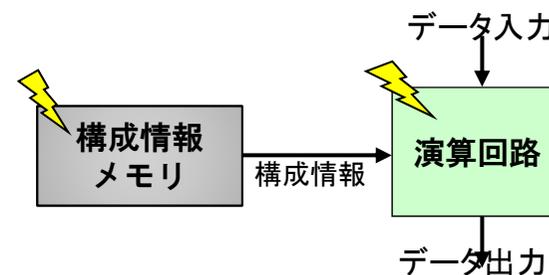
セル単位で自己診断・自己修復
による機能・性能回復

再構成可能アーキテクチャ におけるソフトウェア

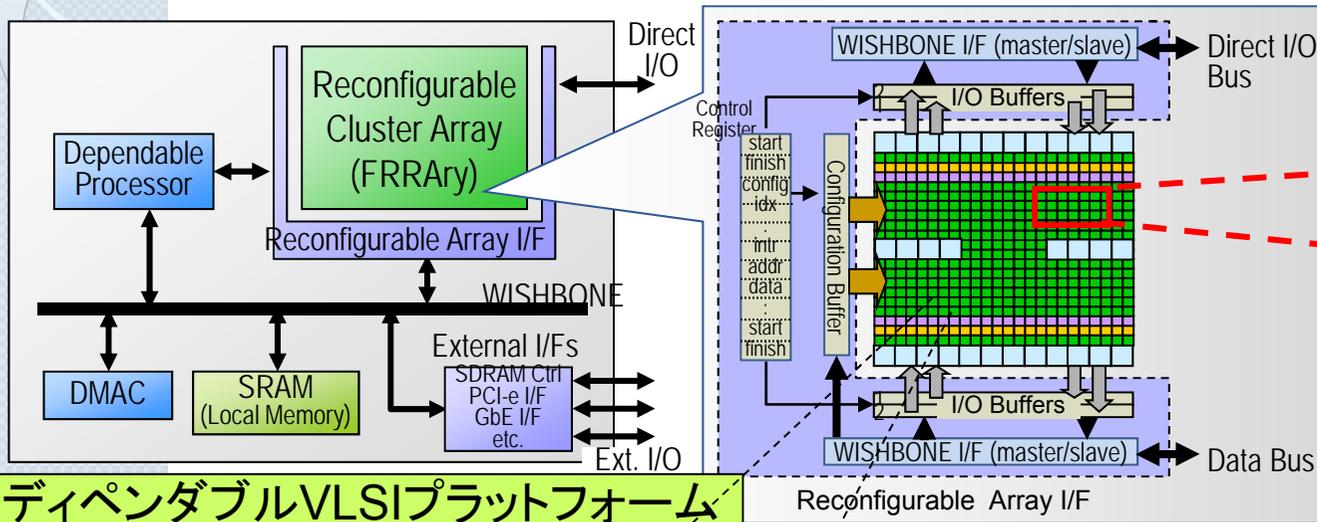
- ✓ 演算データだけでなく、構成情報の故障(ファームエラー)が深刻
- ✓ メモリの高信頼化技術での実現が主流
- ✓ 回路の高信頼化には冗長化による面積・性能オーバーヘッドが不可避



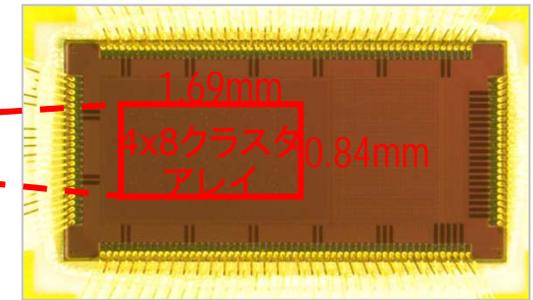
M 構成情報メモリセル



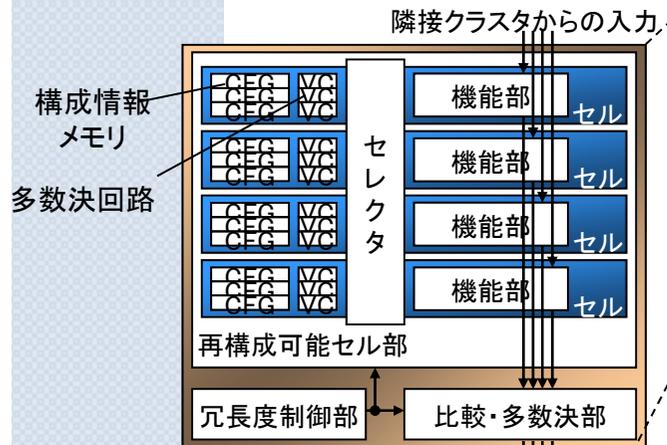
提案アーキテクチャと実装



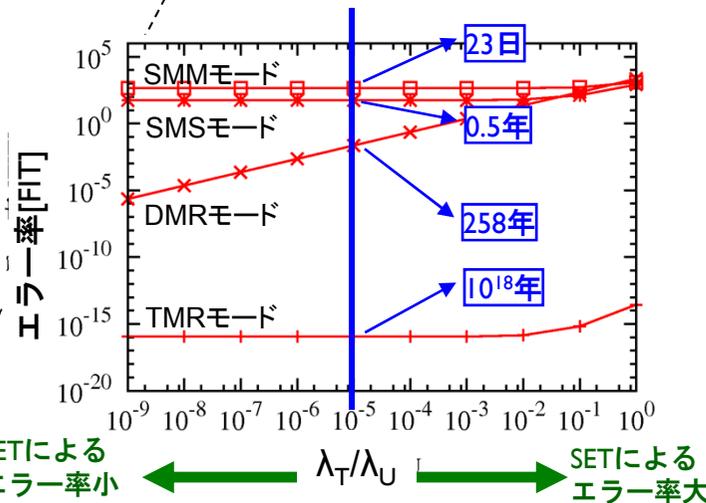
ディペンダブルVLSIプラットフォーム



65nm試作チップ写真



多重度可変クラスターアーキテクチャ



検証



チップ上に α 線源を配置

実証実験

提案アーキテクチャの特長（1）

SRAM型FPGAとの信号処理回路の実装結果比較

	FPGA (Altera StratixIII)				FRRARY試作チップ			
プロセス	65nm				65nm			
信頼性	低	←→		高	低	←→		高
ゲート数	125k	312k	442k	451k	64.5k	172k	194k	258k
構成情報量(bit)	62k	155k	219k	224k	756	1,323	1,701	2,268
消費電力(mW)	8.35	16.8	19.1	18.1	17.8*	19.4*	19.7*	18.4*

* 構成情報メモリの消費電力も含む

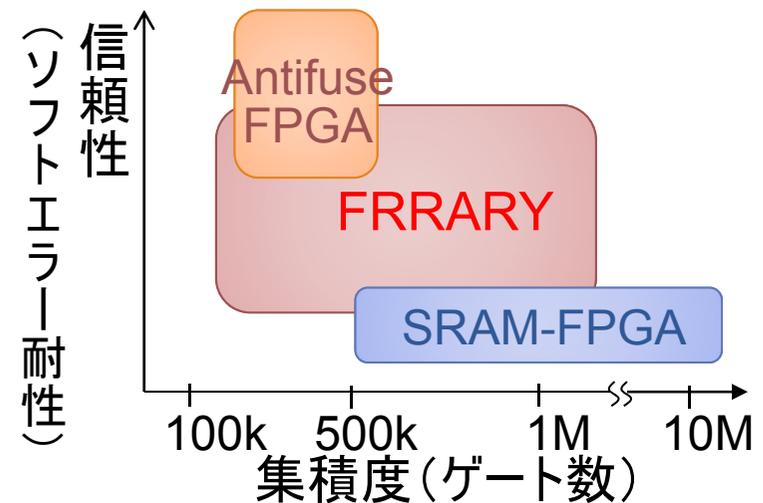
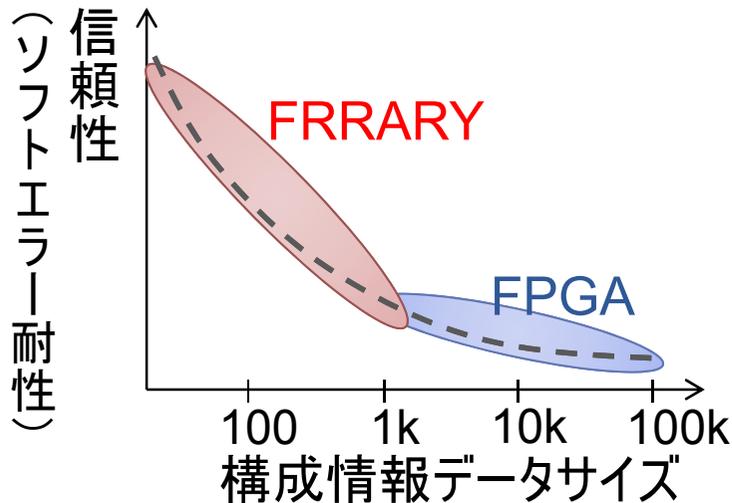
SRAM型FPGA

- ✓ 構成情報量：数百K～数M bit
- ✓ 構成情報高信頼化：無し
- ✓ ゲート数：構成情報が90%以上

提案アーキテクチャ

- ✓ 構成情報量：数K～数十K bit
- ✓ 構成情報高信頼化：三重化

提案アーキテクチャの特長（2）



SRAM型FPGAに対する優位性

- ・ 構成情報量が2桁小さく、多重化も可能
 - 圧倒的な信頼性
 - 論理再構成時間を大幅短縮（ダウンタイム削減）

Antifuse型FPGAに対する優位性

- ・ 先端CMOSプロセスによる高い集積度を確保
- ・ 回路構成の書き換えが可能

このアーキテクチャが「使える」のか？

「アーキテクチャ開発の新しい試み」
からの「ユーザ探し」.....

- 単体チップとして
高い信頼性が求められるシステムにおけるプログラマブルな
バックアップ回路
- アーキテクチャとして
従来FPGA向け高信頼ハードマクロ（DSPブロック）
- 要素技術として
各部の冗長度を振ったシステムの信頼性検証
ダウンタイムの短いホットスワップ機構の実現

