

# 「超高信頼性VLSIシステムのための ディペンダブルメモリ技術」

平成22年6月4日

神戸大学大学院工学研究科

吉本 雅彦

永田 真

川口 博

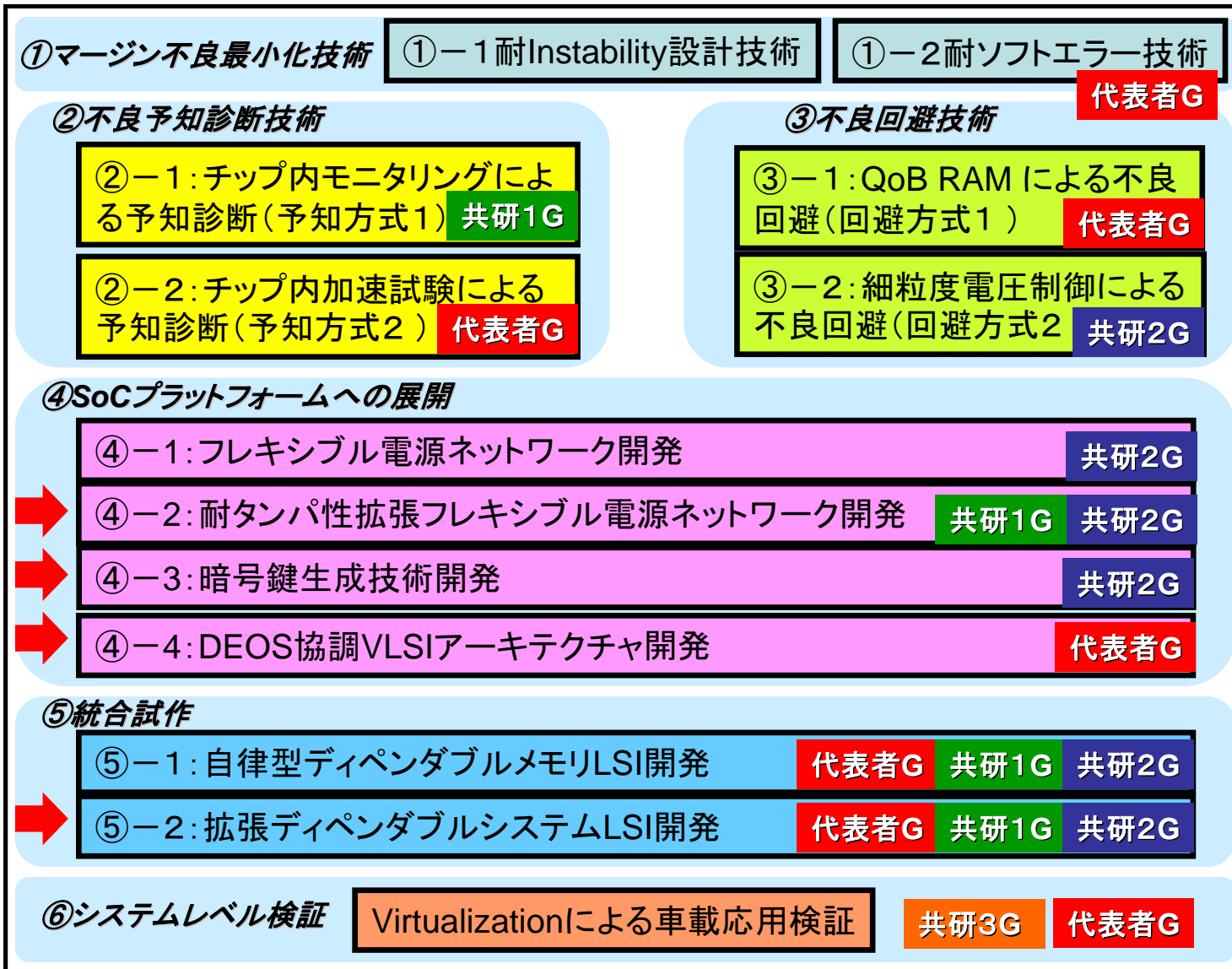
ルネサステクノロジ

新居 浩二

日立製作所中央研究所

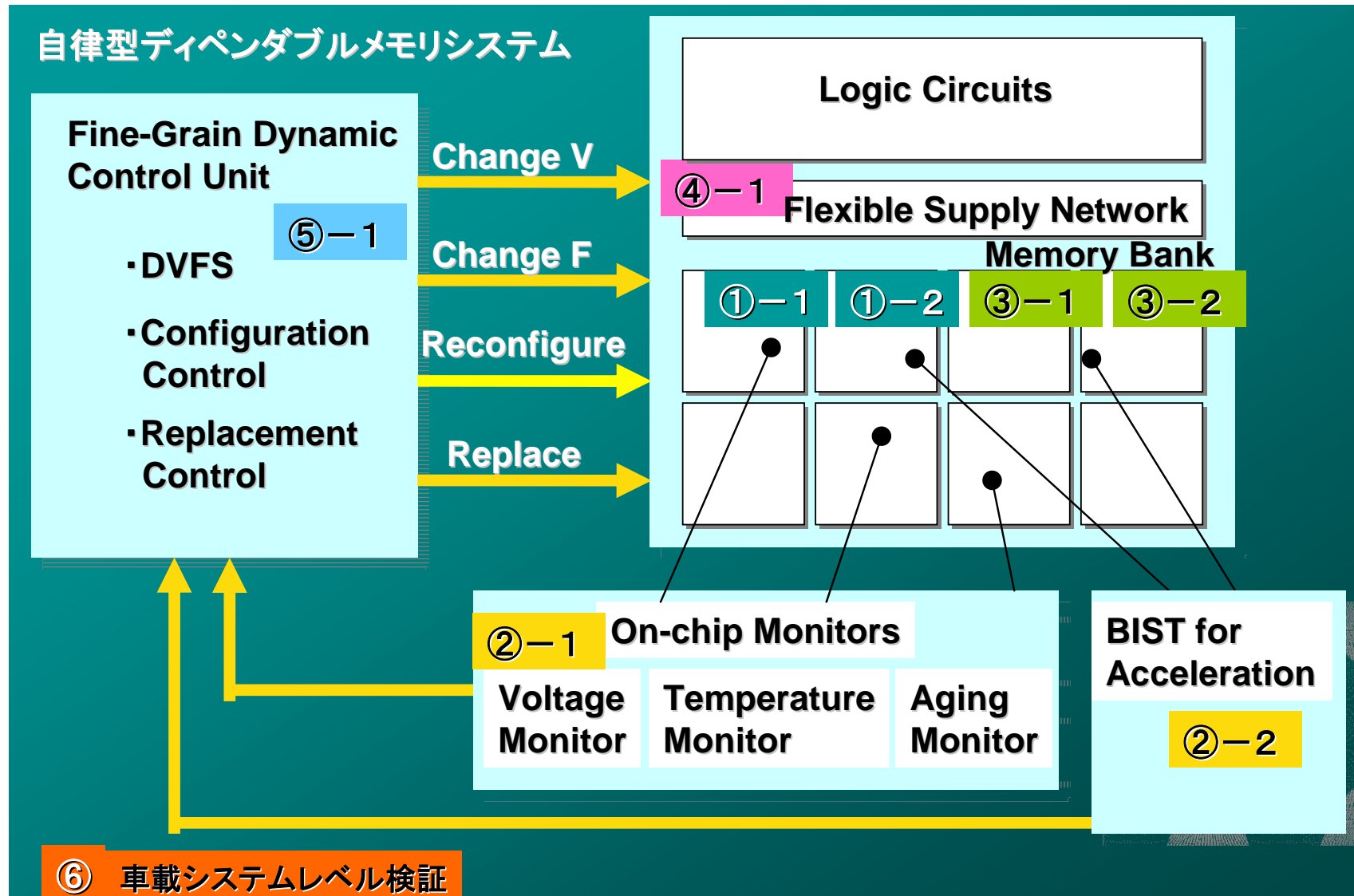
於保 茂

# 各研究項目の相互関連

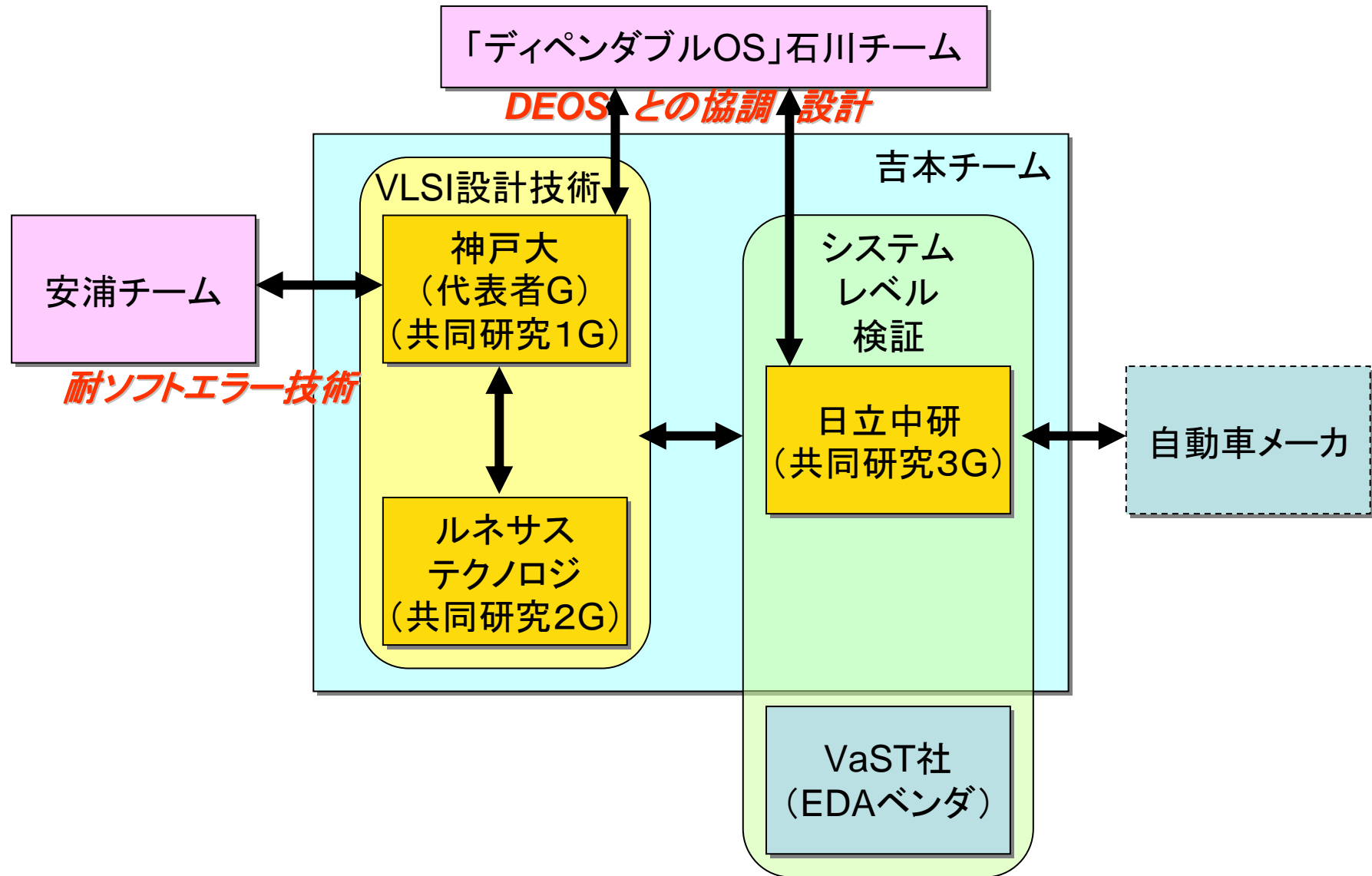


➡ 発展テーマ

# 中間目標: ディペンダブルメモリシステム (統合試作1)



# チーム外との連携

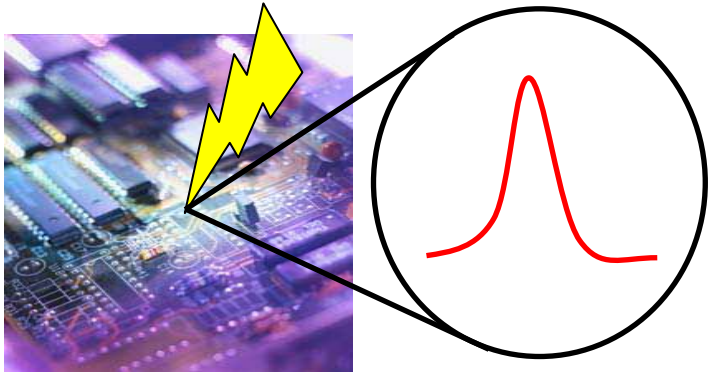


- 耐ソフトウェア技術
- QoB設計技術(回避方式1)

代表者G

神戸大 吉本雅彦

# 研究背景



重イオンの衝突(中性子の衝突に起因)

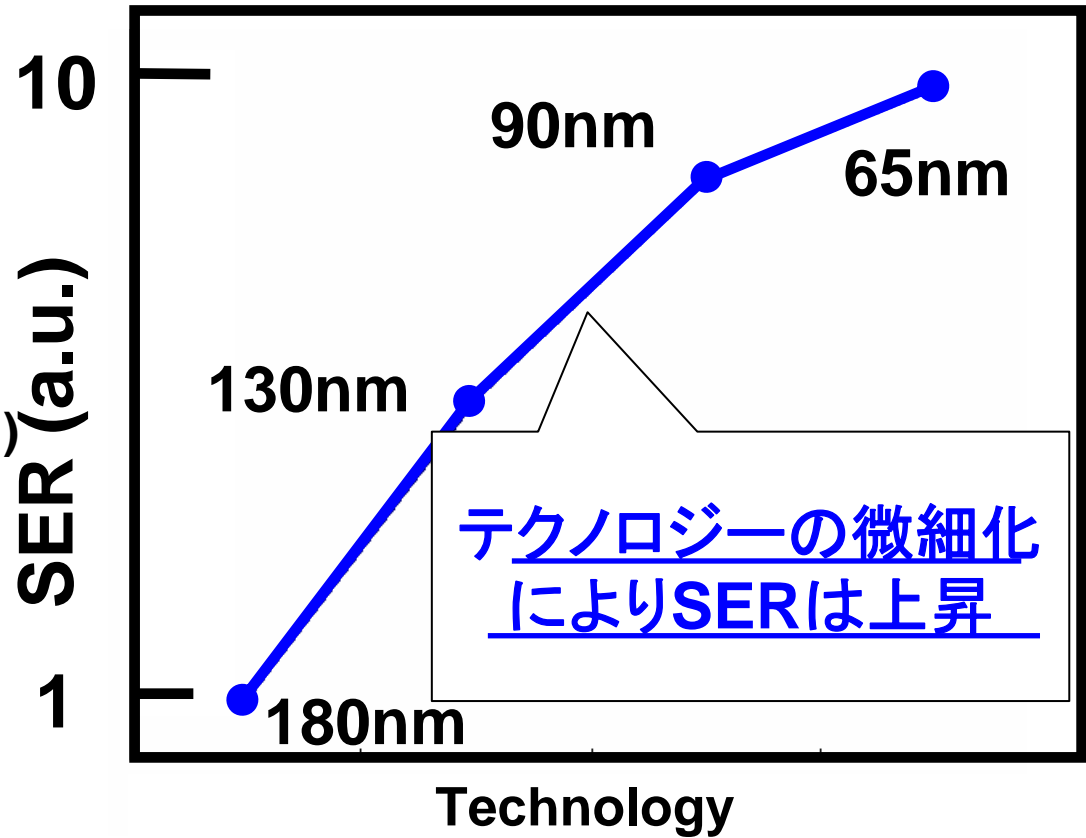


雑音電流(電子)の流入



データ反転、回路誤動作

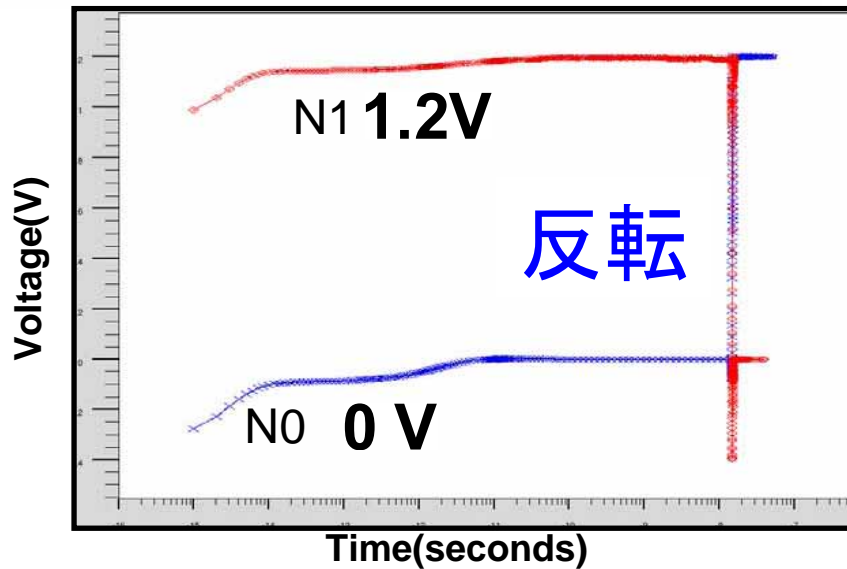
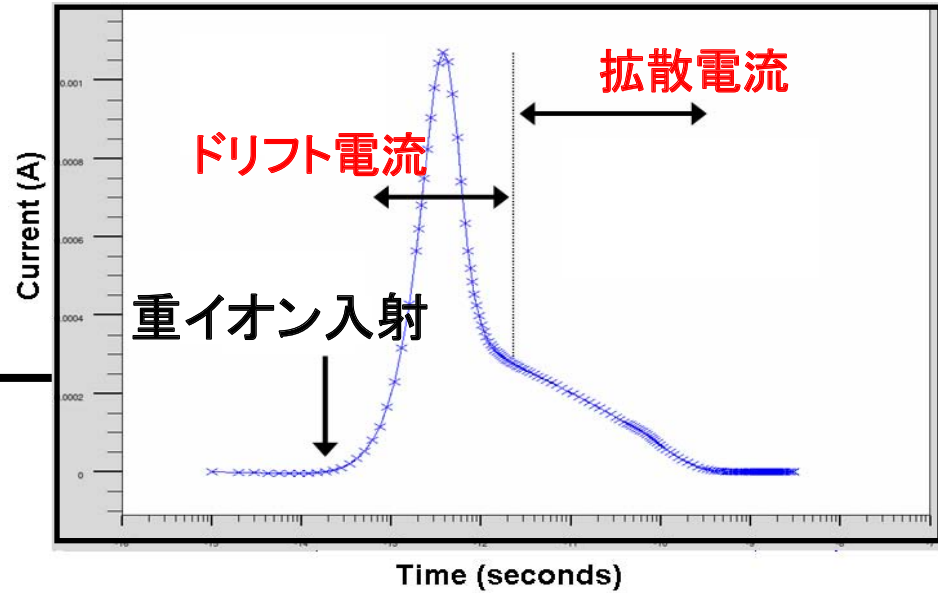
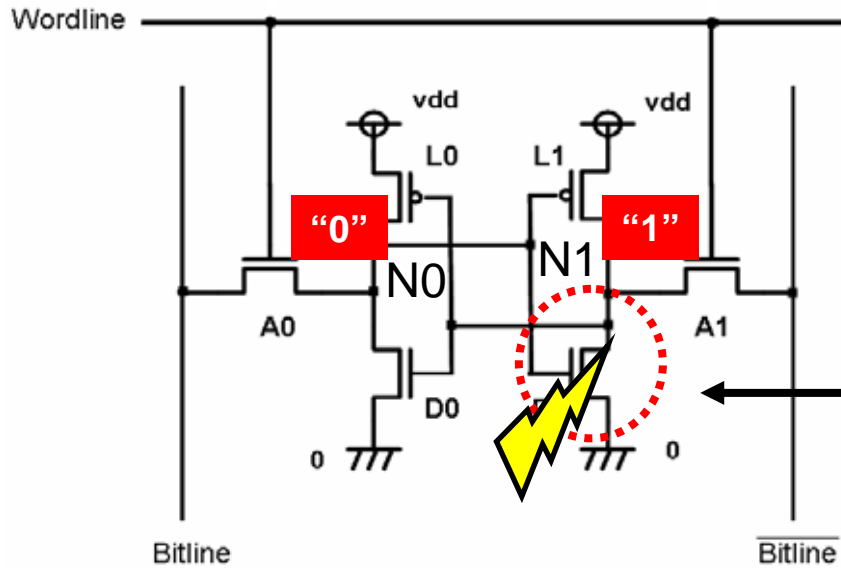
“ソフトウェア”



※SER (Soft Error Rate)

ソフトウェアへの対処が必要となる

# ソフトウェア発生メカニズム



雑音電流(電子)の流入  
によりデータが反転

# ソフトウェアレート評価TEG 試作完了

## 設計仕様

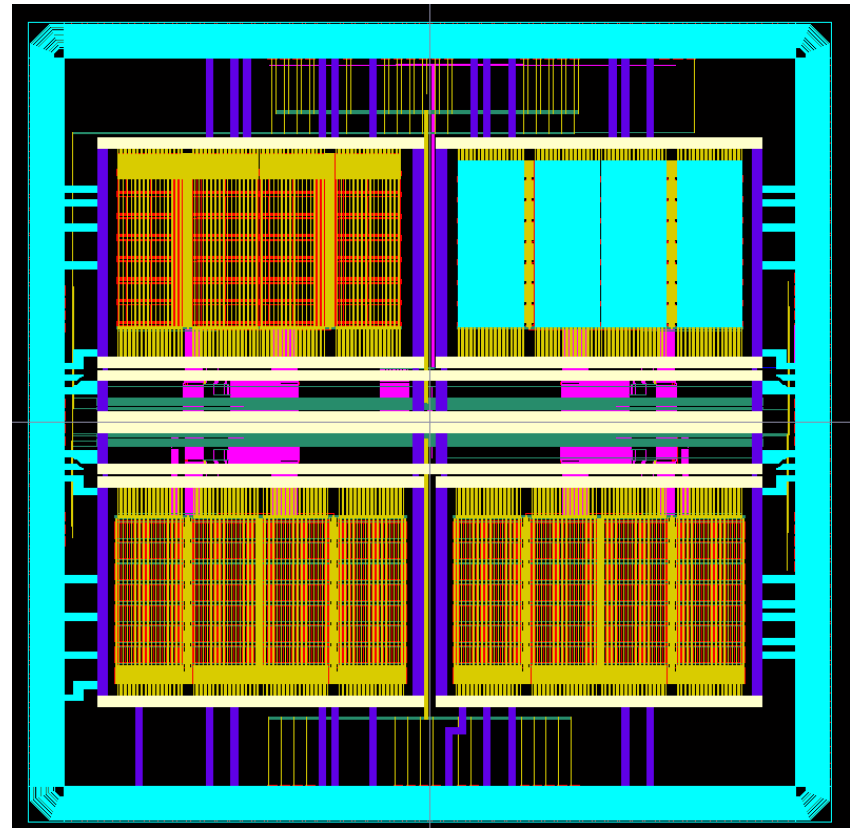
- ・e-shuttle 65nm CMOS (7層メタル)
- ・4.2mm x 4.2mm

## 機能概要

- ・ソフトウェア対策6Tr. SRAM (512kb)
- ・通常6Tr. SRAM (512kb)
- ・7Tr./14Tr. QoB SRAM(1024kb)

## 試作目的

- ・QoB SRAM及びソフトウェア対策6Tr. SRAMのSER (Soft Error Rate)を実測, シミュレーション結果の検証を行う.

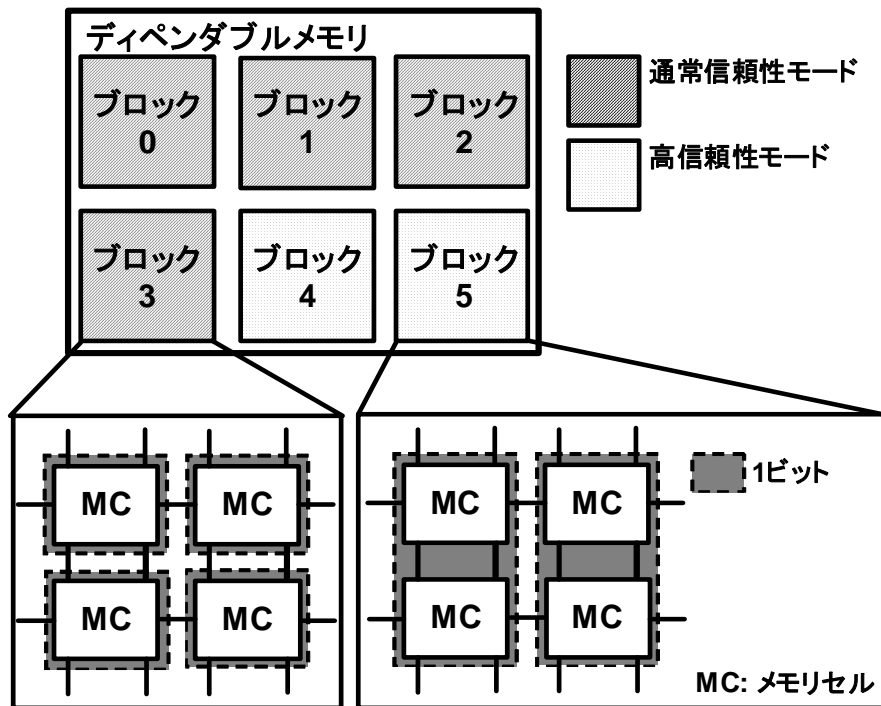


この後、7月に中性子線照射実験を予定



# QoB RAMによる不良回避(回避方式1)

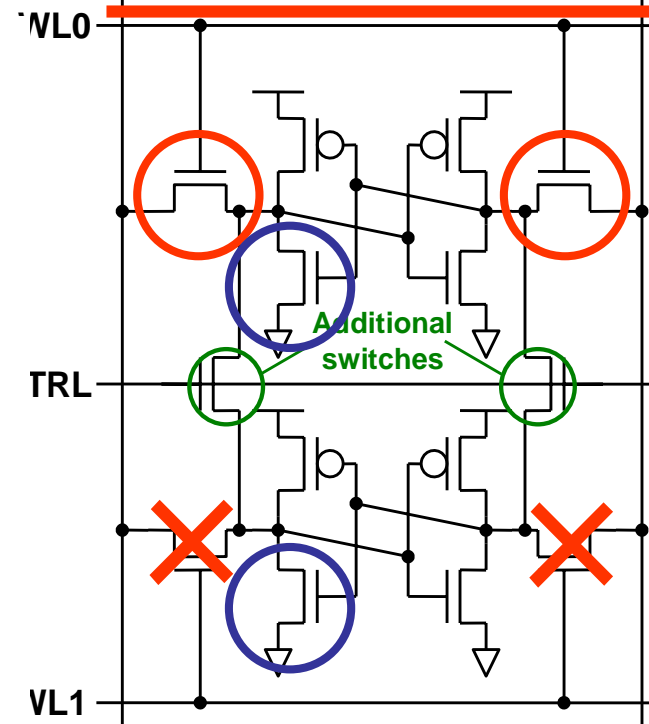
高信頼性モードでは、1ビットの情報を2つのメモリセルで保持する。



低電圧動作や高速動作などの信頼性要素をブロック毎にスケラブルに制御できる。

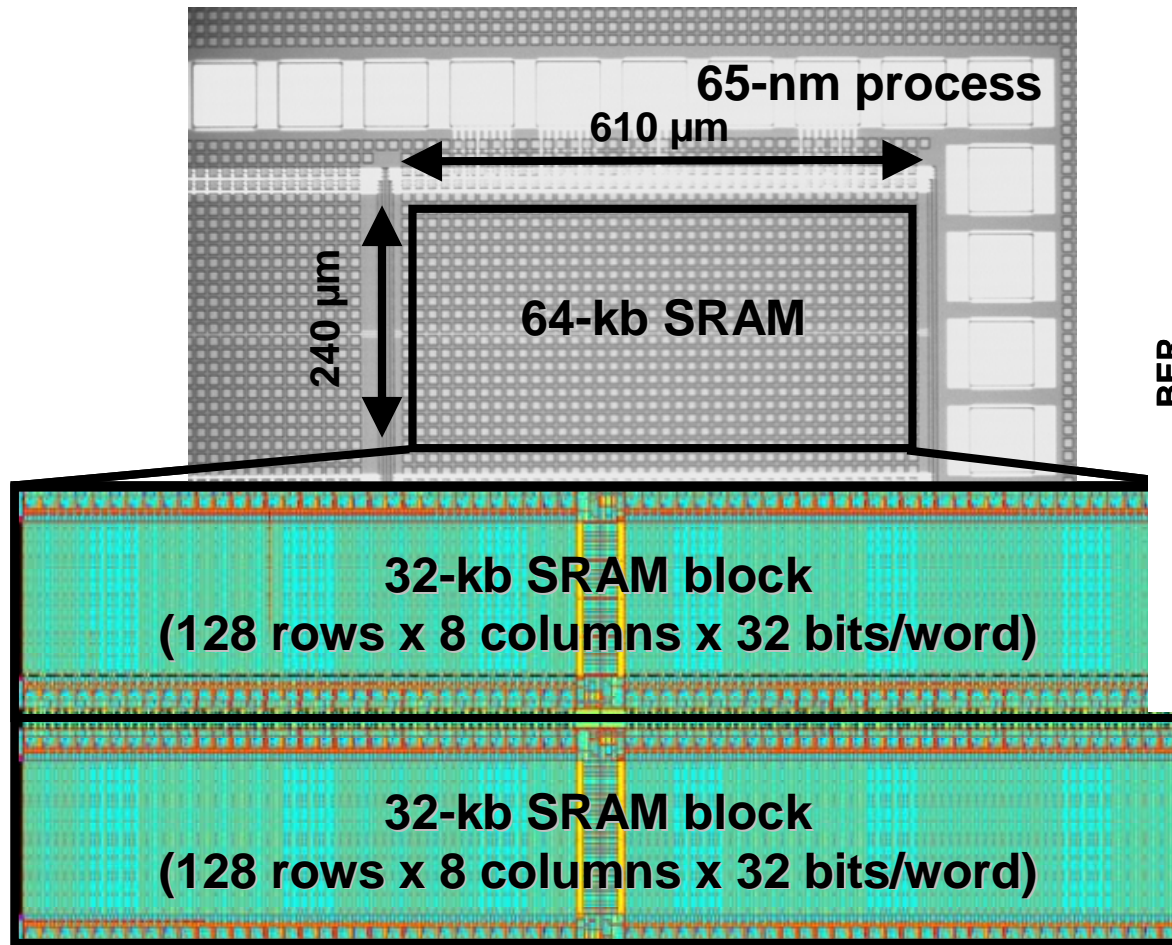
H.Fujiwara, et al, "Quality of a Bit (QoB): A New Concept in Dependable SRAM", ISQED2008にて発表。

## 読み出し時のワード線の充電

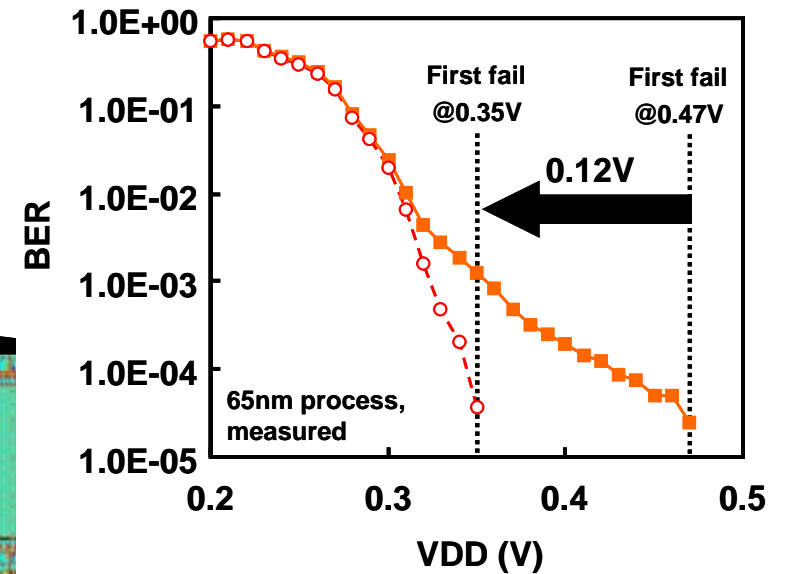


実効的に $\beta$ 比を大きくする。

# 65-nm試作により、QoBのBER低減効果を確認 (前回報告済み)



BERの実測評価



電源電圧下限を  
0.12V改善！

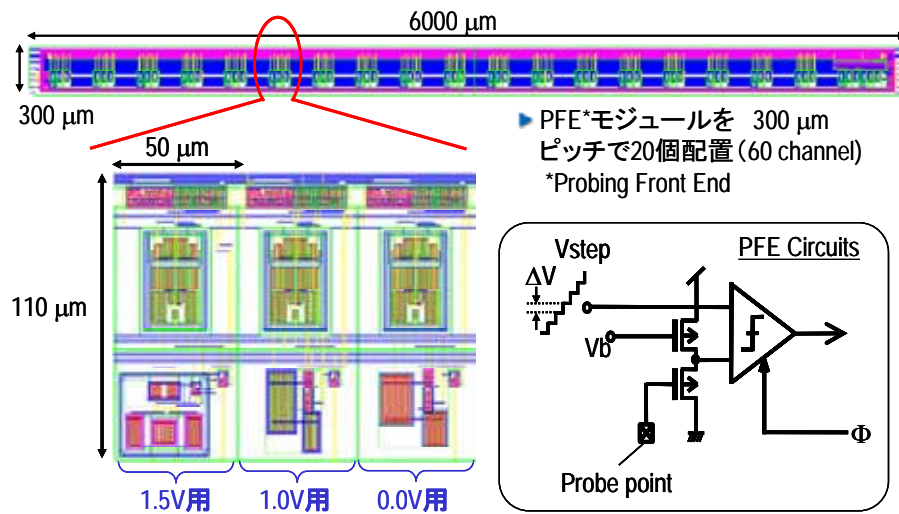
 チップ内モニタリングによる  
不良予知診断技術の開発  
(予知方式1)

共同研究1G

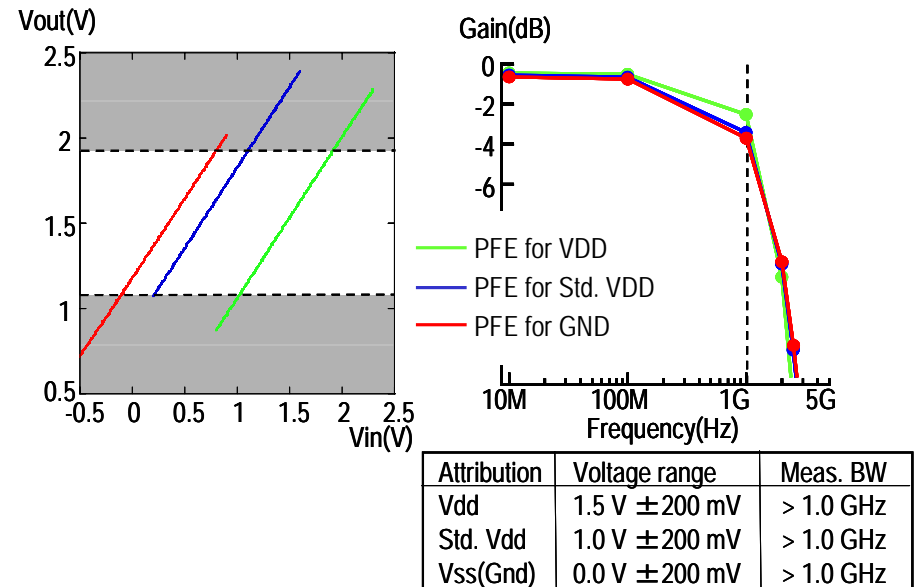
神戸大学 永田 真

# オンチップモニタ機構の設計と試作

- ・オンチップモニタの回路・レイアウト
- ・60チャンネルのモニタアレイモジュールの設計完了



## オンチップモニタの設計性能 (ポストレイアウトシミュレーション)

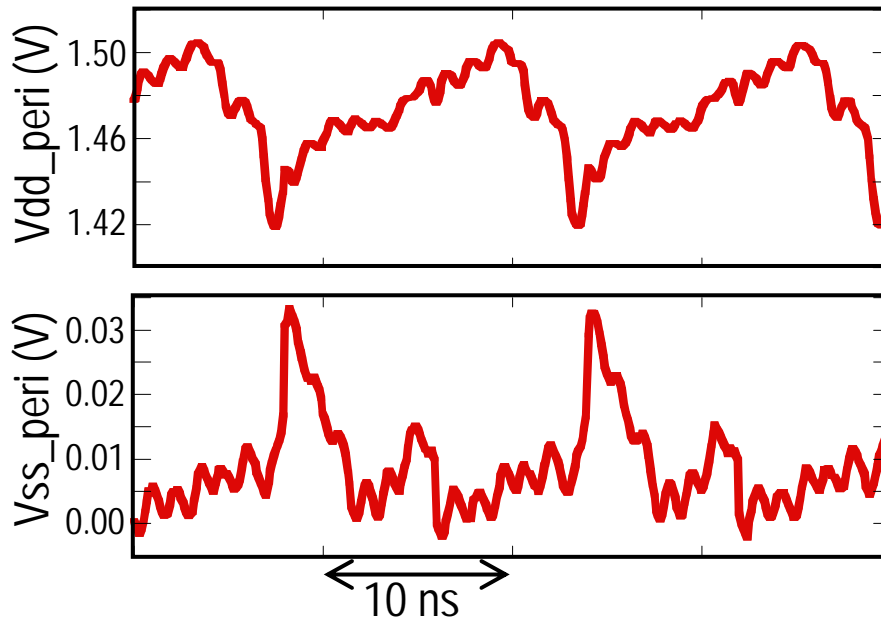


- ・200mV以上の線形な測定電圧範囲
- ・1.0GHz以上の実効測定領域

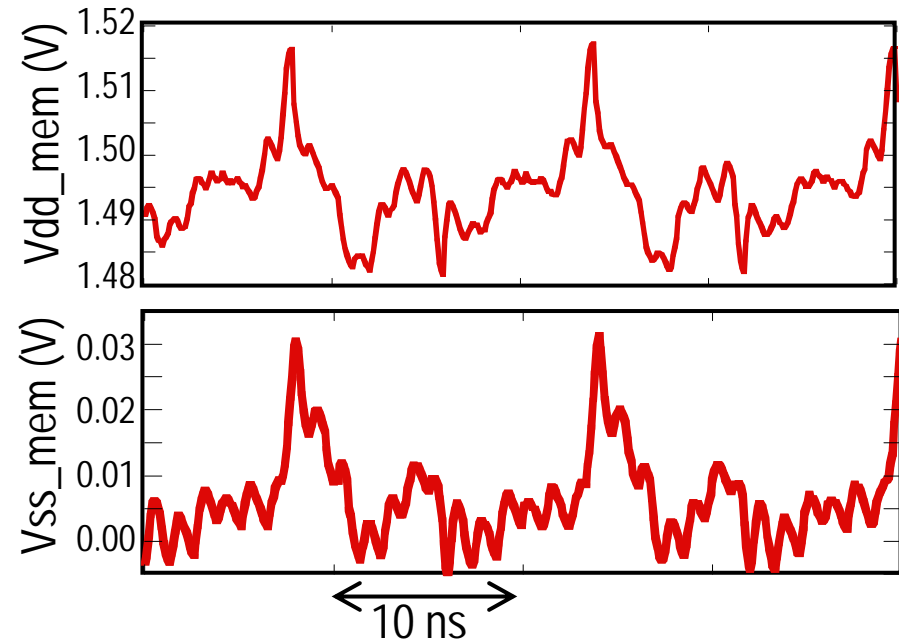
# 電源ノイズの観測

## SRAMの自己ノイズ: 読み出し動作

SRAM周辺回路



SRAMメモリセルアレイ



- ▶ SRAMメモリ内ノードにおけるオンチップノイズ波形観測に成功
  - ▶ メモリ構成要素によるノイズ発生量の違いを観測
- メモリのノイズ発生モデルにおけるメモリ容量やレイアウト構成との関連付け

# SRAMのダイナミックディペンダビリティ テストチップ評価とFailure解析

## ①ノイズ波形の評価

- ・ノイズ発生のモデル
- ・ノイズ結合のモデル
- ・メモリ容量とレイアウト構成

## ②ノイズとビットエラーの評価

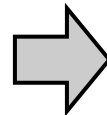
- ・自己ノイズとBER
- ・RF電力注入とBER
- ・メモリ容量とレイアウト構成



## Failure解析

## ③メモリ動作環境の評価

- ・電源インピーダンス
- ・チップ温度
- ・動作周波数、電源電圧



- ▶ ノイズの発生・注入、メモリの動作環境、メモリの設計、ビットエラーの発生  
→ 事象の関係を解き明かす解析手法
- ▶ オンチップモニタによる動作環境観測  
→ ビットエラー発生の予測(不良予知)
- ▶ SRAMメモリのFailureモデルの構築へ

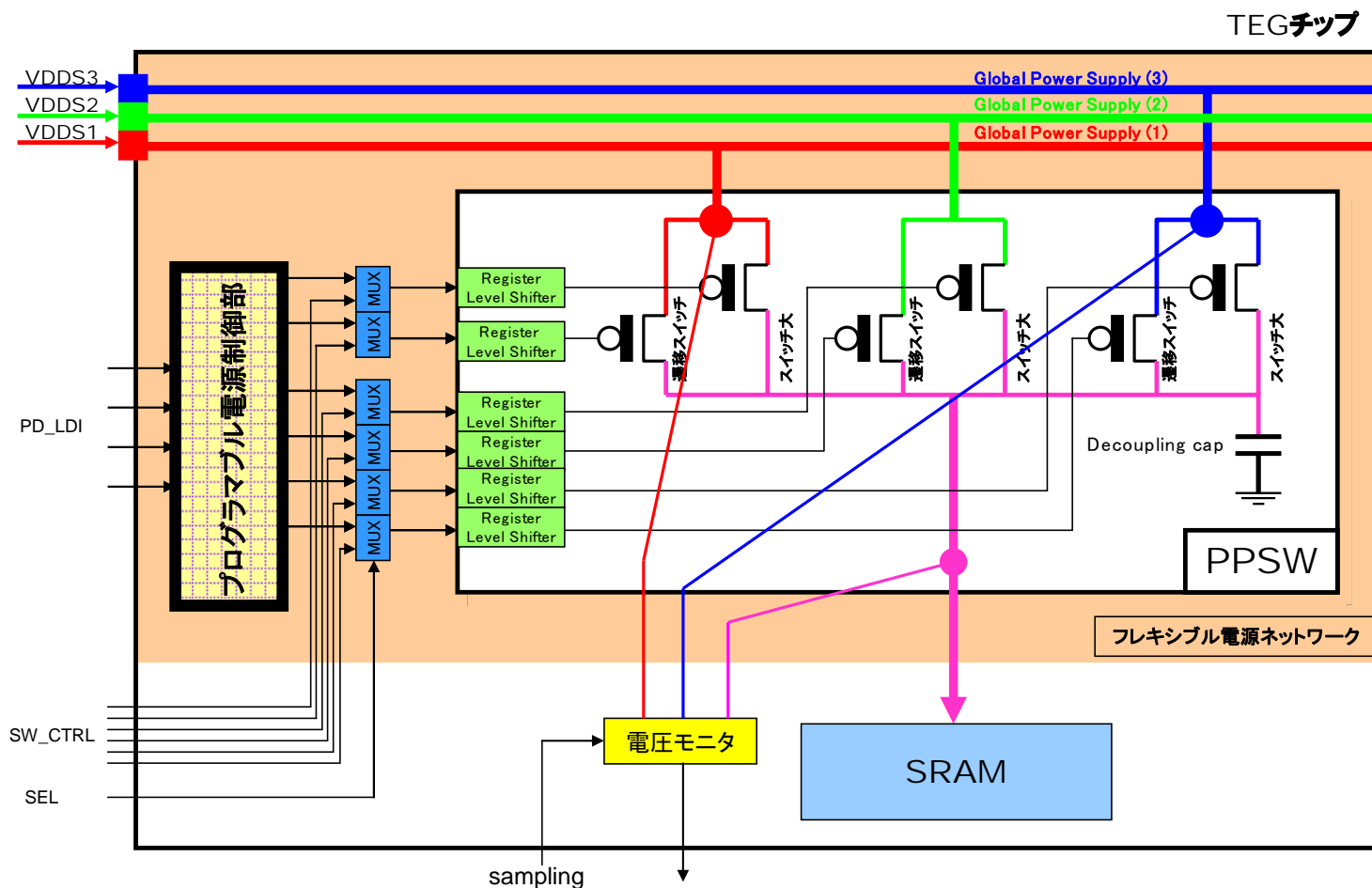
- 細粒度動的電圧制御(回避方式2)
- フレキシブル電源ネットワーク  
(SoCプラットフォーム)

共同研究2G

ルネサスエレクトロニクス 新居浩二

# フレキシブル電源ネットワーク 要素TEG開発: 概要

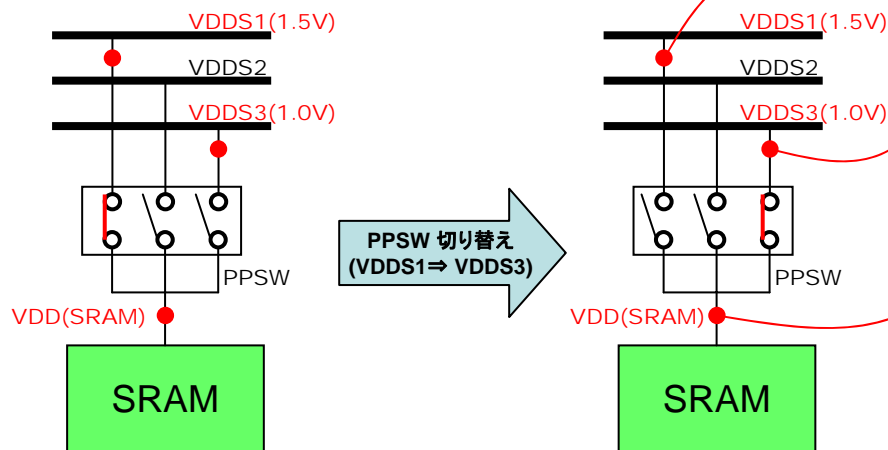
フレキシブル電源ネットワークの要素TEGとして、  
PPSW(Programmable Power SWitch)のテストチップを作成  
⇒ 電源スイッチ特性、遷移スイッチ特性を評価



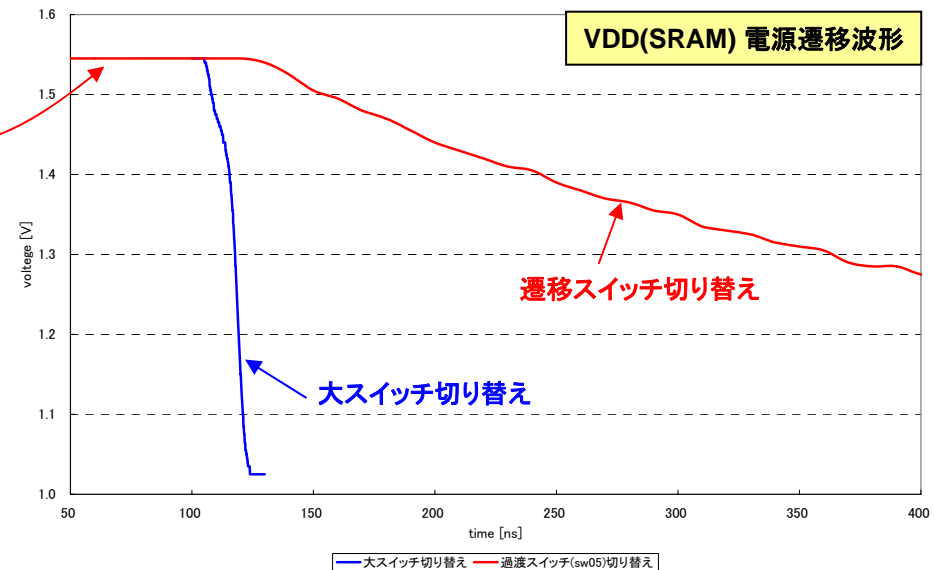
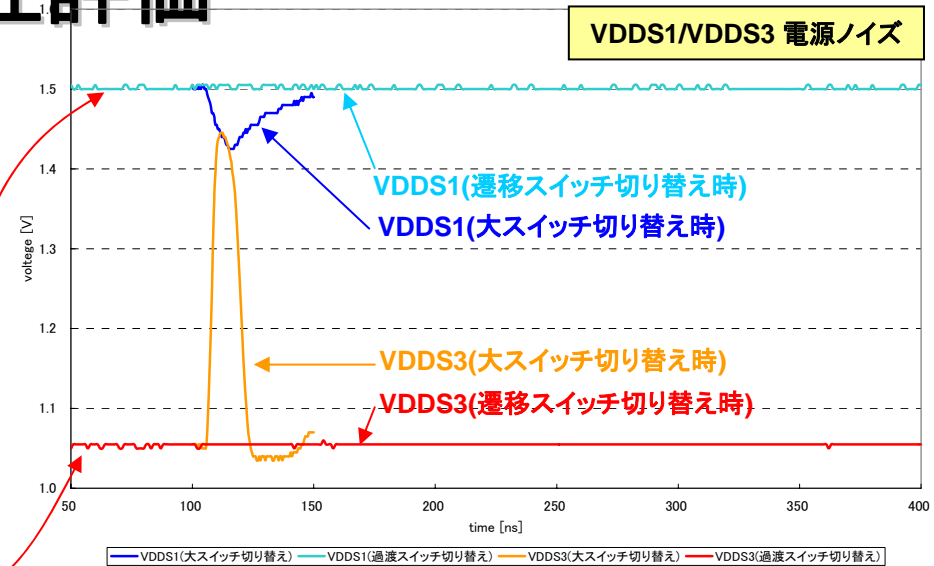


# フレキシブル電源ネットワーク 要素TEG開発: 特性評価

VDDS1(1.5V)⇒VDDS3(1.0V)へ  
電源スイッチをスイッチングしたときの  
内部内部電源ノードの遷移波形とノイズを測定  
(遷移スイッチ切り替えあり/なし)



遷移スイッチ制御により、  
グローバル電源へのノイズを低減した  
スイッチングが出来ることを確認した。



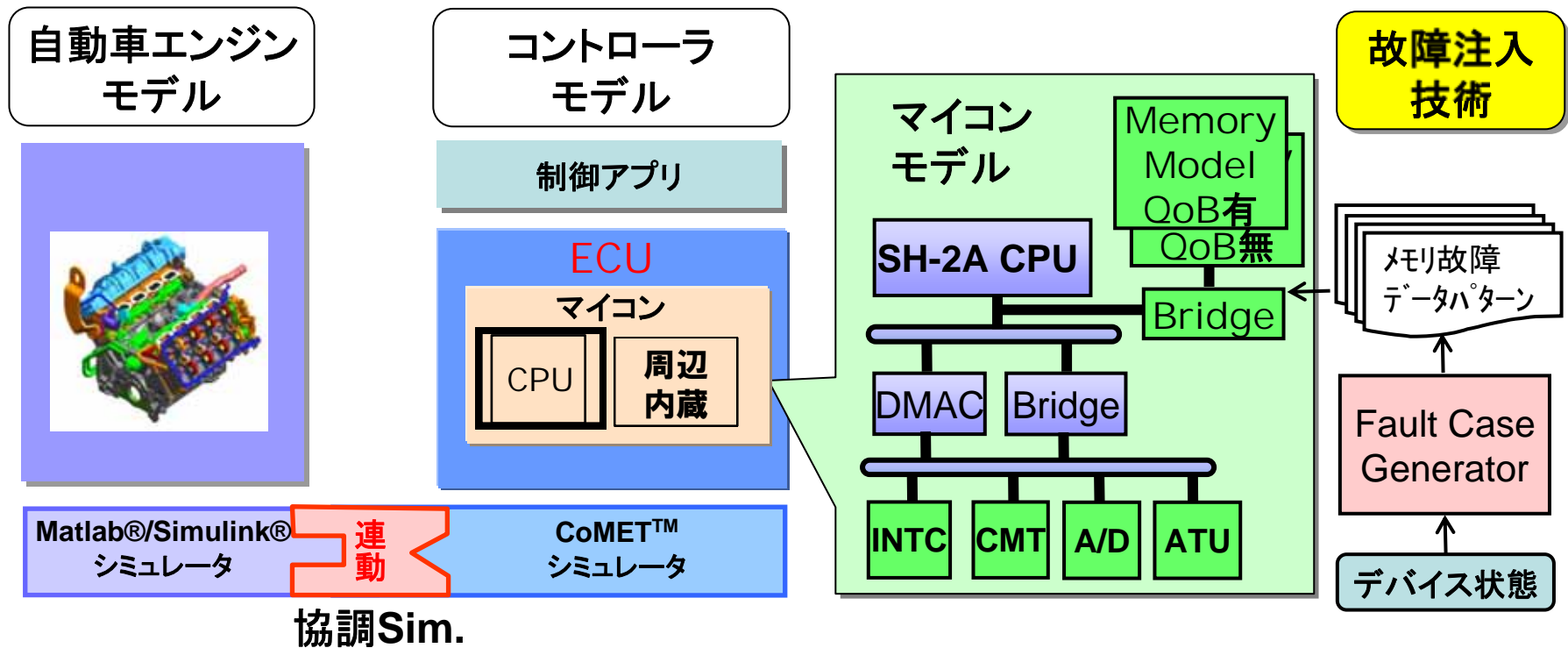
# ■ Virtualizationによる車載応用検証

共同研究3G

日立中研 於保 茂

# 自動車エンジンシステムにおける協調検証環境構築

◆CPUモデルベースのハードウェア/ソフトウェア協調シミュレーション (Virtualization)による、故障注入技術を組み込んだ検証環境を構築



※Matlab/Simulink: Mathworks社市販のメカ系シミュレータ  
CoMET: Synopsys社市販のCPUシミュレータ  
ECU: Electronic Control Unit (電子制御ユニット)

# H22年度のマイルストーン(1/2)

## (既存テーマ)

- マージン不良最小化(耐ソフトウェア)
  - ・雑音電流 $I(t)$ 抽出シミュレータを用いて、ソフトウェアレート(SER)を導出するとともに、TEG実測値とシミュレーション値の妥当性を評価する。
- 不良予知方式1(オンチップモニター)
  - ・オンチップ・メモリ動作モニタを用いたエラー予知診断ハードウェアの実装
- 不良予知方式2(BISTによる加速試験)
  - ・BIST回路TEGの評価、BER評価用TEGを用いたBERのモデル化を行い、予知方式の有効性を検証する。
- 不良回避方式1(QoBメモリ)
  - ・マルチコアやキャッシュへの応用技術の確立およびそれをより効果的に実現するための一括比較機能の実装を行う。
- 不良回避方式2(細粒度動的電圧制御)
  - ・細粒度電圧制御回路の改良設計を行う。
- SoCプラットフォームへの展開技術(フレキシブル電源ネットワーク)
  - ・統合試作に向けたフレキシブル電源ネットワークの改良設計と制御シーケンス検討を行なう。
- システムレベル検証(CPUモデルベース協調シミュレーション)
  - ・不良回避技術(QoB・SRAMなど)の評価に向けた検証環境の改良と自動車エンジンシステム応用のシステム性能評価を実施する。

# H22年度のマイルストーン(2/2)

## (発展テーマ)

■SoCプラットフォームへの展開技術(電源ノイズフィルタリングによる電磁環境性能の向上と耐タンパ拡張フレキシブル電源ネットワークの開発)

- ・オンチップ電源ノイズとオフチップ漏洩ノイズの詳細ノイズ解析システム構築
- ・耐タンパ性を向上する電源ノイズフィルタの要求性能の明確化

■SoCプラットフォームへの展開技術(SRAMの不良ビット発生のランダム性に着目したチップ固有IDを用いた耐タンパ暗号鍵生成技術の開発)

- ・ランダムビット不良を利用した暗号鍵生成および暗号鍵認証による耐タンパメモリ機構の開発

■SoCプラットフォームへの展開技術(DEOS協調VLSIアーキテクチャの開発)

- ・DEOSにおけるP-Bus基本機構拡張のためのP-component追加開発