

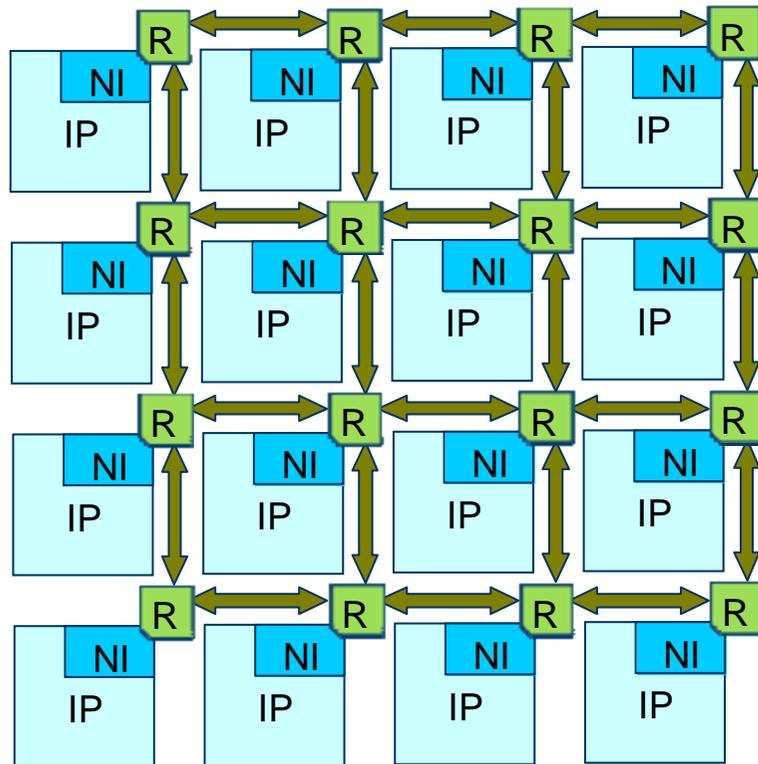
ディペンダブルネットワークオンチップ プラットフォームの構築

戦略的創造研究推進事業
「ディペンダブルVLSIシステムの基盤技術」

研究代表者	米田友洋(国立情報学研究所)
主たる共同研究者	今井 雅(東京大学)
	松本 敦(東北大学)
	齋藤 寛(会津大学)

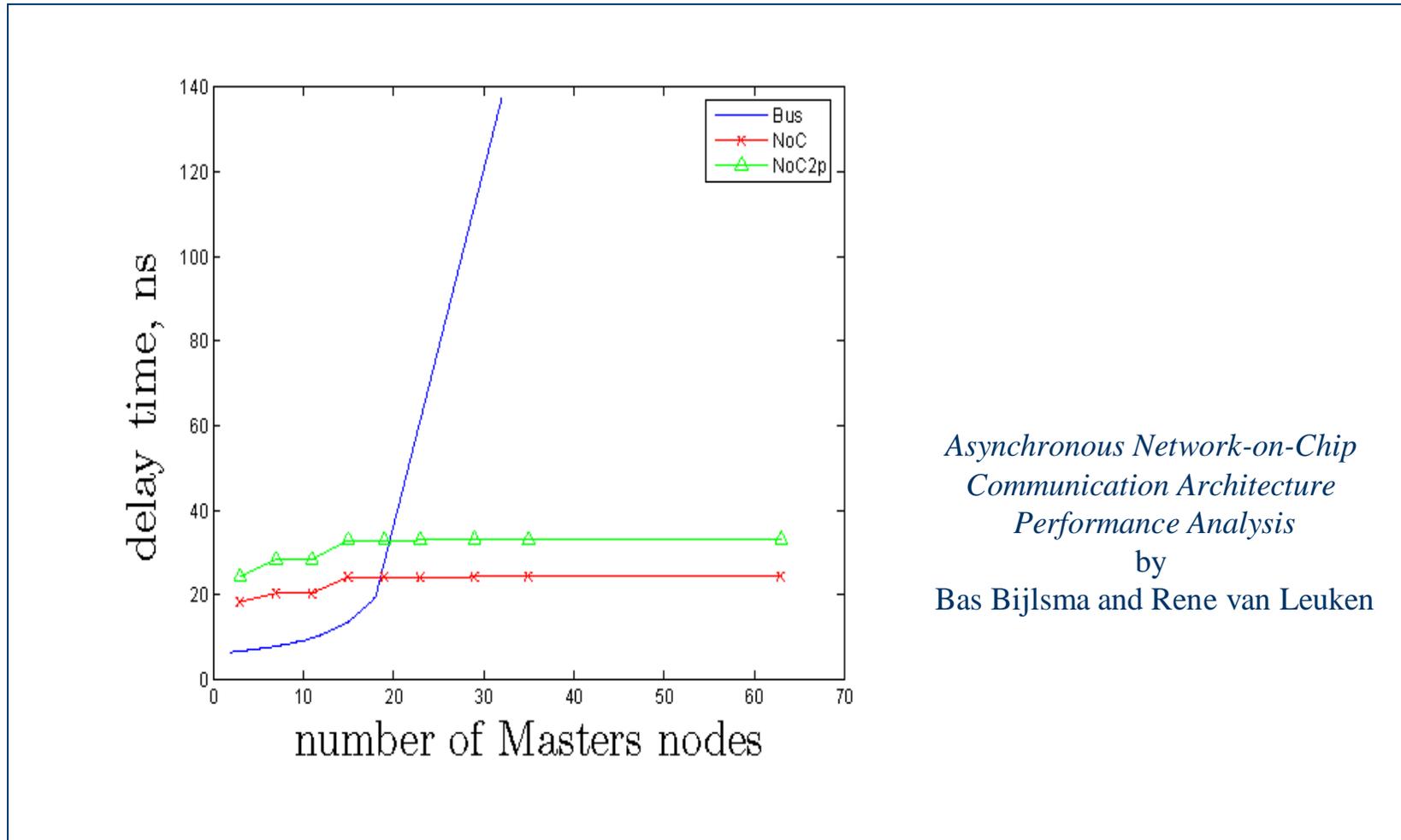
アプローチ

◆ Networks-on-Chip (NoC)



IP: CPUコアやアクセラレータ・メモリ等
NI: ネットワークインターフェース
R: ルータ

アプローチ



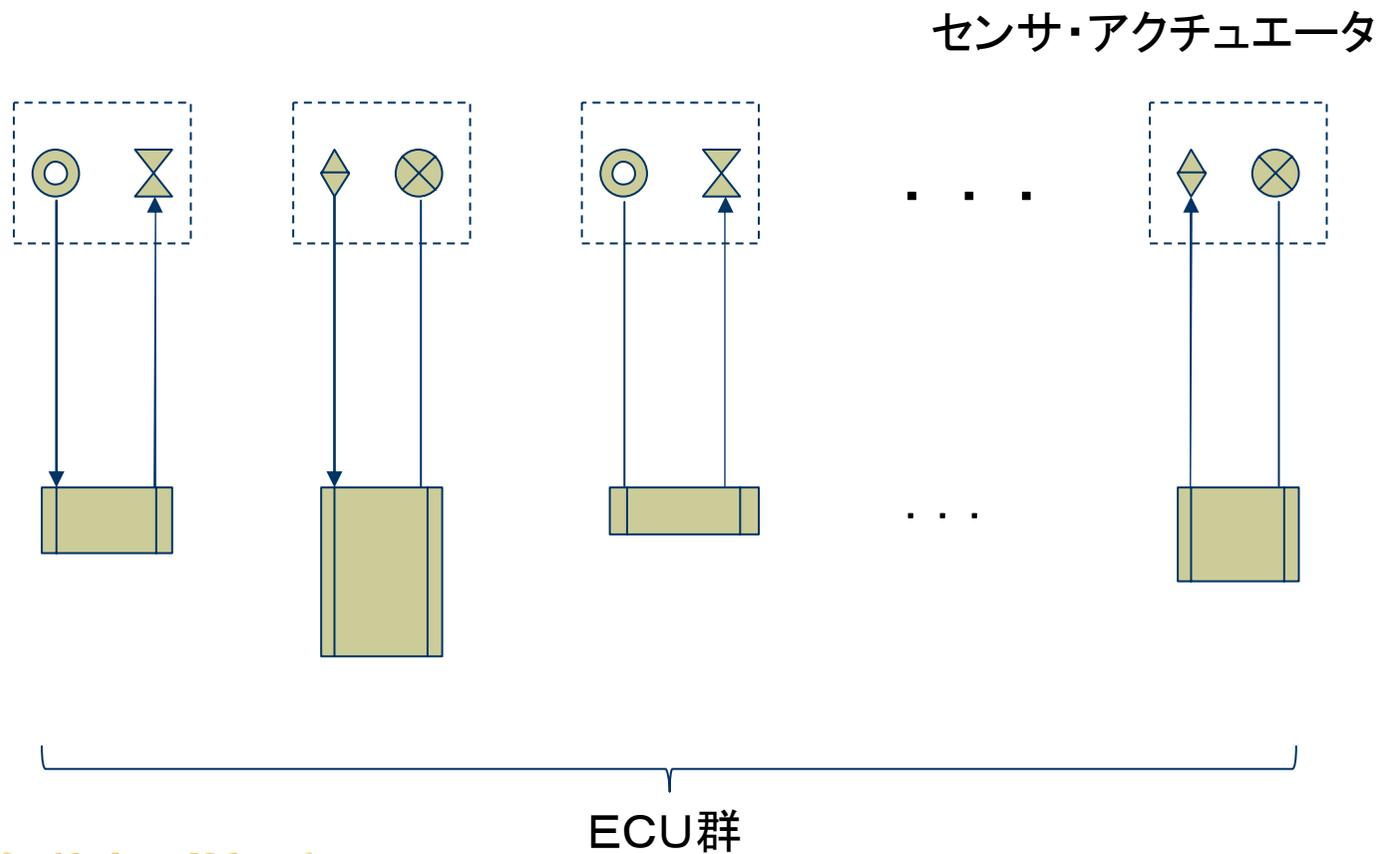
*Asynchronous Network-on-Chip
Communication Architecture
Performance Analysis*
by
Bas Bijlsma and Rene van Leuken

問題設定

- ◆ ディペンダブルネットワークオンチッププラットフォームの構築と実証
 - 実現する技術
 - 高ディペンダビリティ
 - 高アダプタビリティ
 - 高性能
 - 実証
 - ハイブリッドエンジン車におけるパワー・ドライブトレイン制御

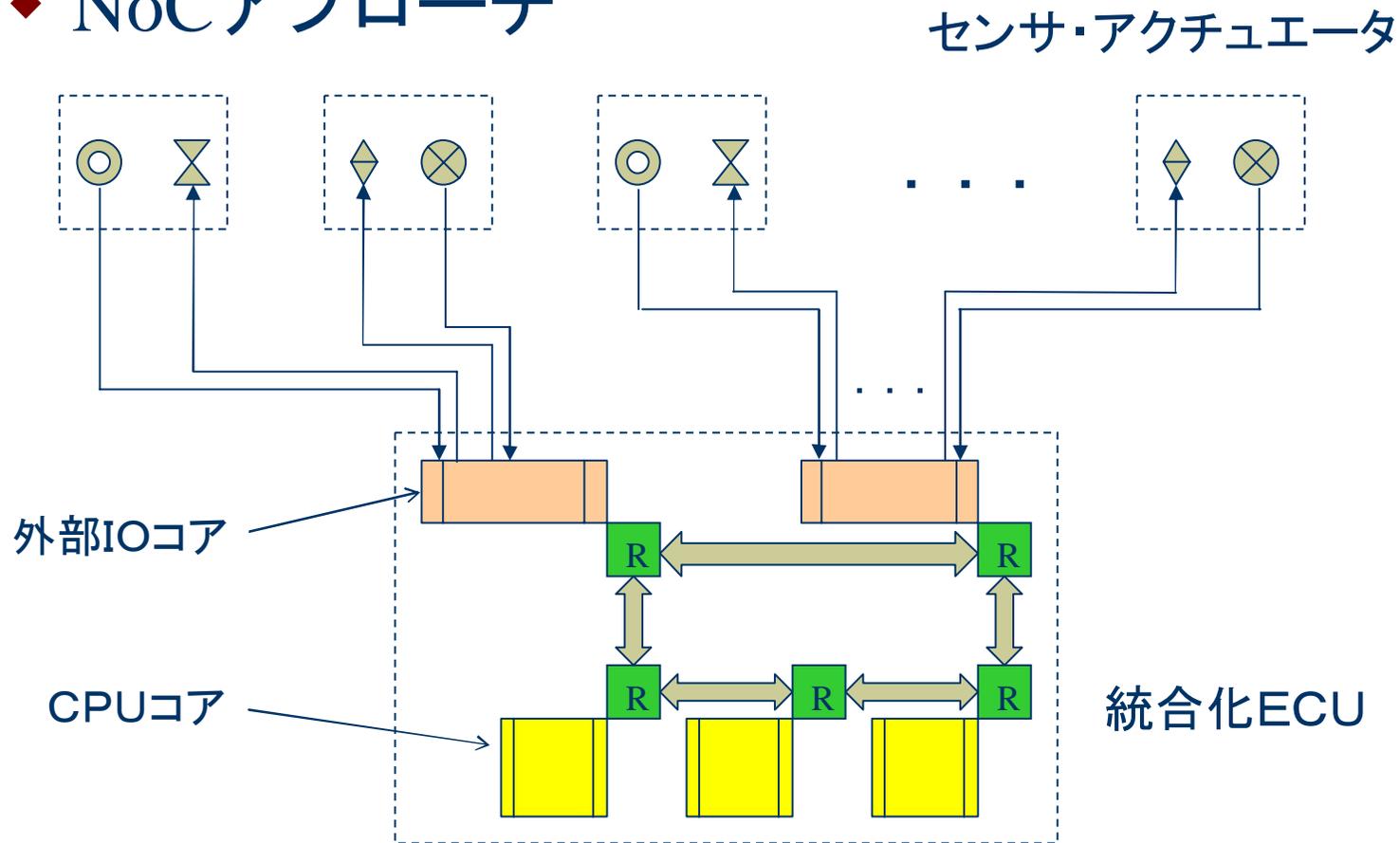
実証のイメージ

◆ 従来手法



実証のイメージ

◆ NoCアプローチ



実証に向けてのアプローチ

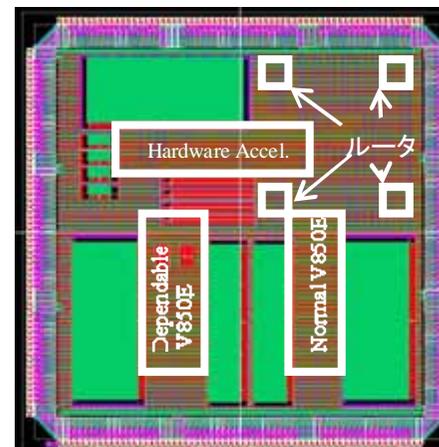
- ◆ 現在まで
 - カーメーカとのNDA下での技術討論
 - カー関連メーカとの共同開発
 - ハイブリッドエンジンカーのパワー・ドライブトレイン制御モデル(Simulink記述)
 - HILS(Hardware-In-The-Loop Simulation)システムの構築と一部アプリケーションの動作実験
- ◆ 今後の目標
 - 試作NoCとHILS上でのアプリケーション動作実験
 - カーメーカからのフィードバックに基づく改良
 - 使ってもらえるプラットフォームの開発

平成21年度の主な成果(1)

- ◆ 車載制御系システム実証用プラットフォームの開発を中心として以下を行った
 - NoCルータおよびルータ間の伝送方式の詳細な検討
 - 完全非同期式ルータを3種類設計し, 比較・評価.
 - 同期式ルータとともにそれらをLSIとして試作
 - 非同期式アービタについて, 2種類の方式を提案
 - 従来手法と比較し, 性能および公平性について検討
 - そのうちの1種類を上記のルータで実際に使用
 - 演算器の2線式符号化実現とその演算完了までクロックを停止する機構について検討
 - V850Eコアの乗算器に適用

平成21年度の主な成果(2)

- 多値技術を活用したSingle-Track方式の提案
 - 少配線数, 低消費電力でのデータ転送が実現可能
- プロセスの微細化による製造時ばらつき, および環境ばらつきへの耐性を考慮した多値回路技術の提案
- ガソリンエンジン制御で多用される表引き補間演算を行うハードウェアアクセラレータを設計
 - 上記V850Eコアとともに非同期式ルータで接続したNoCとして実現し, LSIチップ試作



これからの研究計画

- ◆ 車載制御系システム実証用モデル開発計画
 - 第一次実証用モデル:平成22年度構築予定
 - 昨年度試作したプラットフォームを使用
 - 基本機能の実証が目的
 - ◆ HILSシステムのもと,さまざまな評価を行う
 - ◆ 連携しているカーメーカーに提示することにより有用なフィードバックを得る
 - 第二次実証用モデル:平成23年度構築予定
 - プラットフォームの設計・試作は平成22年度
 - さまざまなレベルの劣化や故障に耐え,適応的なタスク割当により,アプリケーション全体の性能を維持できることを実証
 - 第三次実証用モデル:平成24~25年度構築予定
 - OSとの連携、最終モデルへの移行

連携状況

- ◆ カーメーカとの技術討論
- ◆ カー関連メーカとの共同開発
- ◆ EDA関連メーカとの非同期式回路設計ツール開発に関する共同研究
- ◆ 梶原チーム大竹グループとのNOCテストに関する連携
- ◆ 坂井チーム吉瀬グループとのNOC設計・評価に関する連携

主たる共同研究者による説明

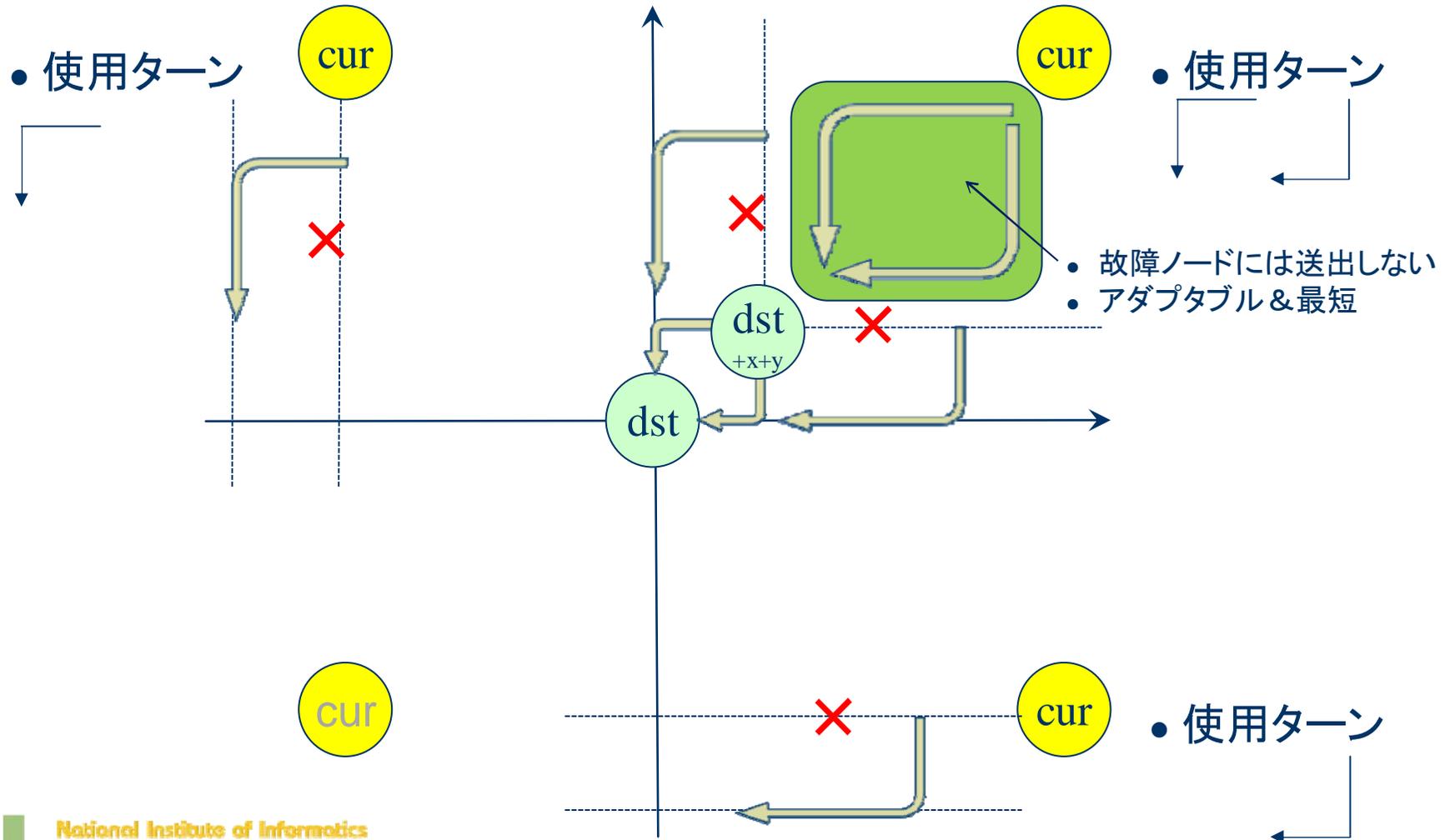
- ◆ 耐ルータ故障性・耐リンク故障性を持つ高性能非同期式オンチップネットワーク(今井)
- ◆ 高性能・高効率チップ間リンク(松本)

ディペンダブルルーティング

- ◆ 先行研究: Glass, Ni “Fault-Tolerant Wormhole Routing in Meshes,” FTCS-23, pp.240-249, 1993
 - 隣接ノードの故障情報のみ、かつ仮想チャネル無しで単一故障に耐えられる
 - 故障が存在しない場合も最短ルーティングではない
 - アルゴリズム概要
 - Turn modelに基づき、cycleが出来ないようにする: Deadlock free
 - 第1フェーズ(Negative Phase): インデックスが減る方向のみに流す
 - 第2フェーズ(Positive Phase): インデックスが増える方向のみに流す
 - 辺部分を除いてアダプタブルルーティング
 - West辺とSouth辺に故障ノードがある場合には特殊なルーティング

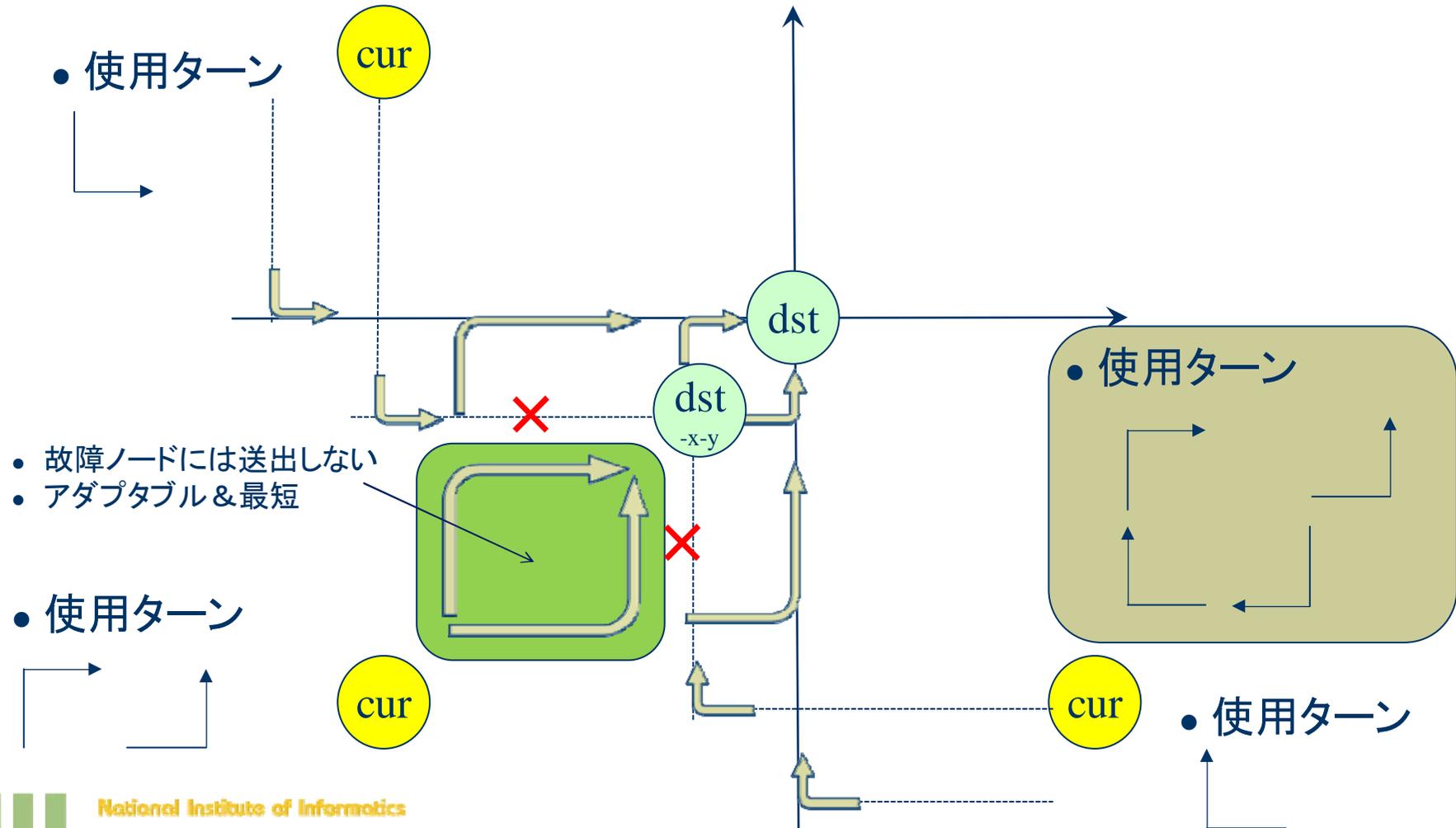
Glass, Niの手法

◆ 第1フェーズ (Negative Phase)



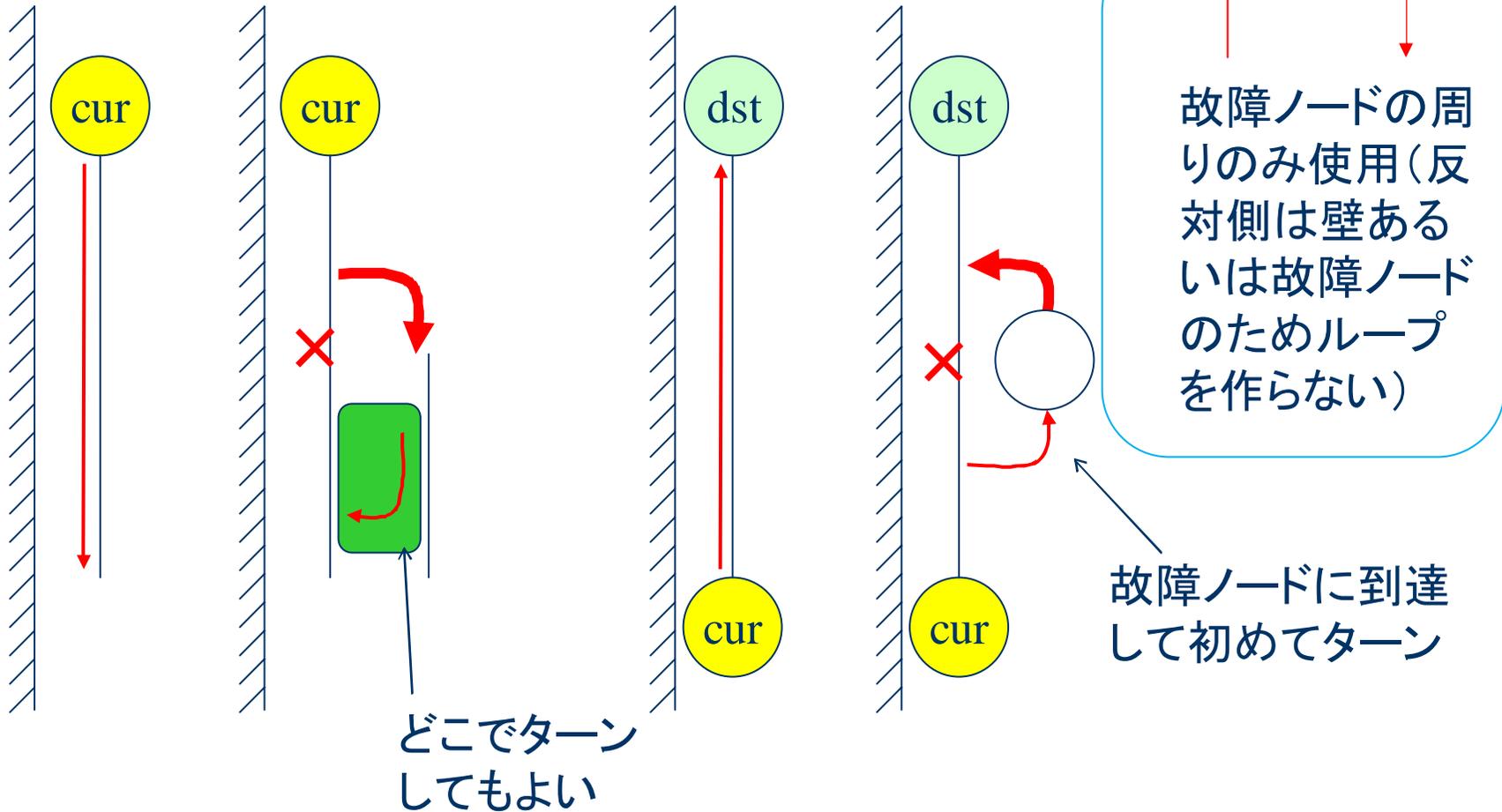
Glass, Niの手法

◆ 第2フェーズ (Positive Phase)



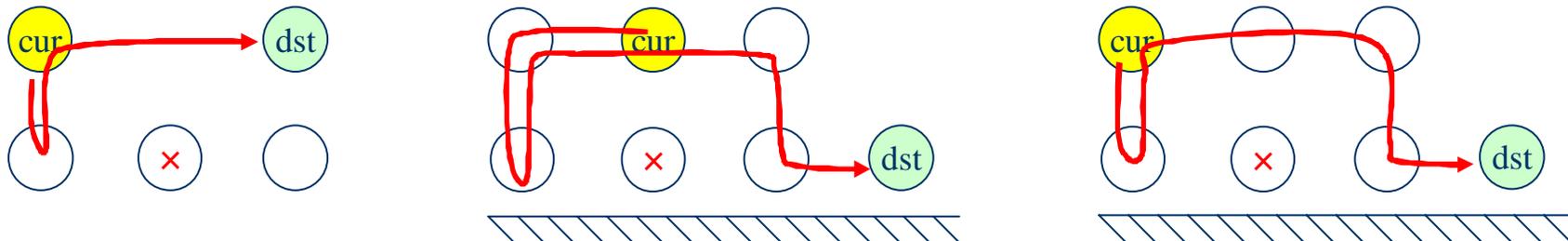
Glass, Niの手法

- ◆ curがWest辺にあるとき (South辺にあるとき)

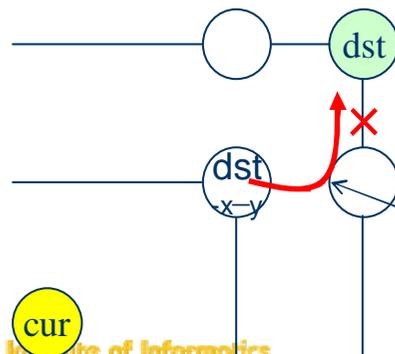


問題点

- ◆ 効率が悪い
 - 最短とは限らない(第2,4象限では冗長な経路を取る場合がある)
- ◆ 同じリンクを往復することがある



- ◆ dstのリンク故障情報は斜め上(下)のノードに伝達する必要あり



このように送らないために、
斜め上のリンク故障情報が必要

解決のアプローチ

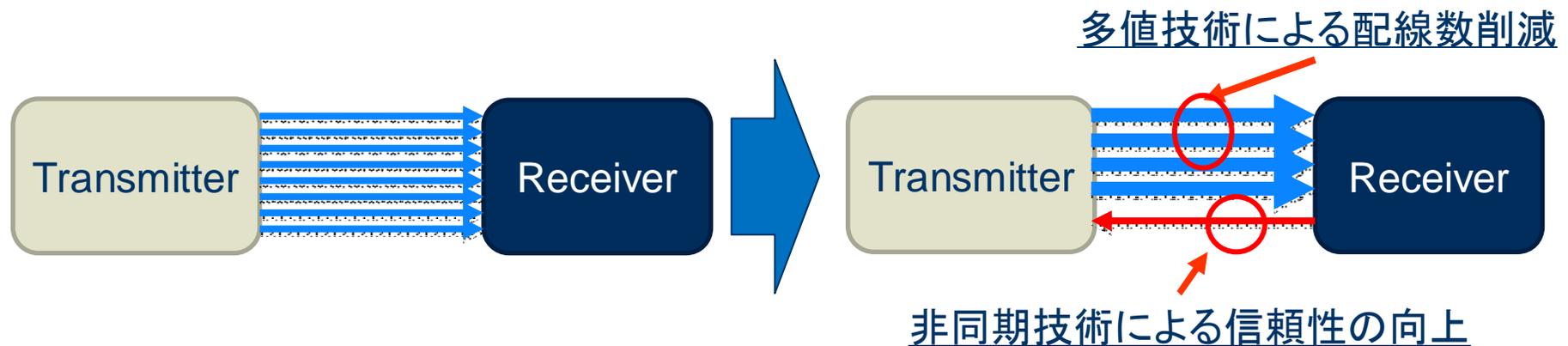
- ◆ ルーティングアルゴリズムの改善
- ◆ 故障情報の伝搬方法の検討

実装とテスト

- ◆ 仮想チャネル無しで以下を実現可能
 - 単一ノード故障、単一リンク故障に対して
 - 全正常ノードに到達可能
 - デッドロックフリー
 - 同一リンクの往復無し

非同期・多値技術によるチップ間通信

- ◆ 多値回路技術を活用することによる利点
 - 1配線当りの情報量増加→配線数削減
- ◆ 非同期技術を活用することによる利点
 - 要求応答型プロトコル→高信頼通信



チップ間通信における転送モード

- ◆ 電圧モードによる転送
 - 配線のフル振幅が必要→遅延:大
- ◆ 電流モードによる転送
 - 微小振幅で転送を実現→遅延:小

	電圧モード (I/O電圧:3.3V)	電流モード (単位電流:1mA)
遅延時間(ns)	3.22	0.35
消費電力(mW)	8.45	1.49
2相転送時の速度	~160MHz	~1.4GHz

(Simulation under a 0.13um CMOS Technology)

多値電流モード転送方式

- ◆ 多値電流モード信号通信(オンチップ)
 - 転送情報量の増加→配線数の減少

多値電流モード転送回路



従来非同期2値転送方式との比較

- ・配線数: 3分の2
- ・転送速度: 1.6倍

- ◆ 高信頼多値通信技術(オンチップ)
 - 補償回路による多値転送回路の安定化
 - 多値符号割り当ての変更によるマージンの拡大
→製造, 温度, 電源電圧ばらつきへの耐性の大幅向上
- ◆ オフチップ化に向けての検討

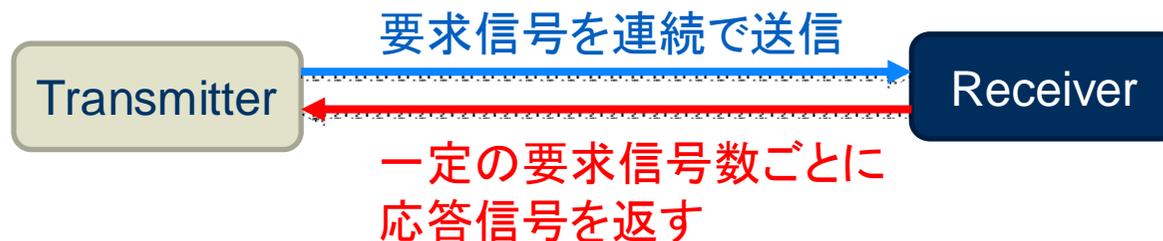
高速非同期転送方式

◆ 通常の非同期転送



◆ 高速化の試み

- 非同期バーストモード転送: 通信効率向上



- 信頼性と高速化のトレードオフ