

ロバストファブリックを用いた ディペンダブルVLSIプラット フォーム

- 小野寺、佐藤、土谷(京大)、 尾上、橋本、密山(阪大)
- 小林(工繊大)、嶋田、姚(奈良先端)、越智(京大)、神原(ASTEM)



- 筒井、
Das(京大)

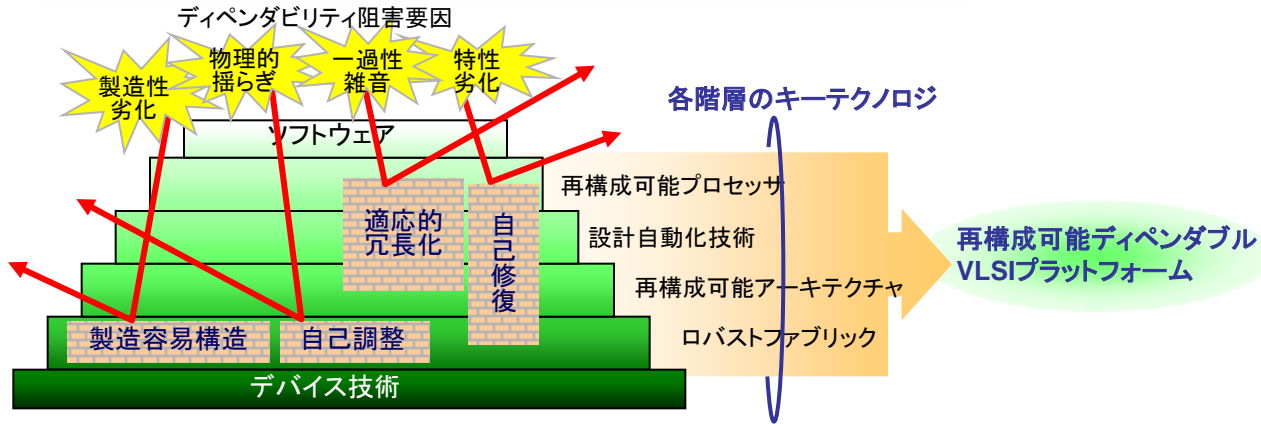


研究課題

ロバストファブリックを用いたディペンダブルVLSIプラットフォーム

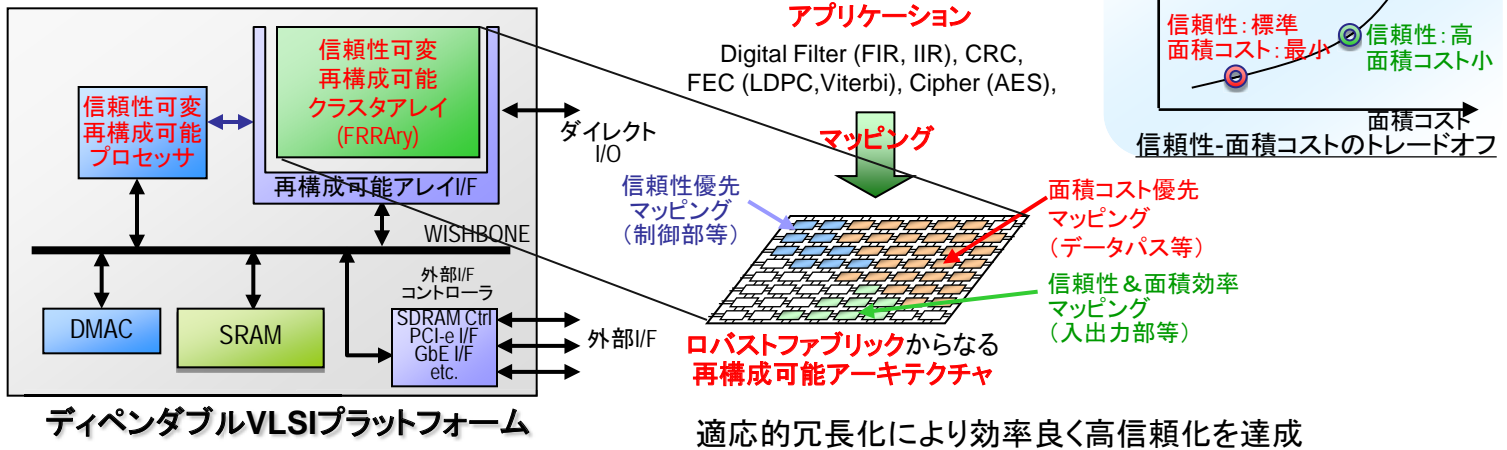
研究目的

要求されるディペンダビリティに応じた回路を実現するVLSIプラットフォームの開発



基本コンセプト

レイアウト/回路/アーキテクチャ/設計自動化技術を結集したプラットフォームの提案



プロジェクト概要

■ 意義

- 信頼性の低いデバイスを使って信頼性の高い回路を実現する技術の提示
 - More Moore方向: Mooreの法則の延命
 - More Than Moore方向: 低コスト化技術(CoO低減)、低電圧低消費電力化技術、印刷エレクトロニクス等への展開

■ 克服課題

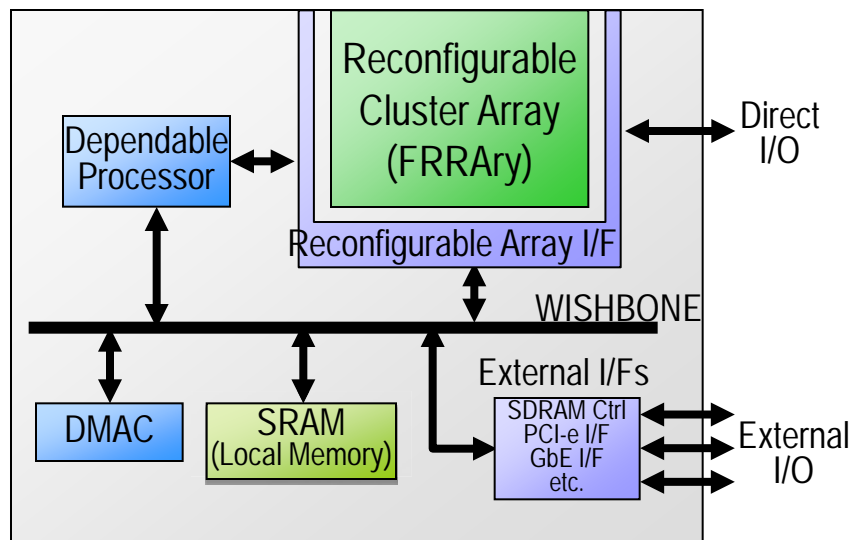
- 製造性劣化、ばらつき、一過性雑音(ソフトエラー)、特性劣化(NBTI)

■ 克服方法

- 適応的調整と再構成が可能なVLSIプラットフォーム
 - ロバストファブリック
 - ばらつきや放射線に強靱で特性の自己診断と調節可能
 - 再構成アーキテクチャとマッピング技術
 - 信頼性レベルを柔軟に設定可能な粗粒度再構成アーキテクチャとマッピング技術
 - 再構成プロセッサ
 - 信頼性に応じてハードウェア構成を設定可能なプロセッサ
 - アプリケーション展開
 - 評価手法検討と応用展開

プロジェクト進捗

- プラットフォーム全体構成の検討



- 適応的冗長化により効率よく高信頼化を達成
- 主要構成要素
 - Reconf. Cluster Array
 - Dependable Processor

- FPGAを用いた評価環境での検証



- 提案プラットフォームをFPGA上に構築中
- 信号処理回路を実装予定

衛星利用を想定した回路での効果実証を目指す

プロジェクト進捗

■ 各要素課題

■ ロバストファブリック

- 製造性・ばらつき耐性・信頼性を高めるための回路・レイアウト構成法と遅延ばらつき解析の高精度化と高速化手法の開発

■ 再構成アーキテクチャとマッピング技術

- 粗粒度再構成可能アレイ(クラスタアレイ構造)とその実装技術の開発と動作検証用テスト回路の設計
- アプリケーションのクラスタアレイ上への自動配置配線機能とディペンダビリティ向上効果の定量的評価環境の実現

■ 再構成プロセッサ

- 商用ISAを採用した適応的多重化再構成プロセッサの設計
- ソフトエラー耐性の高いFF回路

■ アプリケーション展開

- 衛星利用を想定した変調通信回路への適用検討とFPGAプロトタイプリング環境の構築

ロバストファブリック

- 製造性・ばらつき耐性・信頼性向上技術
 - 性能と製造性の両立に向けたレイアウト設計指針
 - チップ内ばらつきに強靱なFF
- 特性ばらつき評価技術
 - チップ間ばらつきの自己診断と補償
 - 自己診断回路と基板バイアス制御回路の設計
 - チップ内ばらつきの成分分離技術
 - 遅延ばらつき解析の高精度化
 - 遅延故障テスト対象パスの高精度絞込み技術

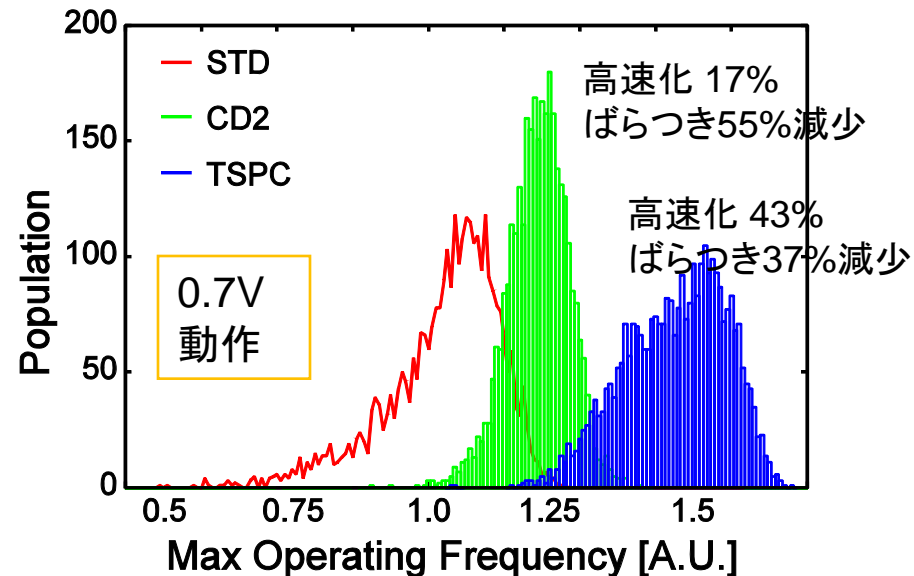
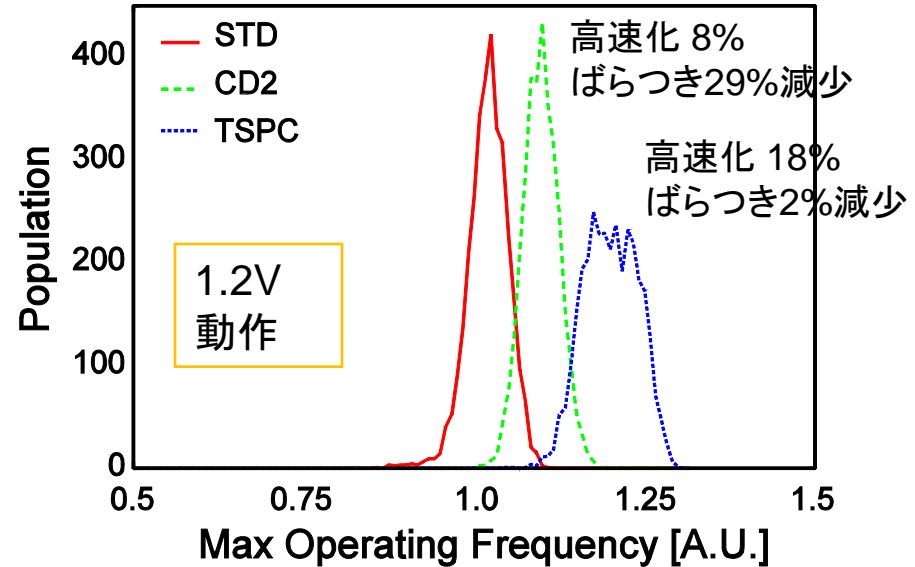
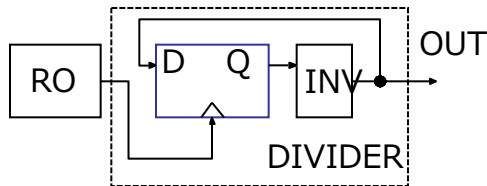
チップ内ばらつきに強靱なFF

■ チップ内ばらつき耐性強化FF

- クロックドライバ強化 (CD2)
- TSPC構造

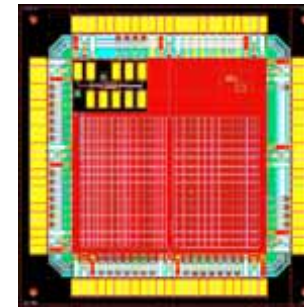
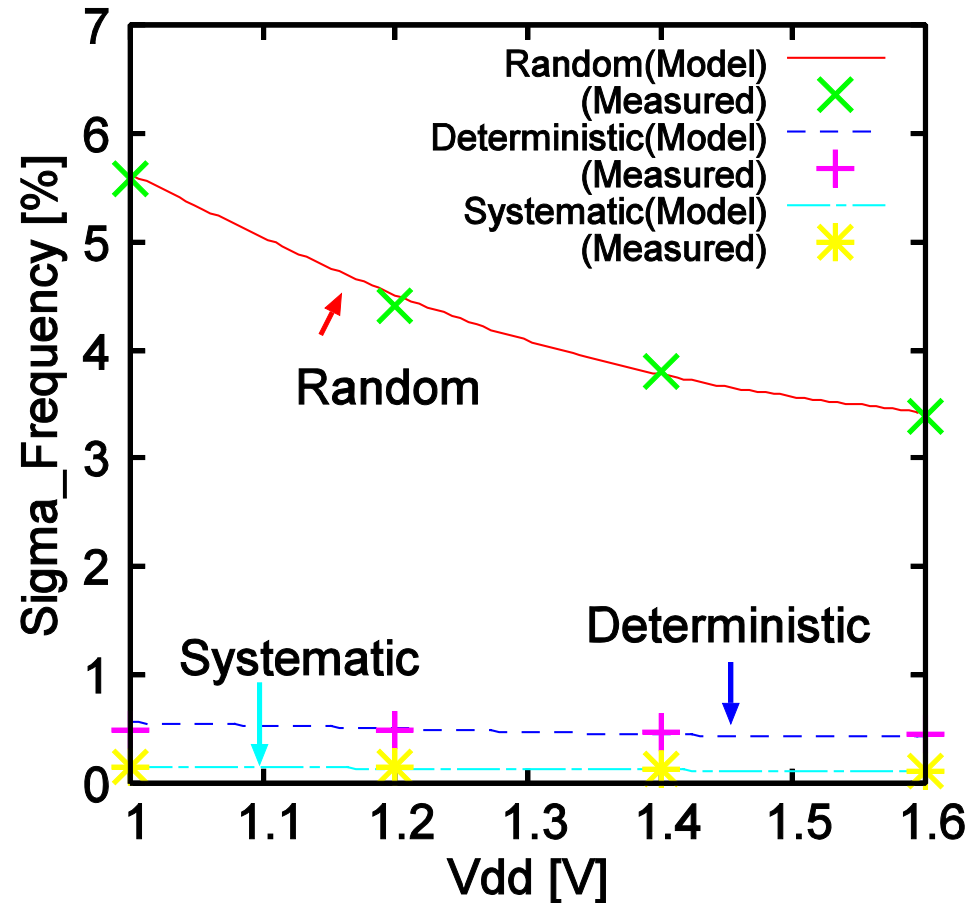
■ 分周回路の最大動作可能周波数を測定

- 65nmプロセス
- 各回路3240個



特性ばらつき評価技術

■ チップ内ばらつき成分の成分分離



65 nm
RO アレイ

■ 65nm インバータ

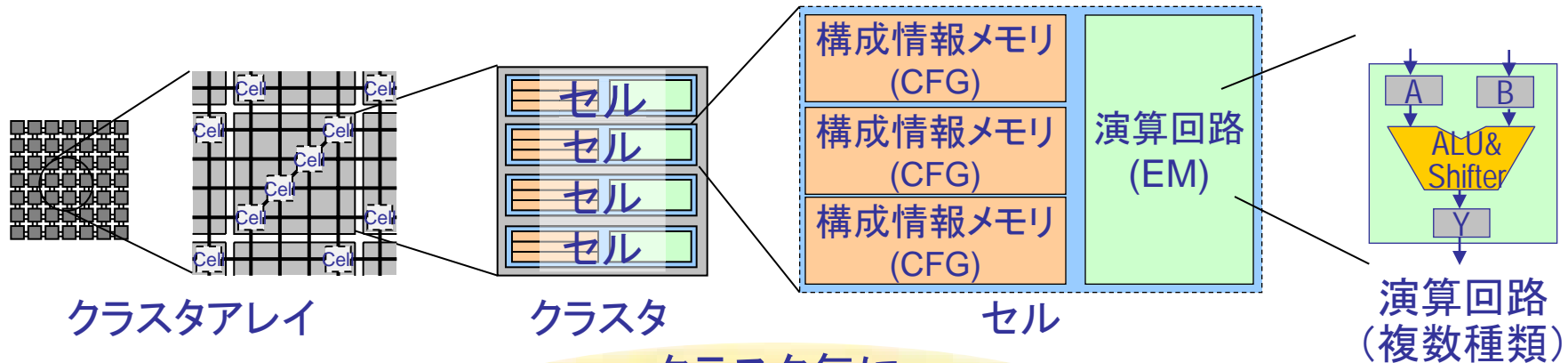
- チップ内ばらつき成分の V_{th} ばらつきとチャンネル長 L ばらつき成分への分解

	$\sigma(V_{th})$	$\sigma(L)$	[%]
Rnd	3.2	1.8	
Det	0.1	0.3	
Sys	0.0	0.1	

再構成可能アーキテクチャ

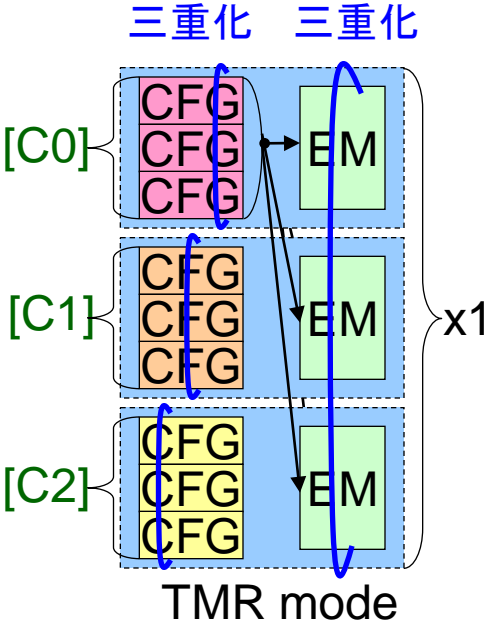
- **柔軟な信頼性を実現する粗粒度再構成可能デバイス**
 - 構成要素毎に信頼性をユーザ定義可能なアーキテクチャ
 - ソフトエラー耐性と面積コストのトレードオフを柔軟に実現
 - 回路の動作履歴とNBTI劣化との関係評価
 - 経年劣化に対するホットスワップの有効性を確認
- **チップ実装に向けた検討**
 - タイミングエラー予告に基づく適応的速度制御
 - 低電圧動作回路のチップ内速度ばらつきのモデリング
- **実用化に向けた取り組み**
 - データシートなどの技術ドキュメントの整備
 - 関連企業・研究組織との協調開発の可能性に関する協議

信頼性可変再構成可能アーキテクチャ

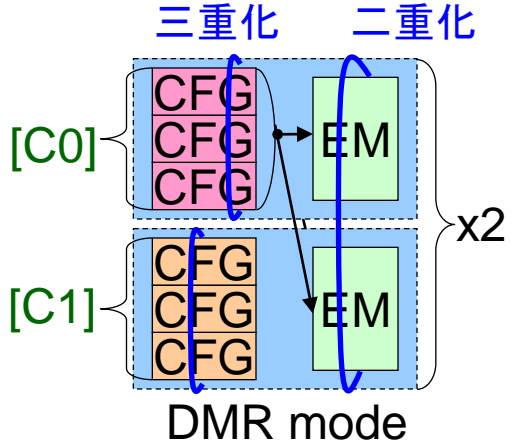


クラスタ毎に
信頼性要求に応じた
冗長構成を実現

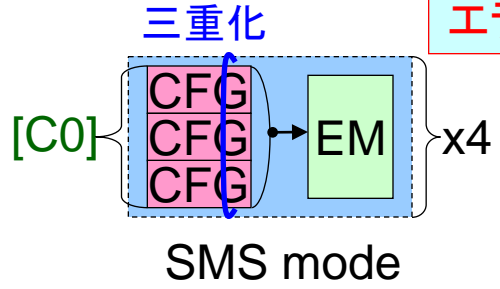
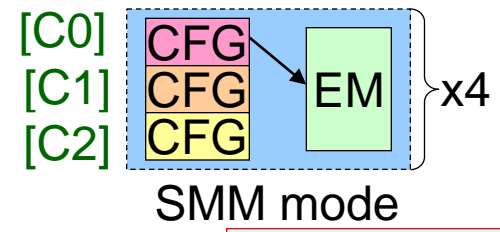
* Cx : context



常に正しい出力



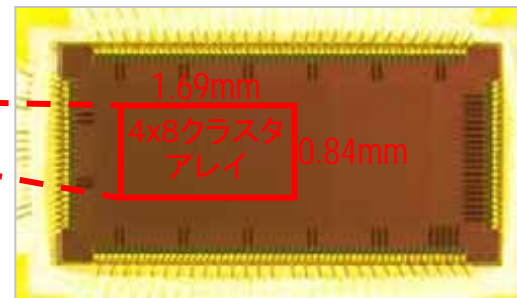
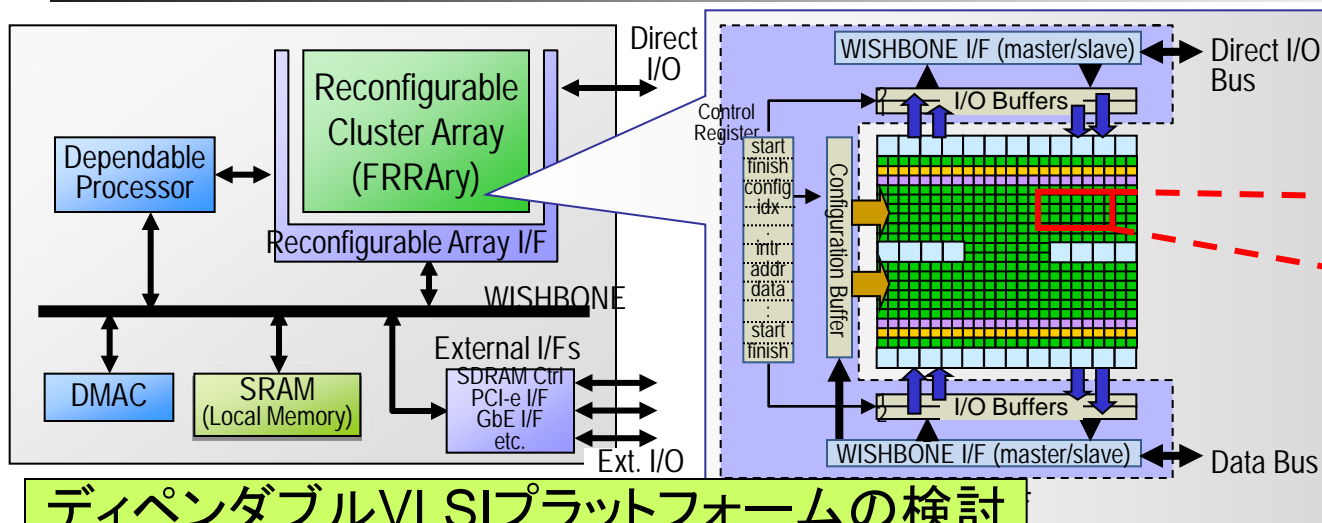
一時エラーの検知



回路構成情報の保証

エラー対策なし

再構成可能アーキテクチャの実用化に向けて



65nm試作チップ写真

検証

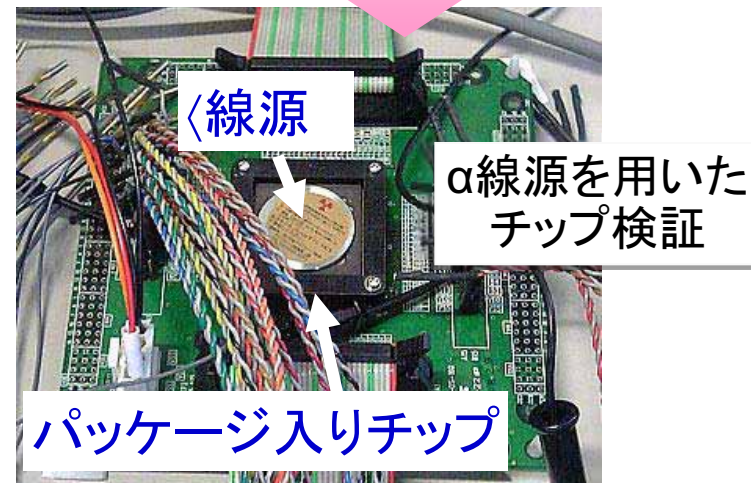
Collage of technical documents including FRRary overview, data sheet, and application notes.

パンフレット

データシート

アプリケーションノート

技術ドキュメントの整備

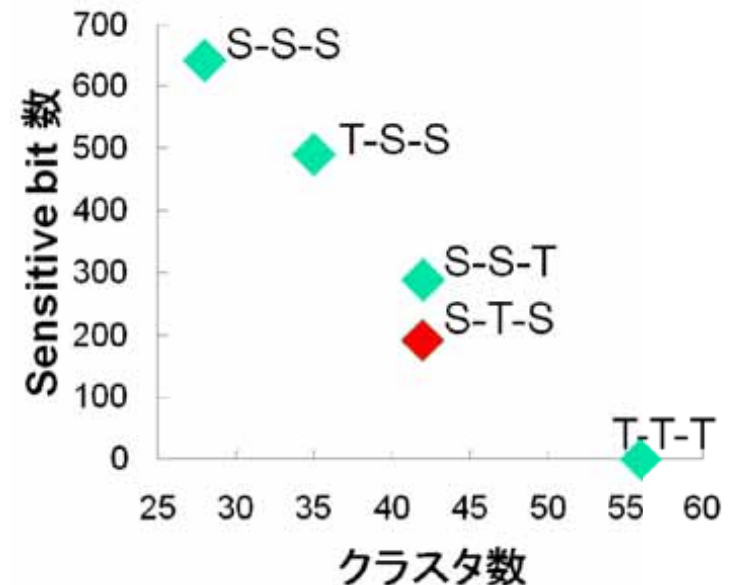
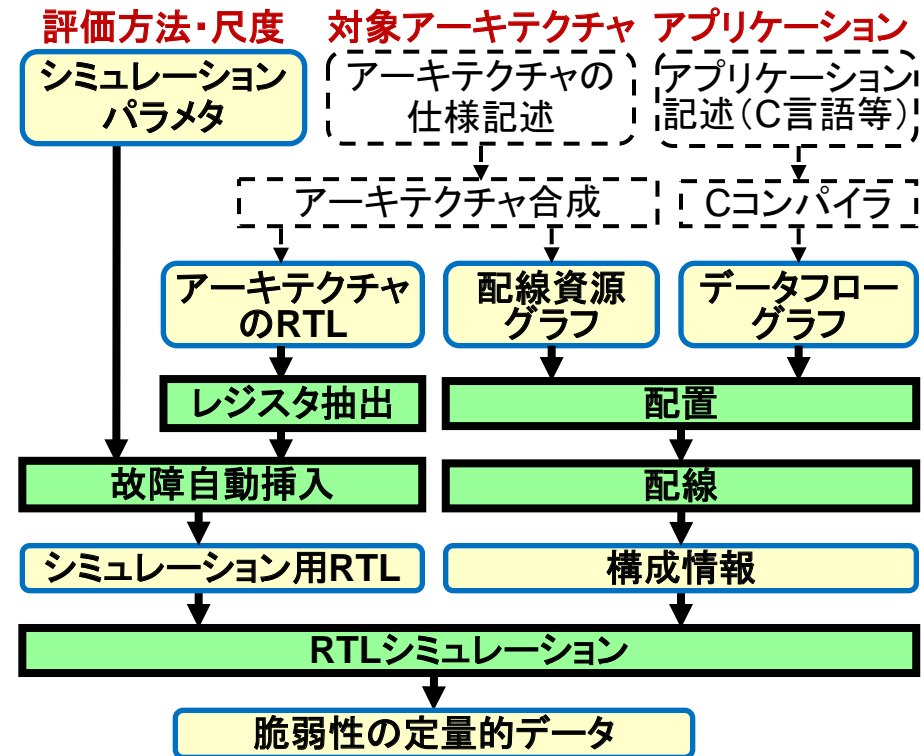


静的ディペンダビリティの実証(実施中)

マッピング技術

■ 耐故障性評価環境

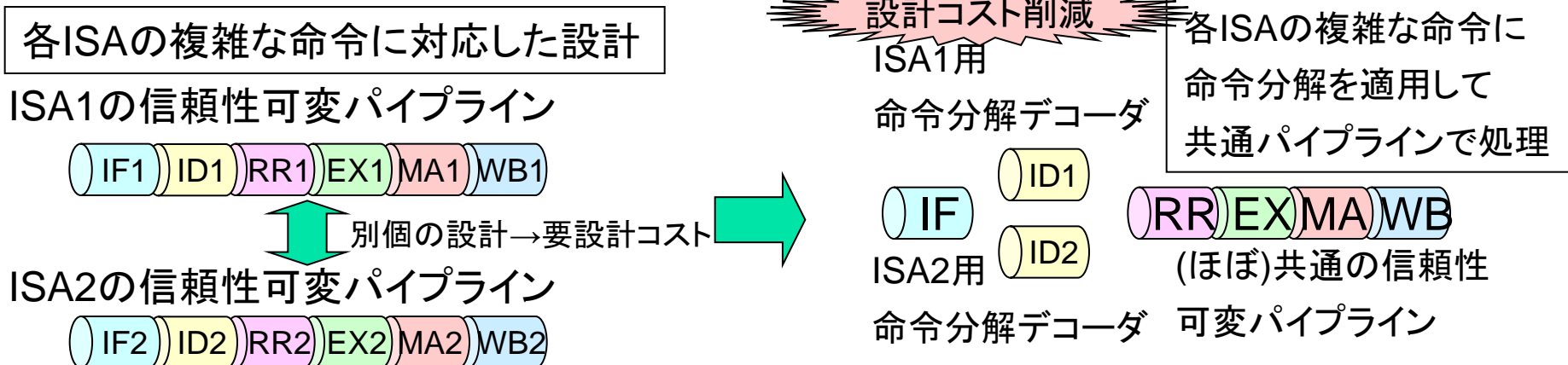
- 部分的多重化によるSEU耐性を評価する環境を開発
- クラスタアレイへの配置配線やSEU挿入とシミュレーションを自動化
- 部分的多重化によりコストとディペンダビリティのトレードオフが可能であることを示す
- 今後の目標: (1)より上流系の設計環境の構築、(2)より実用に近いアプリへの適用



再構成プロセッサ

■ 再構成プロセッサ

- 信頼性可変再構成可能マルチコア・パイプライン・プロセッサのIP公開準備
 - SH-2命令セットによる実装の公開
- 信頼性可変プロセッサの関連技術の開発
 - 信頼性確保用の通信路を利用した2-wayスーパースカラ・モード
 - 命令分解による多種命令セット(ISA)への対応の検討
 - 命令語パリティとプログラム・カウンタ値の対応づけによるパリティ付与の検討

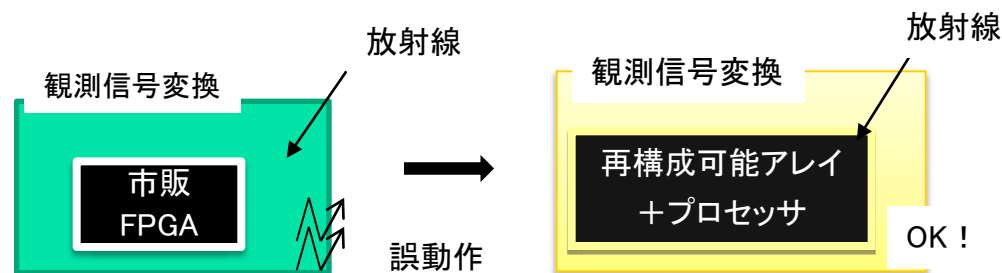


再構成プロセッサ

- ソフトエラー耐性の高いFF回路
構成: BCDMR-FF
 - 実チップの対中性子エラー耐性の
実測評価[VLSI10(発表予定)]
 - 特許出願準備中

アプリケーション展開

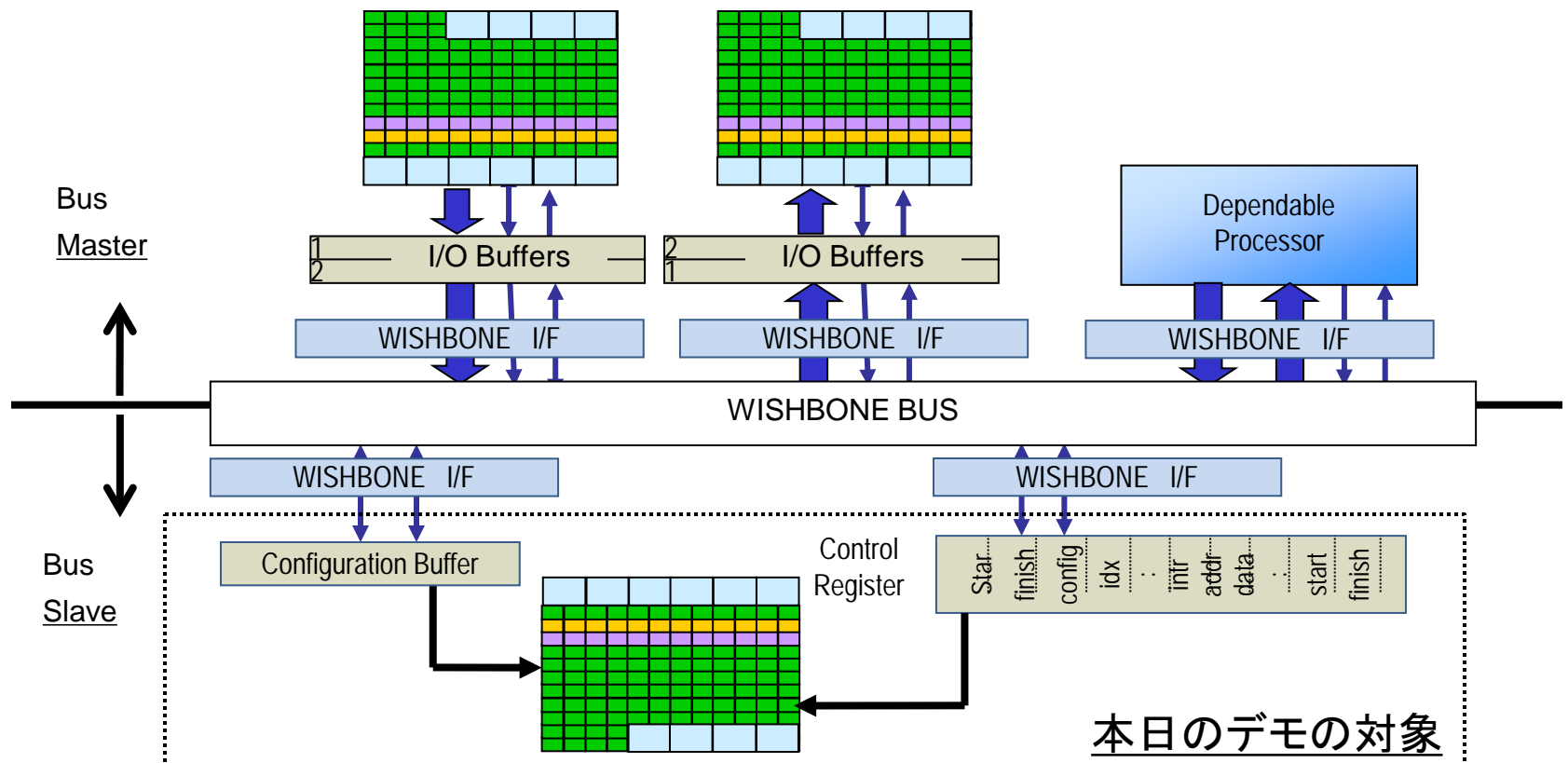
- ディペンダビリティの要件調査
 - 市販FPGAで、人工衛星のデジタル変調回路を実現する際に発生する課題の解決



- ディペンダビリティの要件定義
 - ソフトエラーが通信機能に及ぼす影響を評価(※実施中)
 - 提案している再構成可能アレイとプロセッサで、前述のデジタル変調回路と同機能のシステムを設計

アプリケーション展開(つづき)

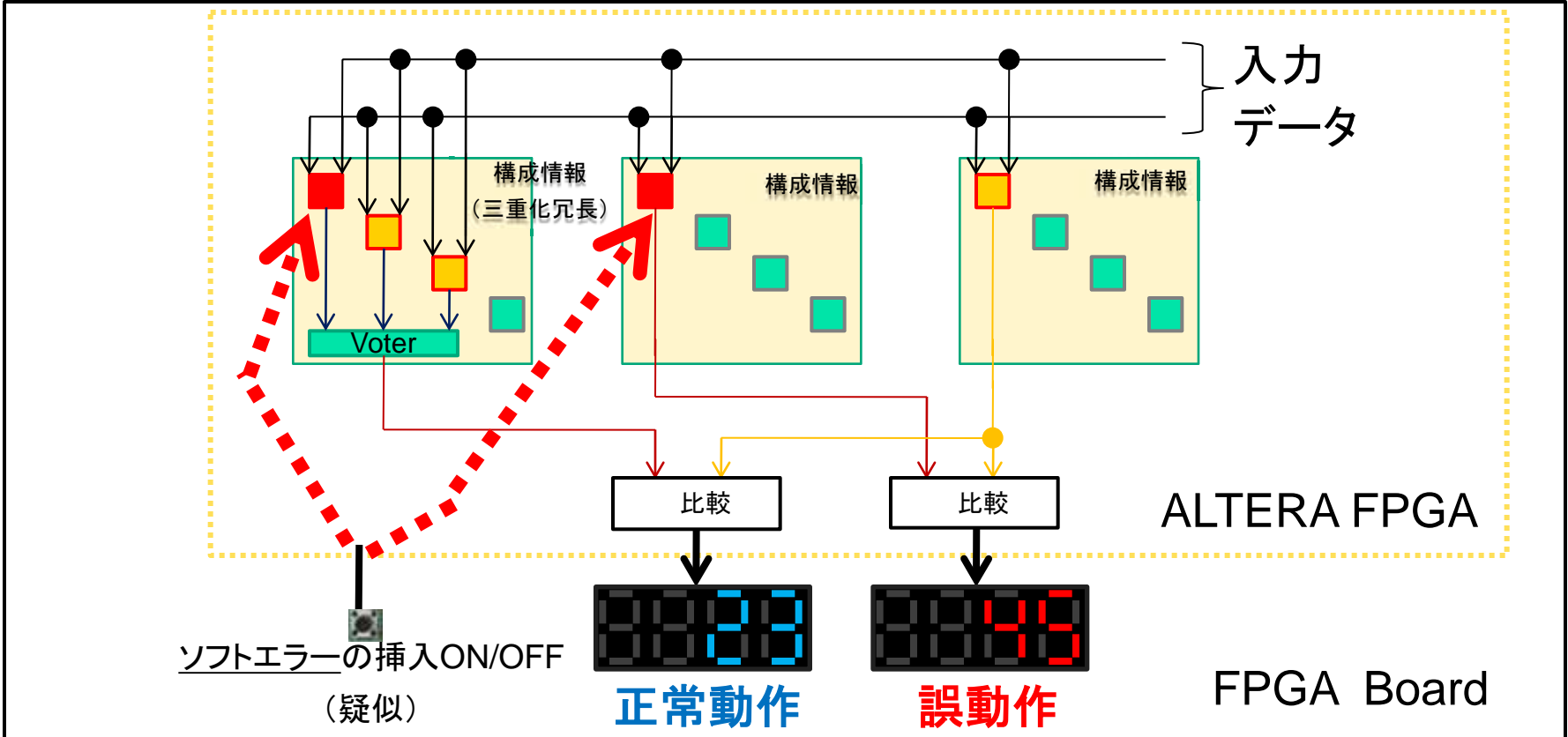
- プラットフォーム全体構成を検討
- 動作検証と評価の環境を構築(※実施中)



FPGA 上に実現したプラットフォームの再構成可能アレイのデモ

デモの目的

- 再構成可能アレイ部分の RTL の動作検証
- 同一の再構成可能アレイで、SMM, DMR, TMR 構成を切換え可能
- (疑似的な)SEU 発生に対し、三重化冗長では演算結果に影響がでない

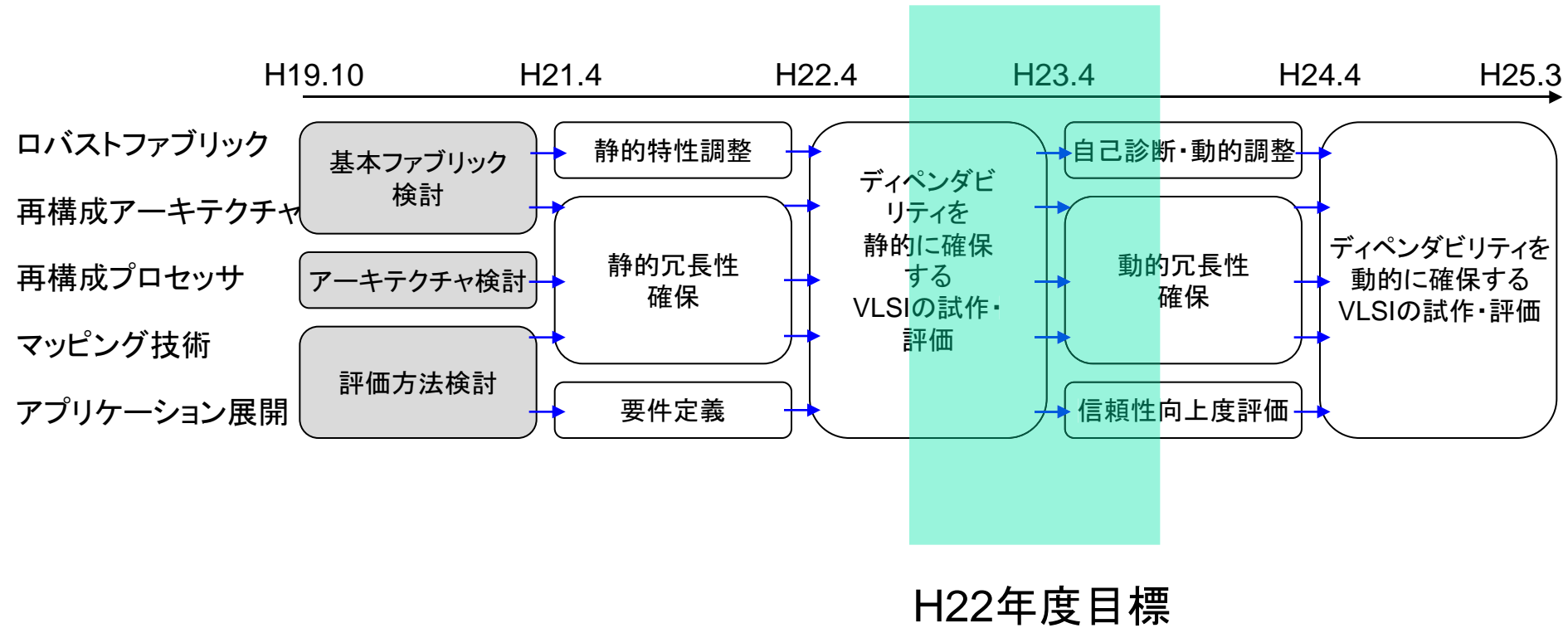


プロジェクト出口計画

■ 成果(本年度予定)とユーザ連携

- 科学衛星搭載回路で問題が発生した箇所を再構成アーキテクチャ(FPGAプロトタイピング)で構成し信頼性向上を確認
 - 現在、齊藤先生(JAXA)、小島先生(京大)と議論
- ばらつき耐性やソフトエラー耐性を高めたFFを持つライブラリの開発
 - 180nmライブラリ初版(2009年)は、早稲田、慶応、阪大、三重大、京大等で活用中
- 信頼性可変再構成アーキテクチャの提案と実チップによる検証
 - 信頼性可変構造を組み込んだ再構成アーキテクチャは世界初
- 信頼性可変プロセッサIP(SH-2版)の公開
 - 可変冗長度プロセッサのアイディアは2008年度に特許出願

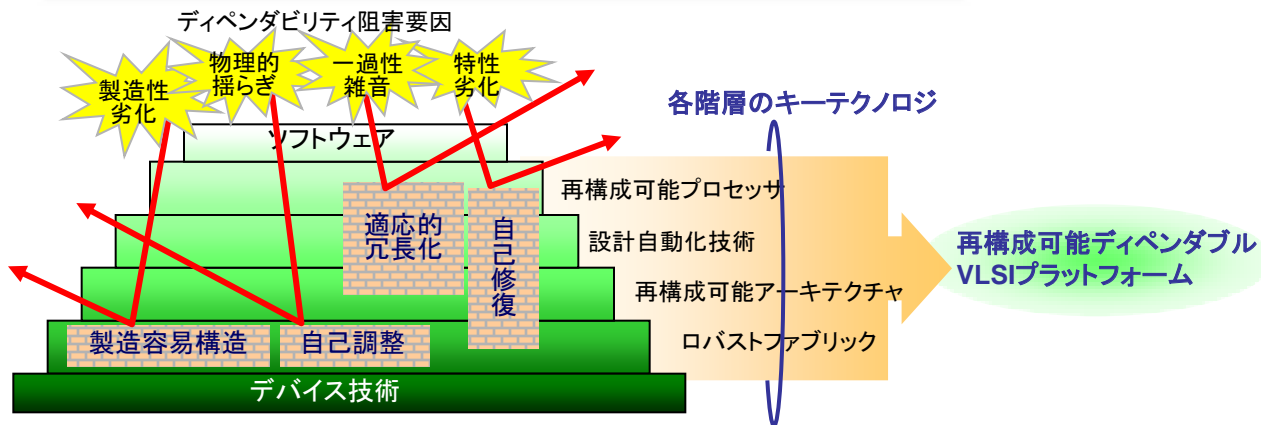
ロバストファブリックを用いたディペンダブルVLSIプラットフォーム



ロバストファブリックを用いたディペンダブルVLSIプラットフォーム

研究目的

要求されるディペンダビリティに応じた回路を実現するVLSIプラットフォームの開発



基本コンセプト

レイアウト/回路/アーキテクチャ/設計自動化技術を結集したプラットフォームの提案

