戦略的創造研究推進事業（CREST）

平成２２年度 第１回領域会議

研究領域：ディペンダブルVLSIシステムの基盤技術

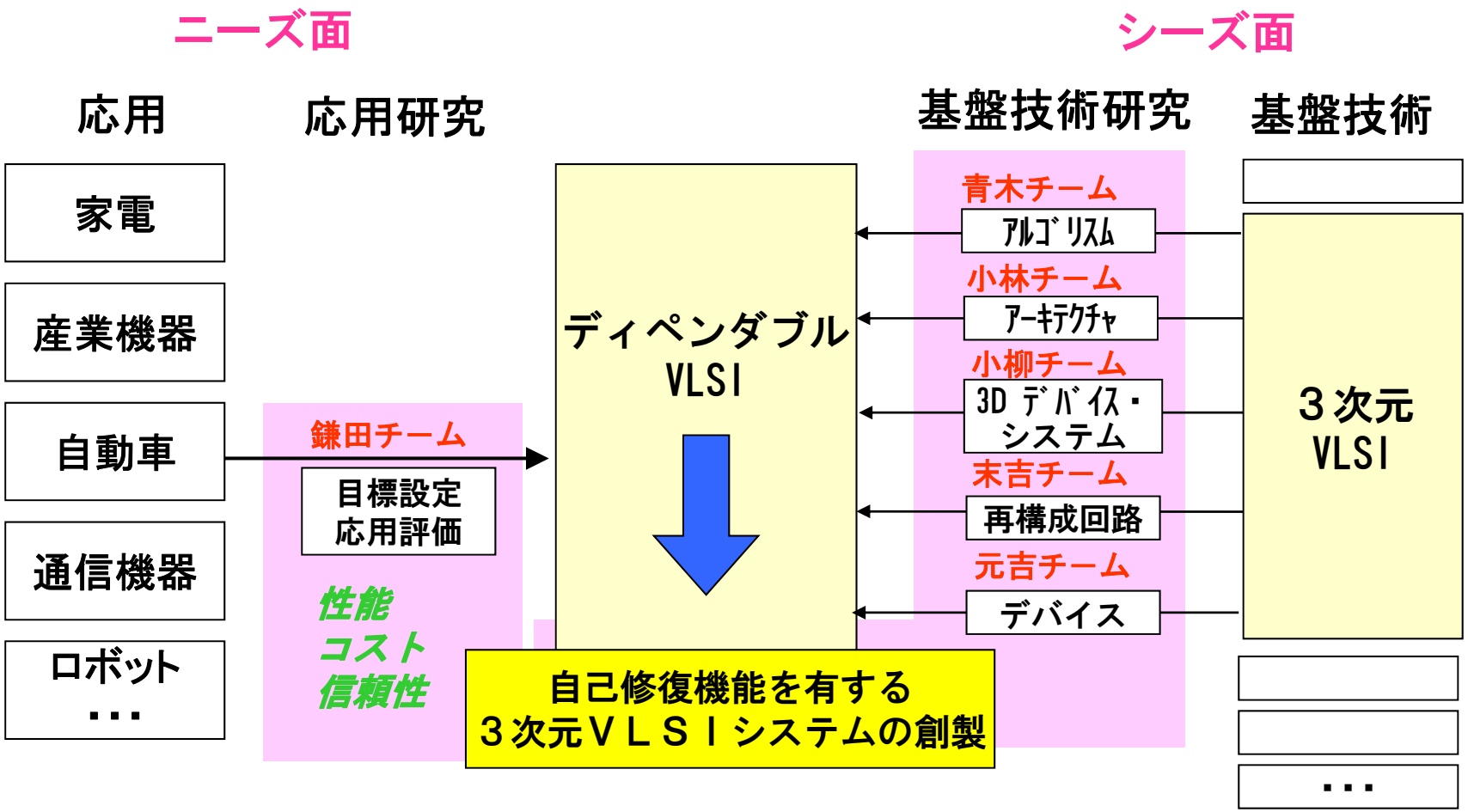
研究課題名：自己修復機能を有する3次元VLSIシステムの創製

研究代表者：　東北大学工学研究科バイオロボティクス専攻

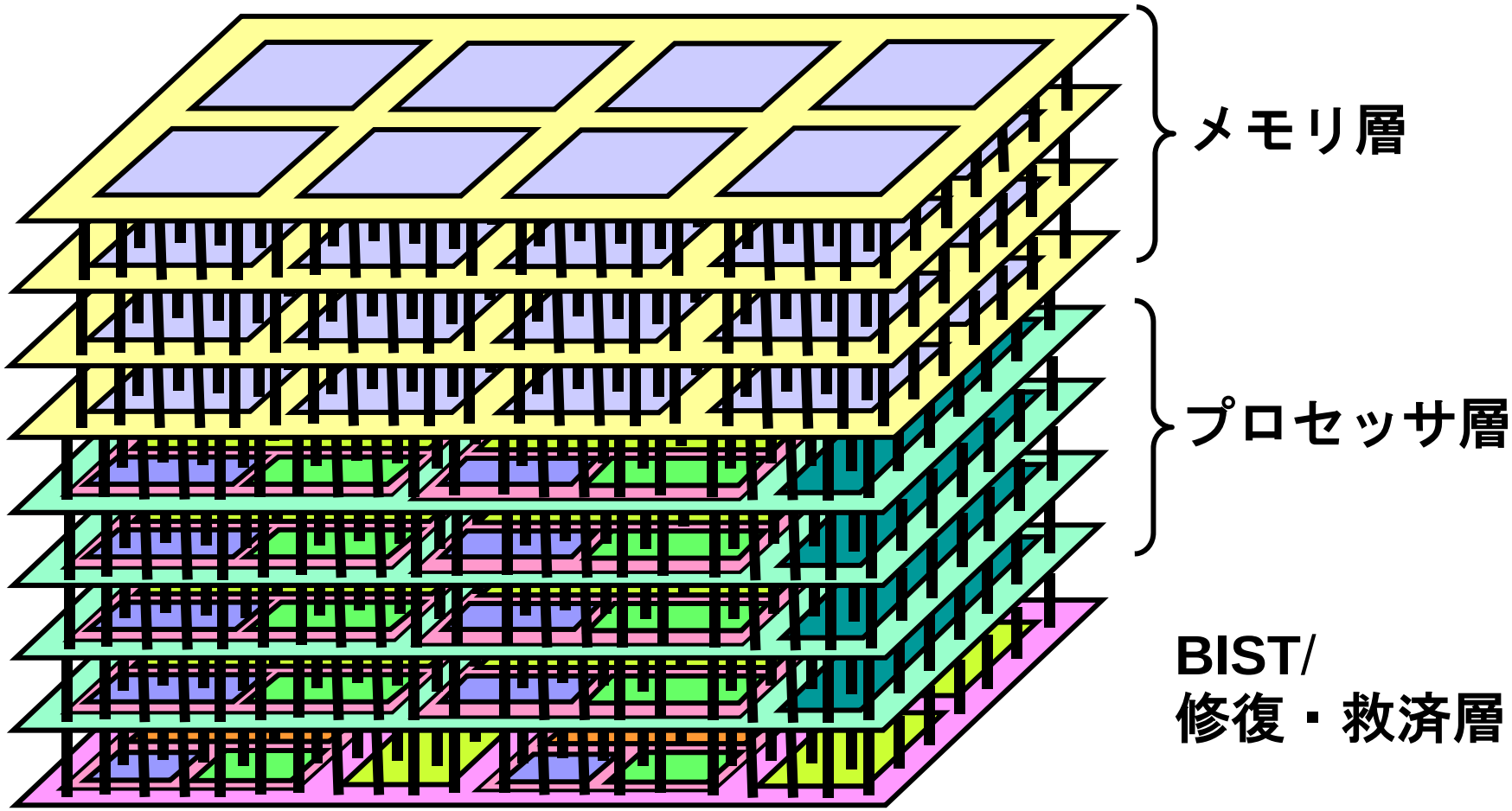
小柳　光正

本研究のねらい

自動車の視覚支援システムに応用できる性能・コスト・信頼性を有するLSIを3次元集積化技術を用いて実現

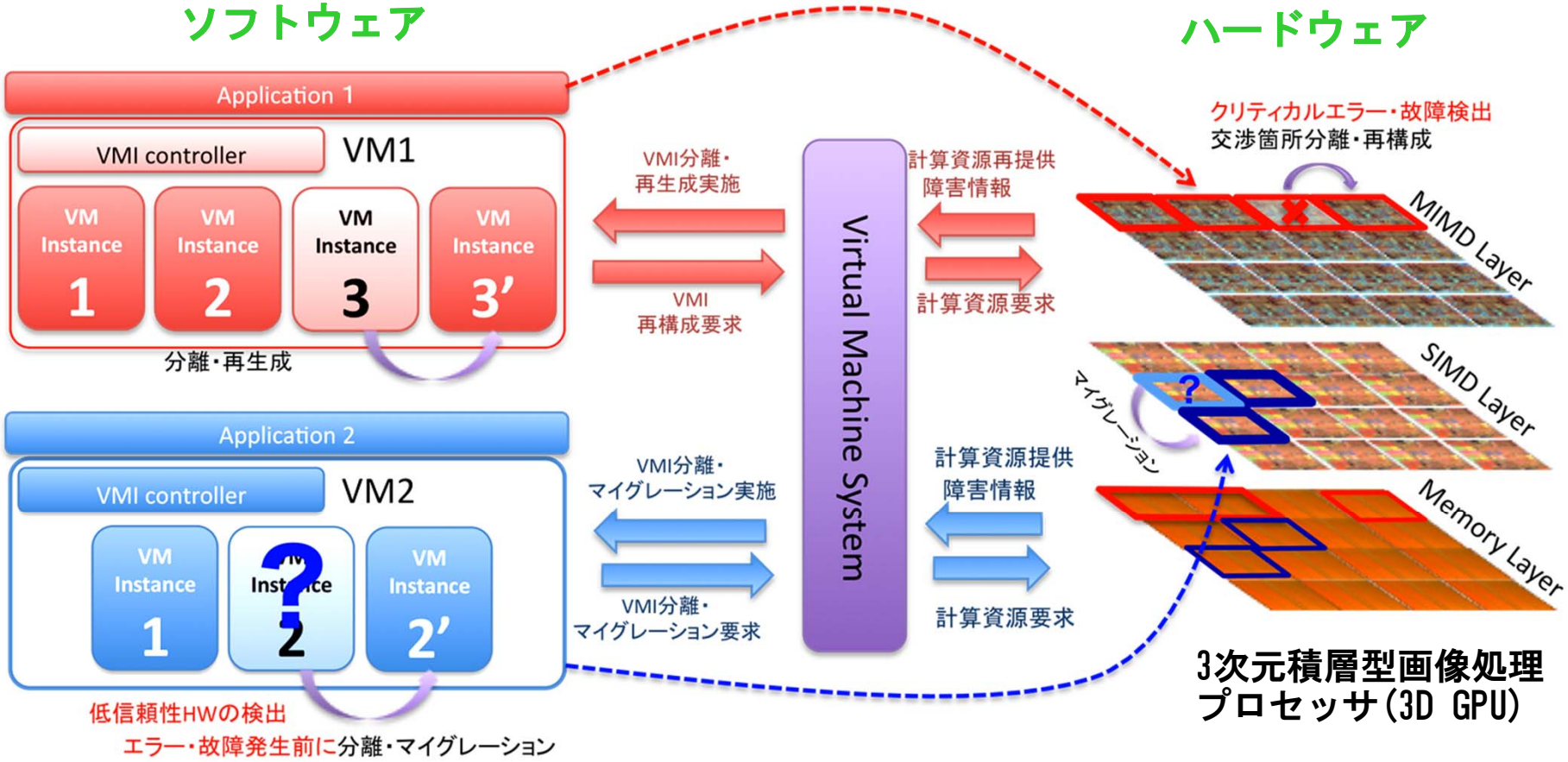


3次元積層型デペンダブル画像処理プロセッサの開発



ソフトウェアとハードウェアの協調による デペンダビリティの向上（小林グループ）

VM instanceの分離・再生成・マイグレーションと ハードウェアへのフレキシブル・マッピング

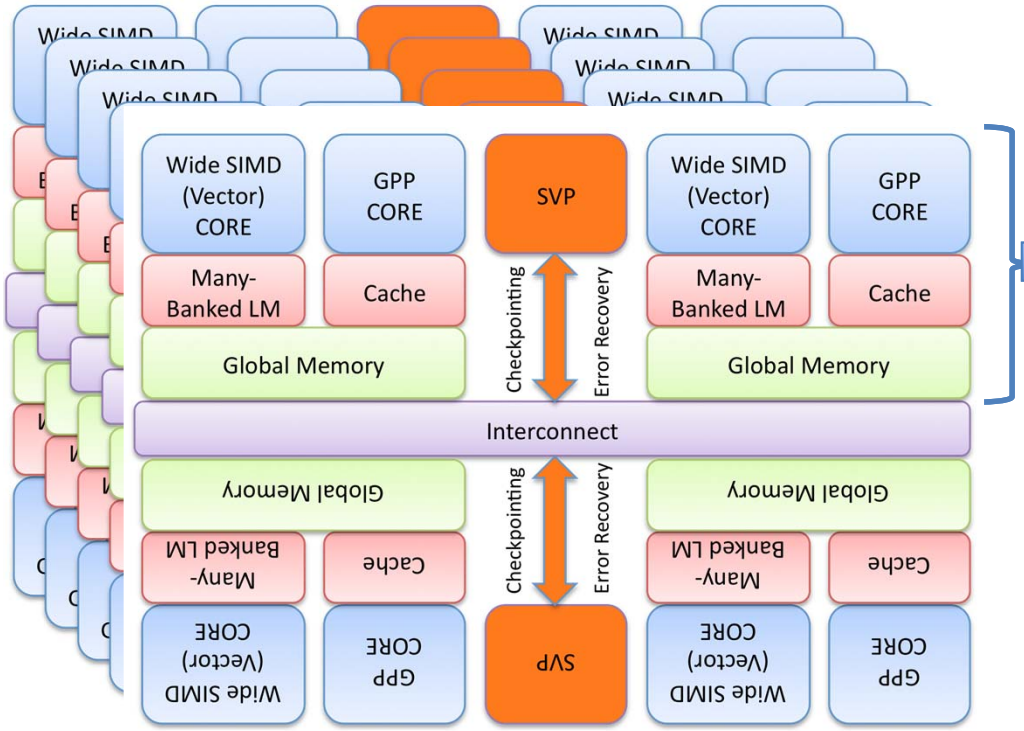


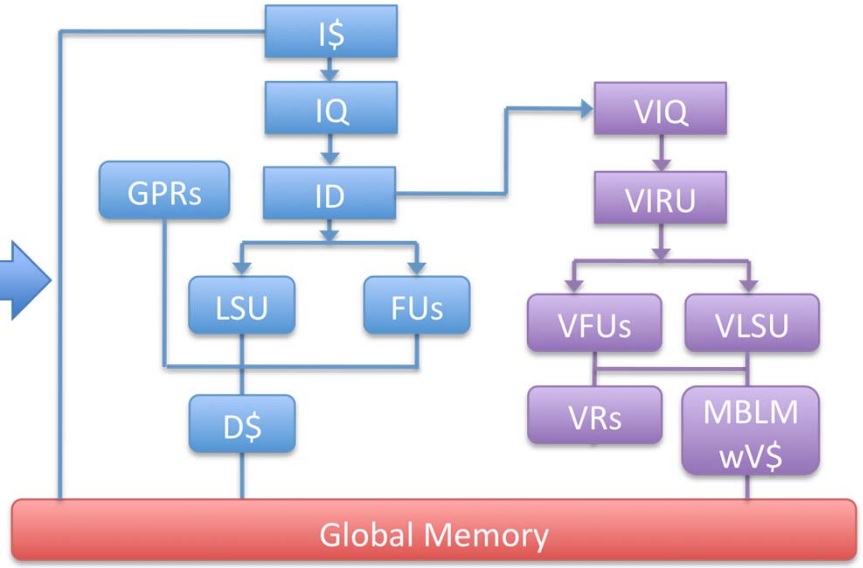
ディペンダビリティを高める基本機能

- ソフトウェア
  - システム監視によるエラー・不正検出（モデル）
    - 多重・冗長実行
  - エラーリカバリ・ノンストップシステム制御
    - 多数決処理
    - ハードウェア再構成制御
  - 仮想化技術
    - 実行環境とハードウェア資源の分離

- ハードウェア
  - 冗長・代替ハードウェア
  - ハードウェア再構成機能
  - ハードウェアモニタ・エラーログ機構
  - メモリの共有化／多重化と再構成メモリ

デペンダブル画像処理プロセッサの基本アーキテクチャ（小林・青木グループ）





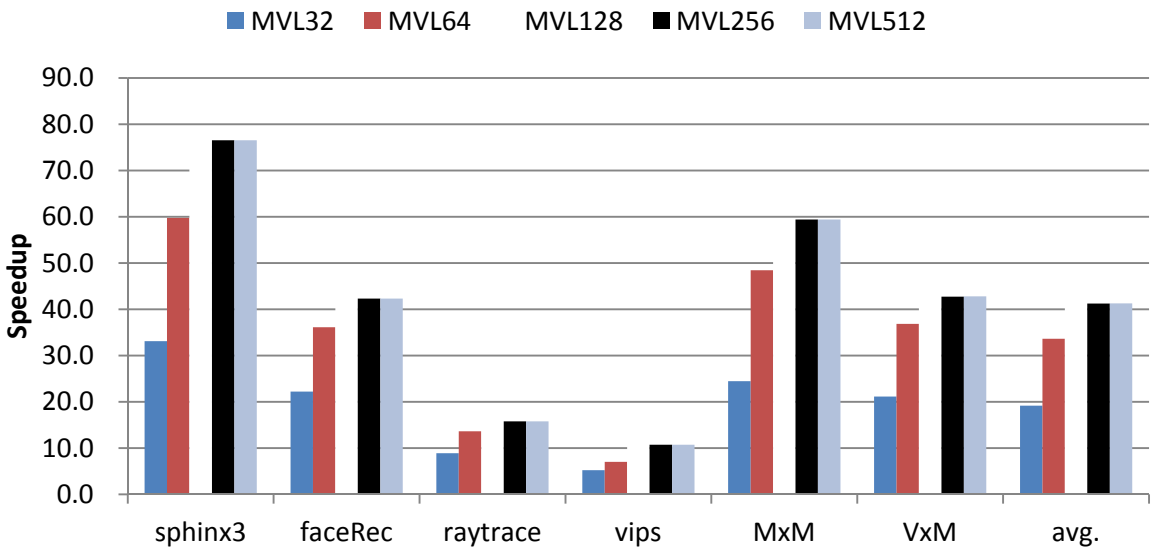
GPP Core: General Purpose Processor Core
- I$: Instruction Cache
- D$: Data Cache
- GPRs: General Purpose Registers
- IQ: Instruction Queue
- ID: Instruction Dispatcher
- LSU: Load/Store Unit
- FUs: Function Units

Wide-SIMD (Vector) Core
- VIQ: Vector Instruction Queue
- VIRU: Vector Instruction Reorder Unit
- VFUs: Vector Function Units
- VLSU: Vector Load/Store Unit
- VRs: Vector Registers
- MBLMwV$: Many Banked Local Memory with Vector Cache

メディアベクトルプロセッサの基本性能

Short vectorを多く含むマルチメディアアプリケーションを対象として，電力・性能に大きな与えるベクトルレジスタのレジスタ長を変更した場合の効果，およびアウトオフォーダ(OoO)メモリアクセスの効果を検証

Benchmarks	Application Domain	Hot Kernel Percentage	Vecterization Ratio	Vector Length	Benchmark Suite
Sphinx3	Speech recognition	70%	99.42%	4096	Parsec
FaceRec	Face recognition	80%	98.17%	173	Parsec
Raytrace	Animation	40%	99.64%	1080	ALPbench
Vips	Image processing	60%	98.35%	79	ALPbench
M x M	Matrix Mult.		98.90%	1000	
V x M	Vector Mult		99.10%	1000	



OoOメモリアクセス機構，短ベクトルレジスタ長による高効率実行を実現

細粒度レベルのテスト・修復機能およびメモリのディペンダビリティ（末吉グループ）

- テスト　⇒　BIST回路をFPGA部に実装
- 修復機能　⇒　SVP（Supervisor Processor ）を利用
  - ➡ SVPの信頼性が必要
- 例：画像処理プロセッサを二重化しておき，故障発生時に切り替えを行う
  - チェックポイントを設け，レジスタ情報をバックアップ
  - 故障直前のレジスタ情報を利用し，処理の再開を補助
- メモリのディペンダビリティ
  - 画像処理プロセッサのメモリ　⇒ ECCにより保護，SVPにより修復
  - FPGAのコンフィギュレーションメモリ　⇒ TMRにより保護，再構成により修復
  - FPGAの内蔵メモリ　⇒ ECCにより保護，SVPにより自己修復

スーパバイザプロセッサ（SVP）の検討

ソフトコアプロセッサ

- 機能に合わせ最適化可能
- 設計資産の流用が可能
- FPGAリソースの許す限り搭載可能
- ソフトエラーへの耐性が低い
  - リコンフィギャラビリティを利用し，高信頼化可能

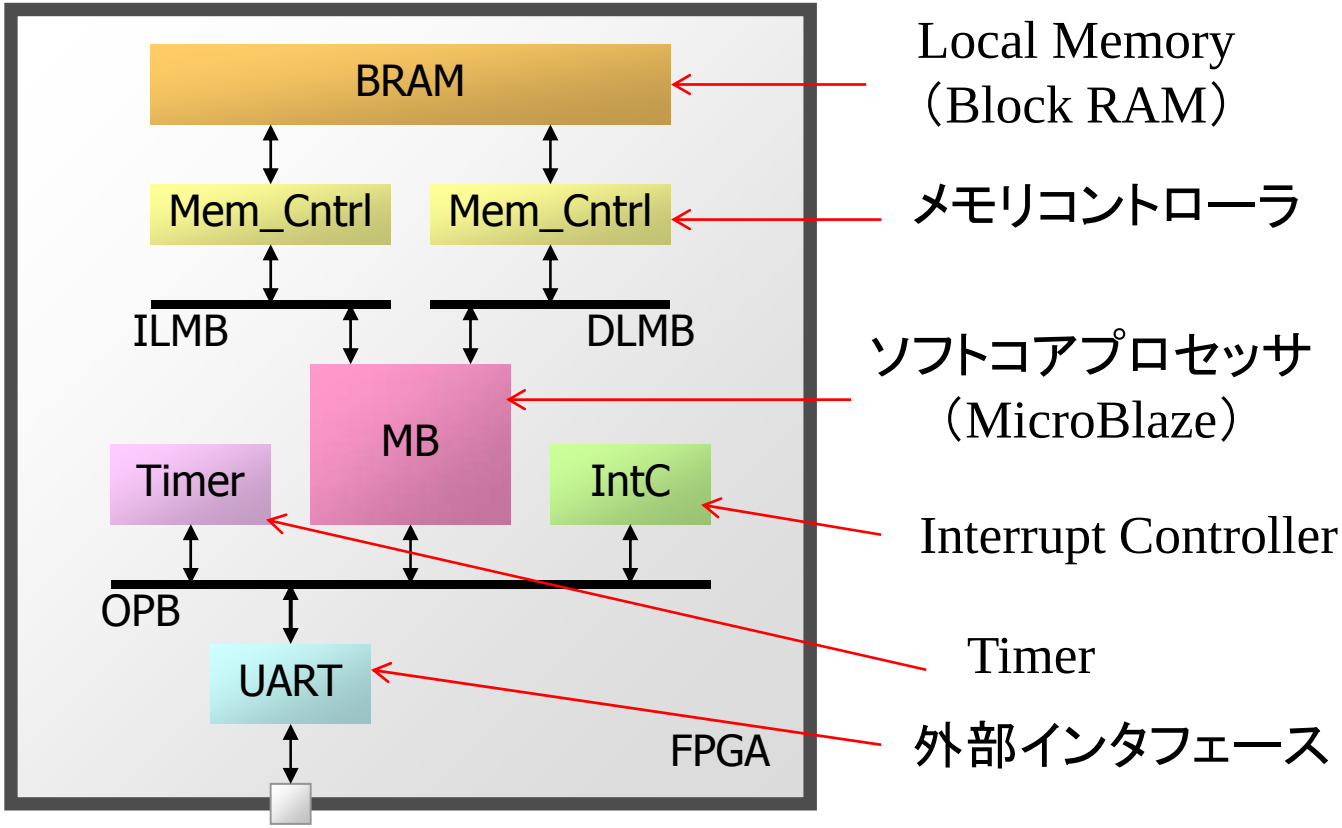
ハードコアプロセッサ

- ソフトコアプロセッサより高性能
- 回路構成が固定されている
  - 機能に合わせた柔軟性がない

双方とも，プロセッサのレジスタの高信頼化が必要

- ソフトコアプロセッサの利用を想定
  - 別システムに実装する際も高信頼設計の資産を流用可能
  - アプリケーションに応じて，機能拡張が容易

細粒度レベルのテスト・修復のための基本機能ブロック

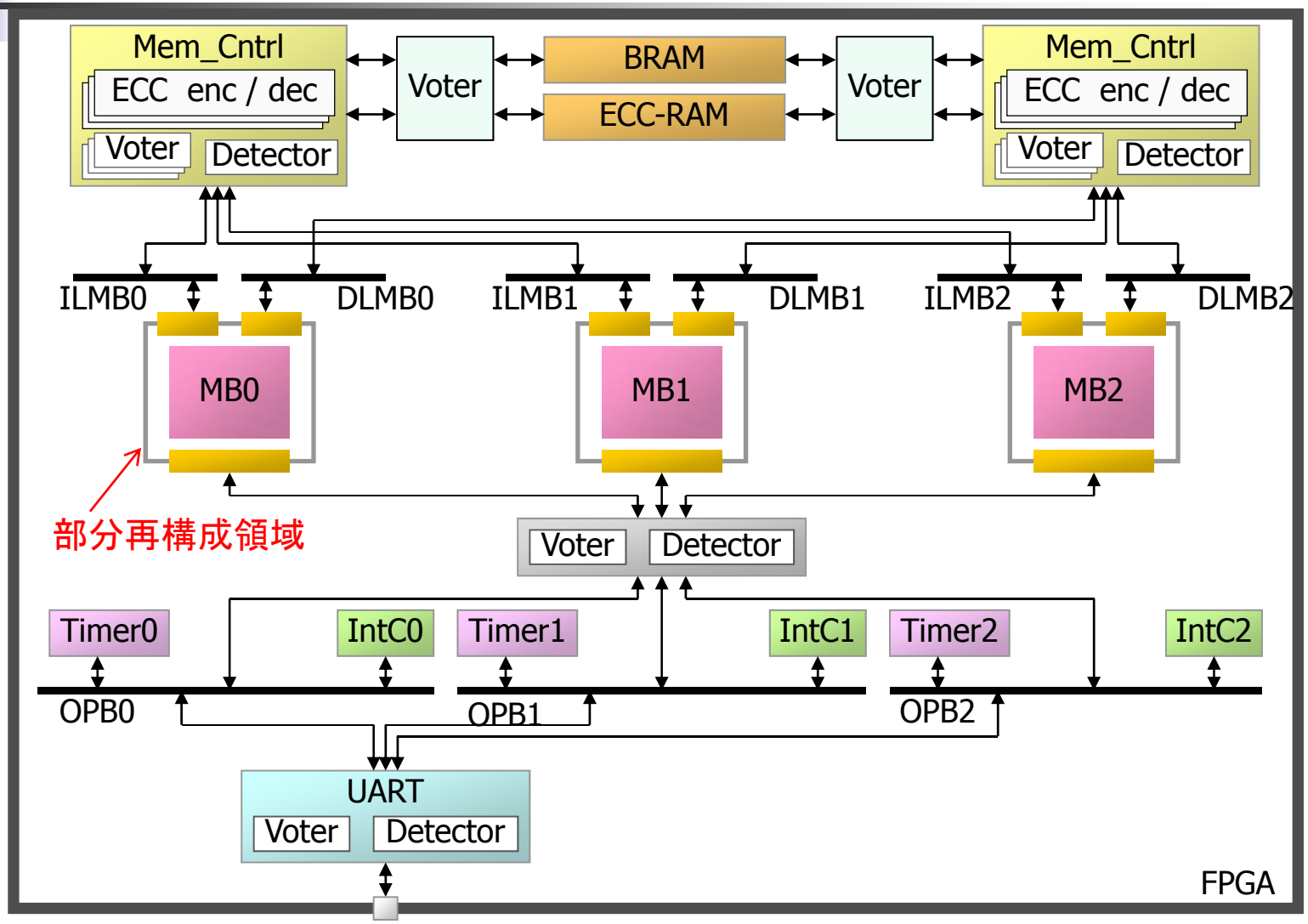


MicroBlazeの実装オプション

- 乗算器，バレルシフタを実装
- 面積最適化は行わない

LMB (Local Memory Bus)　OPB (On-chip Peripheral Bus)

細粒度レベルのテスト・修復のための機能ブロックの全体構成



- コンフィグレーションメモリ：TMR化により保護
- FPGA内蔵メモリ　　：ECC（ハミングコード）により保護

システム実装の結果

実装結果

	スライス数	最大動作周波数 (MHz)
base (ターゲット構成)	1,738	87.9
TMR+ECC	6,475	56.1
TMR+ECC+PR (提案システム)	8,124	50.9

ターゲット構成と比較して

- 回路規模 ： 4.7倍に増加
- 動作周波数 ： 42.1%低下
- BRAM数 ： 32 ⇒ 48 ブロックに増加

復旧時間 (50MHz動作時)

	再構成時間 (ms)	同期処理時間 (ms)
全体再構成による復旧	79.559	—
提案復旧手法	—	0.006

FPGA (XC4VFX60FF1152) : 2,625,439 [Byte],　Platform PROM : 8bit パラレル，33 [MHz]

信頼性の評価について

FIT/Mbit（Failure In Time / Mbit）

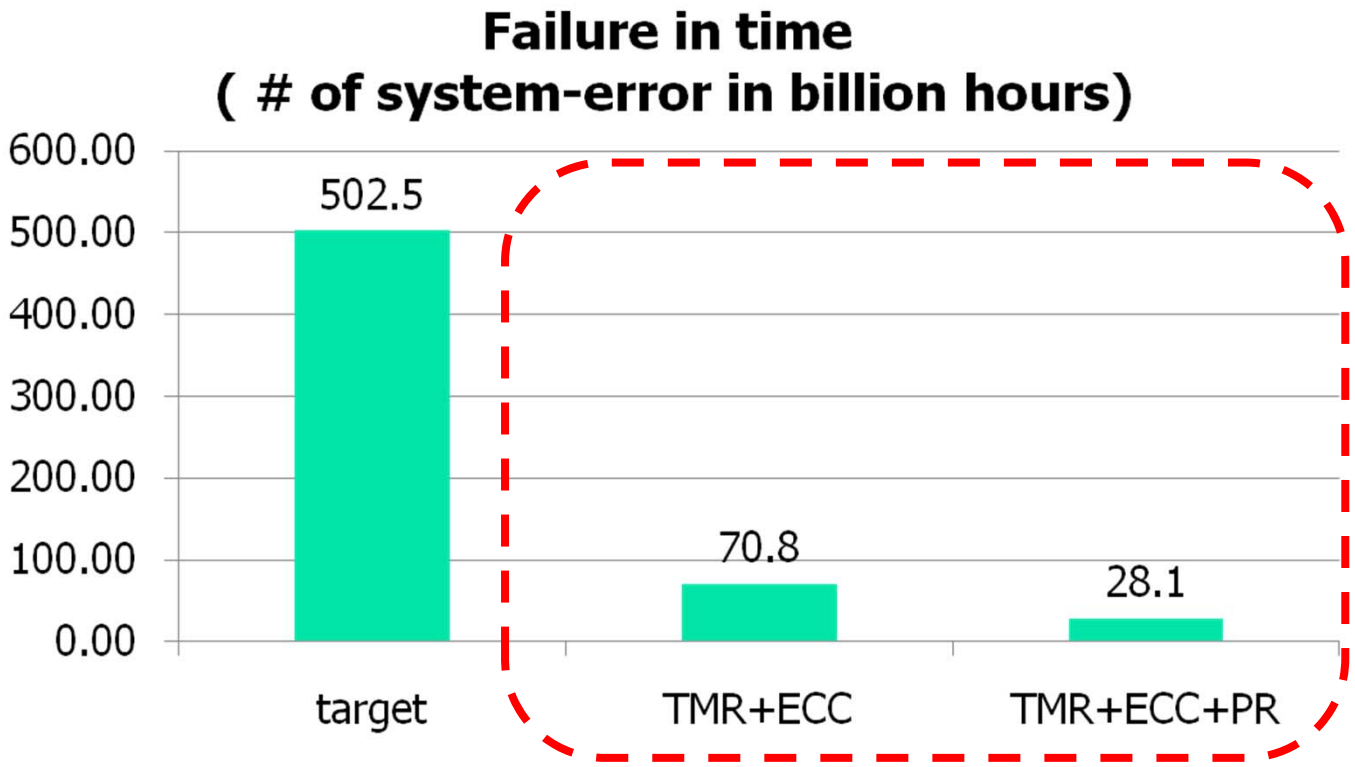
- 1Mbitに対して，10億時間に発生する故障件数
  - Xilinx Virtex-4 FPGAに関しては，資料から引用* **
    - BRAM：427 FIT/Mbit
    - コンフィグレーションメモリ：265 FIT/Mbit
- <u>評価はシステム単位のFITを比較</u>
  - FITは全体再構成が必要な故障の回数とする
  - トランジェントエラーは評価に含めない
- 高信頼化を行わない場合（ターゲット構成）の評価式

$$FIT_{/system} = \frac{265}{1024^2} \times \text{コンフィグレーションビット数} + \frac{427}{1024^2} \times BRAM\text{のビット数}$$

* Lesea, A (Xilinx Inc.),`` Continuing Experiments of Atmospheric Neutron Effects on Deep Submicron Integrated Circuits." White Paper 286 (v1.0.1), May 22, 2009.

** Xilinx Inc.,`` Device Reliability Report - Third Quarter 2009 -" UserGuide 116 (v5.7), Oct 27, 2009.

信頼性評価結果

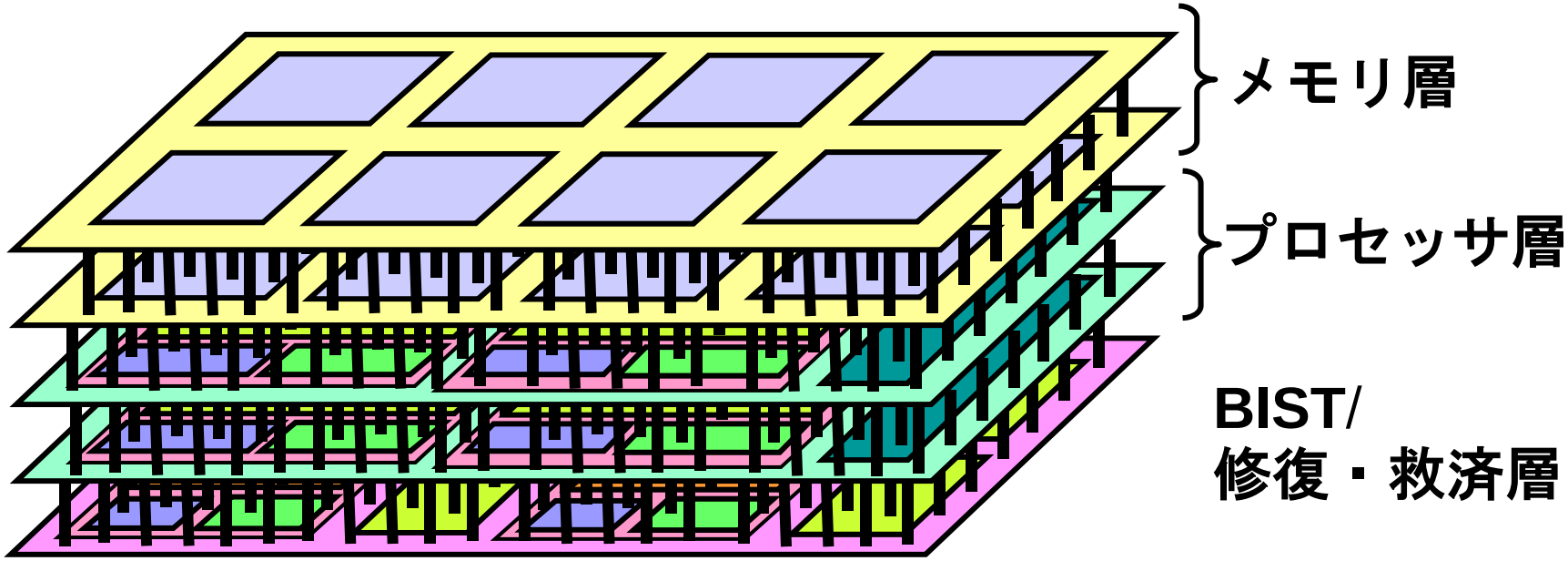


システムあたりのFITを``TMR+ECC”の40%に削減

- FITの低下量はソフトコアプロセッサの回路規模に依存
  - ソフトコアプロセッサにおけるソフトエラーは修復可能
- 高信頼化処理を行わない場合の6%に故障件数を削減

実際に試作する積層型画像処理プロセッサの構成

（小柳グループ）



3次元積層構造とする理由

① デペンダビリティの向上

- メモリ-プロセッサのバンド幅の拡大と結合のフレキシビリティ
- 並列テストと修復の容易化

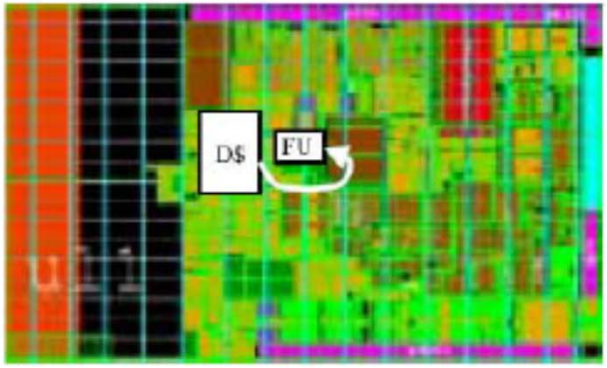
② 低電力化

③チップサイズの縮小によるコスト低減

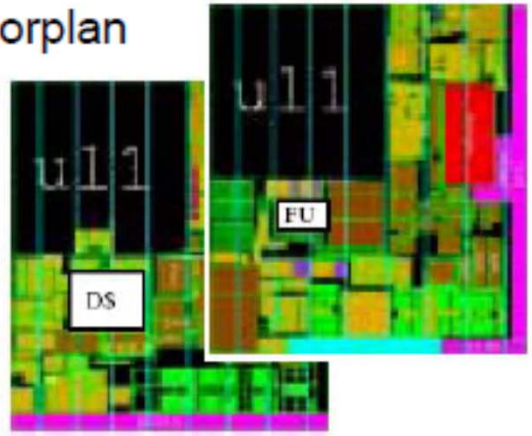
3D Logic LSIにおける消費電力と発熱

Deeply pipelined x86 μProcessor

2D Floorplan



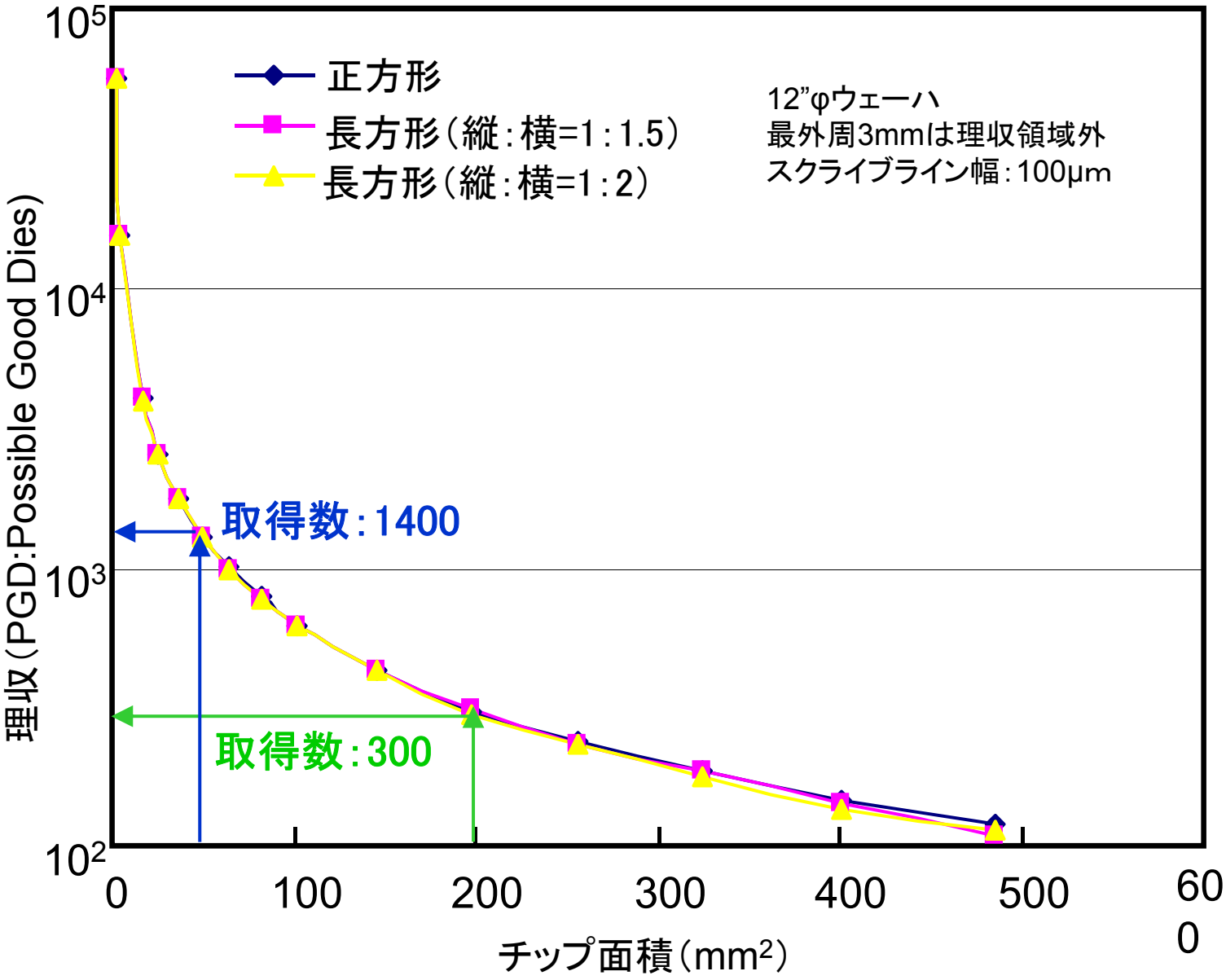
3D Floorplan



	Power (W)	Pwr (%)	Temp (C)	Perf (%)	V_{CC}	Freq
Baseline	147	100	99	100	1	1
Same **Power**	147	100	127	129	1	1.18
Same **Frequency**	125	85	113	115	1	1
Same **Temperature**	97.3	66	99	108	0.92	0.92
Same **Performance**	68.2	46	77	100	0.82	0.82

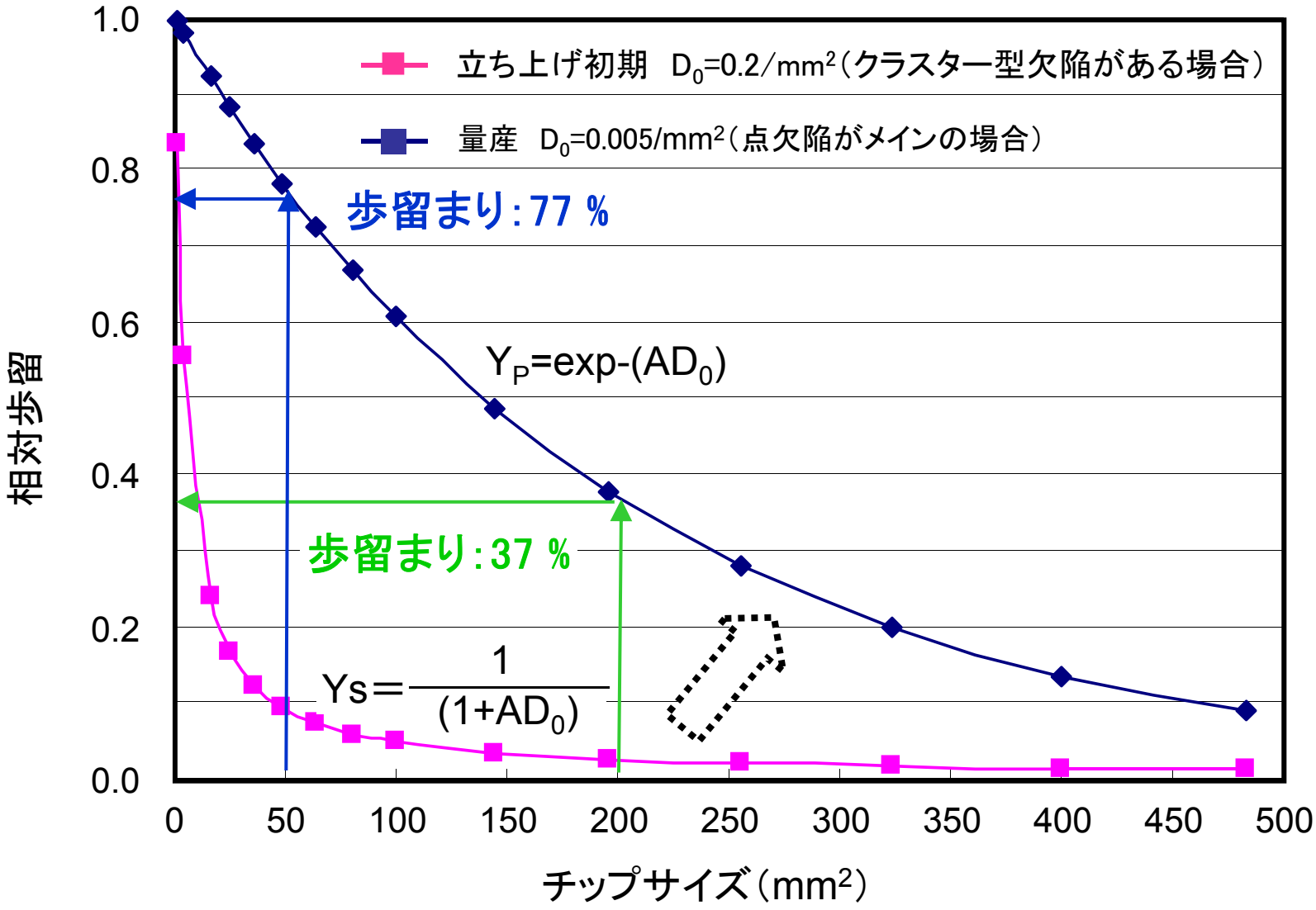
After B. Black et al., IEEE Micro, Dec. 2006

コスト予測（元吉グループ）：チップサイズvs理収



チップサイズ　vs　相対歩留まり（立ち上げ/量産）

立ち上げ初期はSee's Eq.を,量産時はPoisson 分布を仮定



ウェハあたりの良品チップ取得数の比較

2次元チップ（面積：200mm^2 ）

1層当たりの歩留まり： 37 %

ウェハ当たりのチップ取得数： 300個

ウェハ当たりの良品チップ： 111個

3次元チップ（面積：200mm^2 ×4）

1層当たりの歩留まり： 77 %

ウェハ当たりのチップ取得数： 1400個

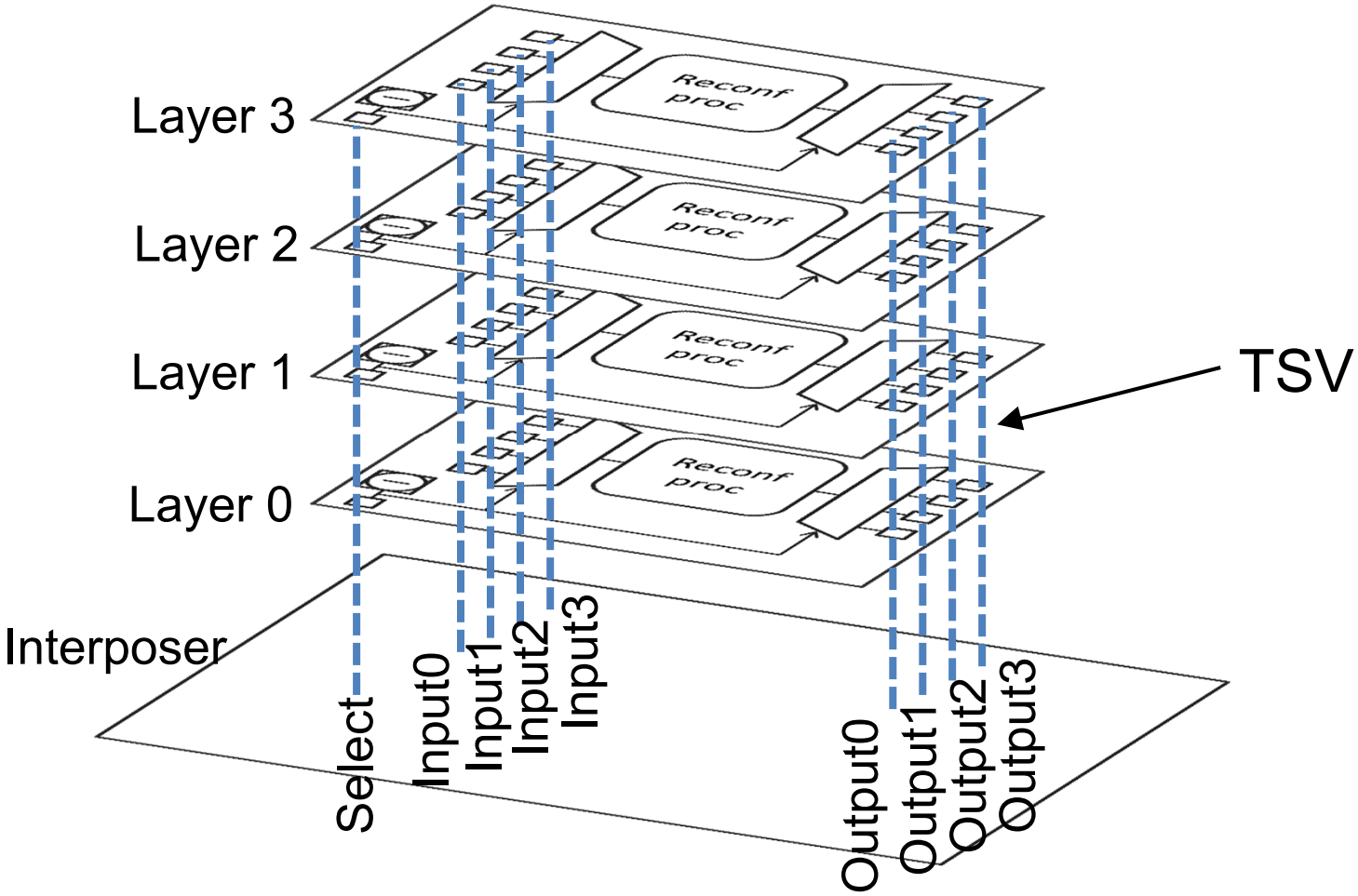
ウェハ当たりの良品チップ： 1078個

ウェハ当たりの良品スタック数： 219スタック

（4層スタック歩留まり：81%）

大きな面積の2次元チップより、小さな面積のチップを積層した3次元チップの方がコストが低い！

積層型画像処理プロセッサ・テストチップの試作

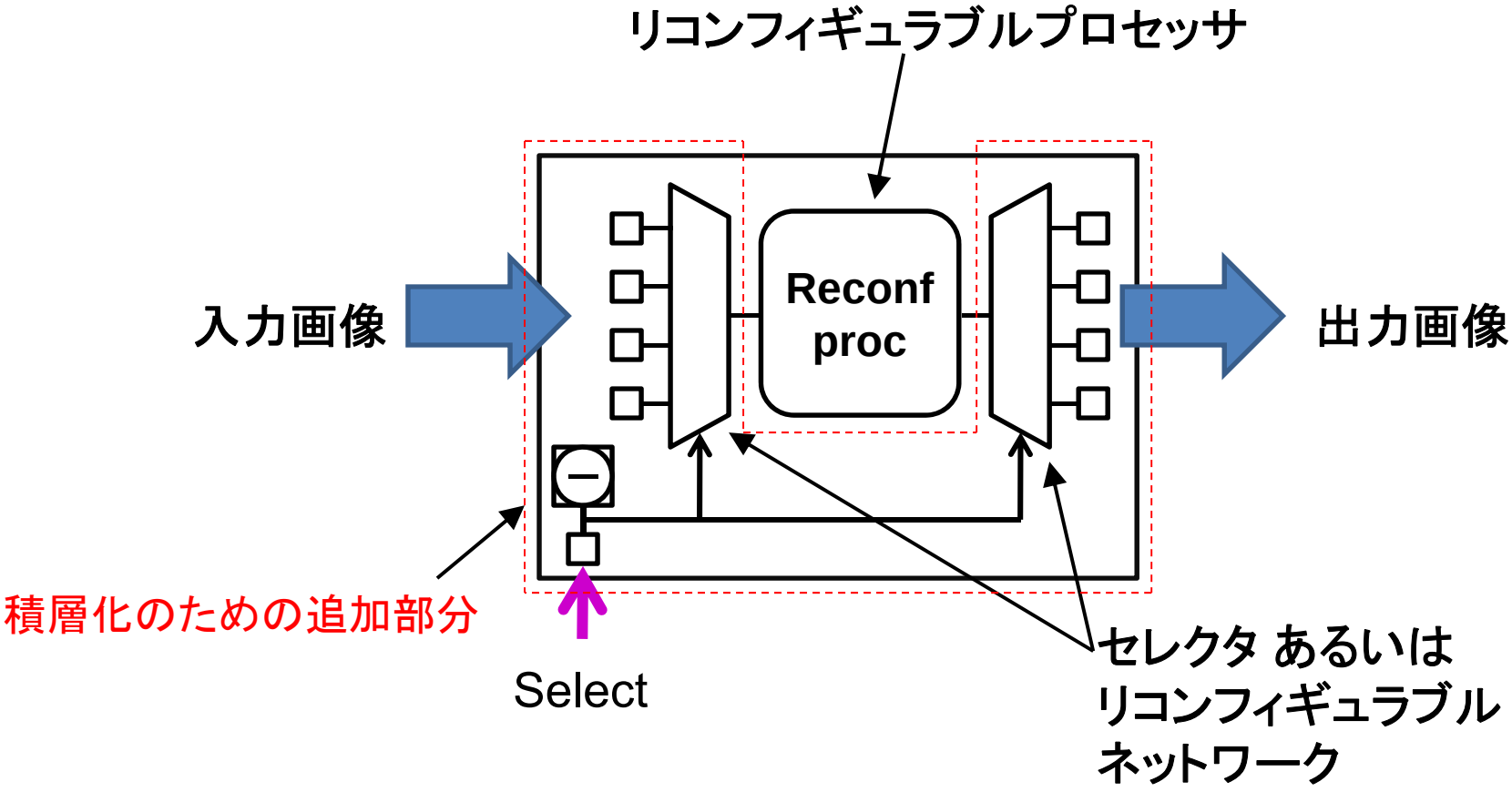


・粗粒度レベルでの修復機能の確認

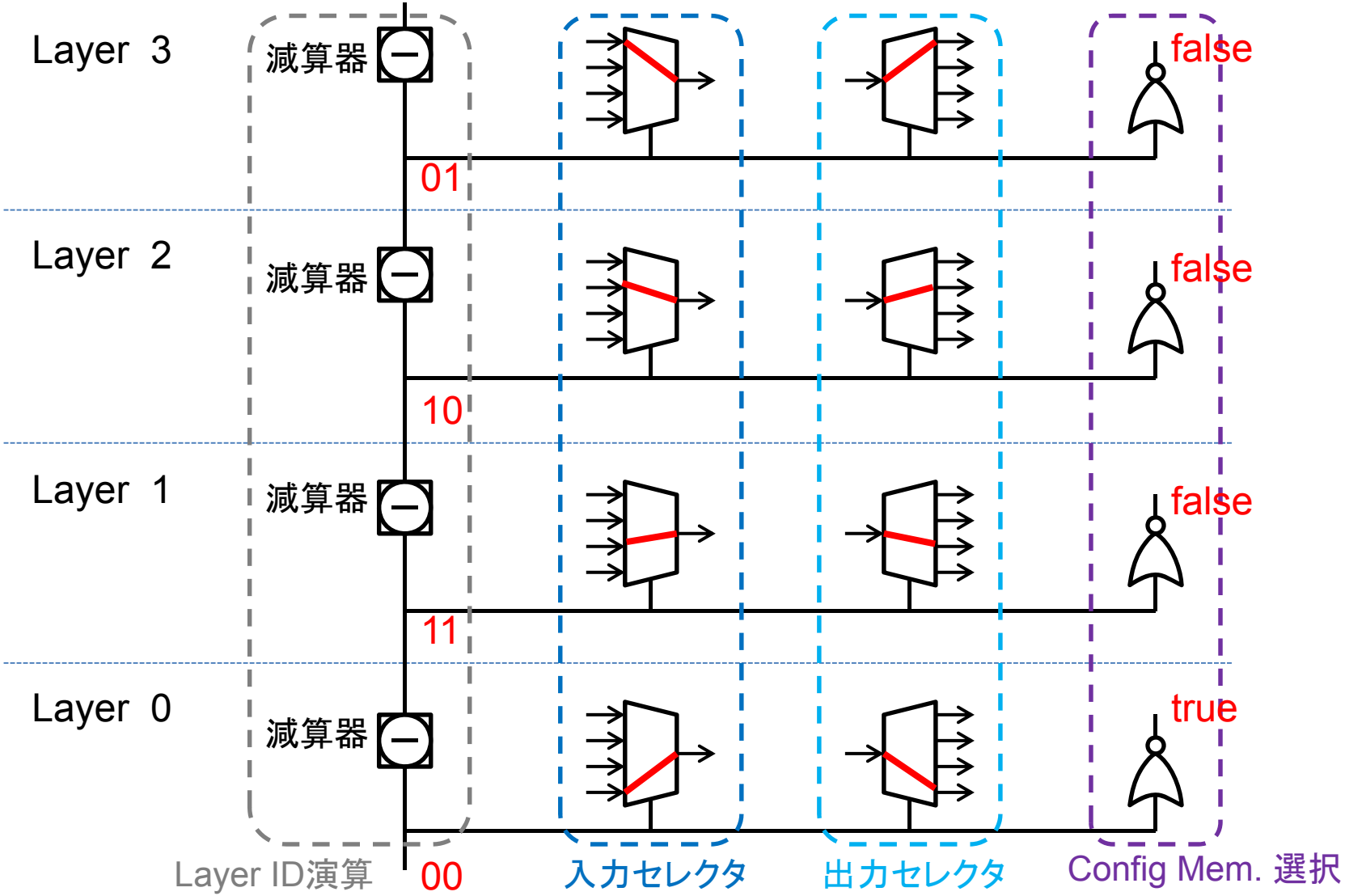
・積層動作の確認

・TSV性能確認

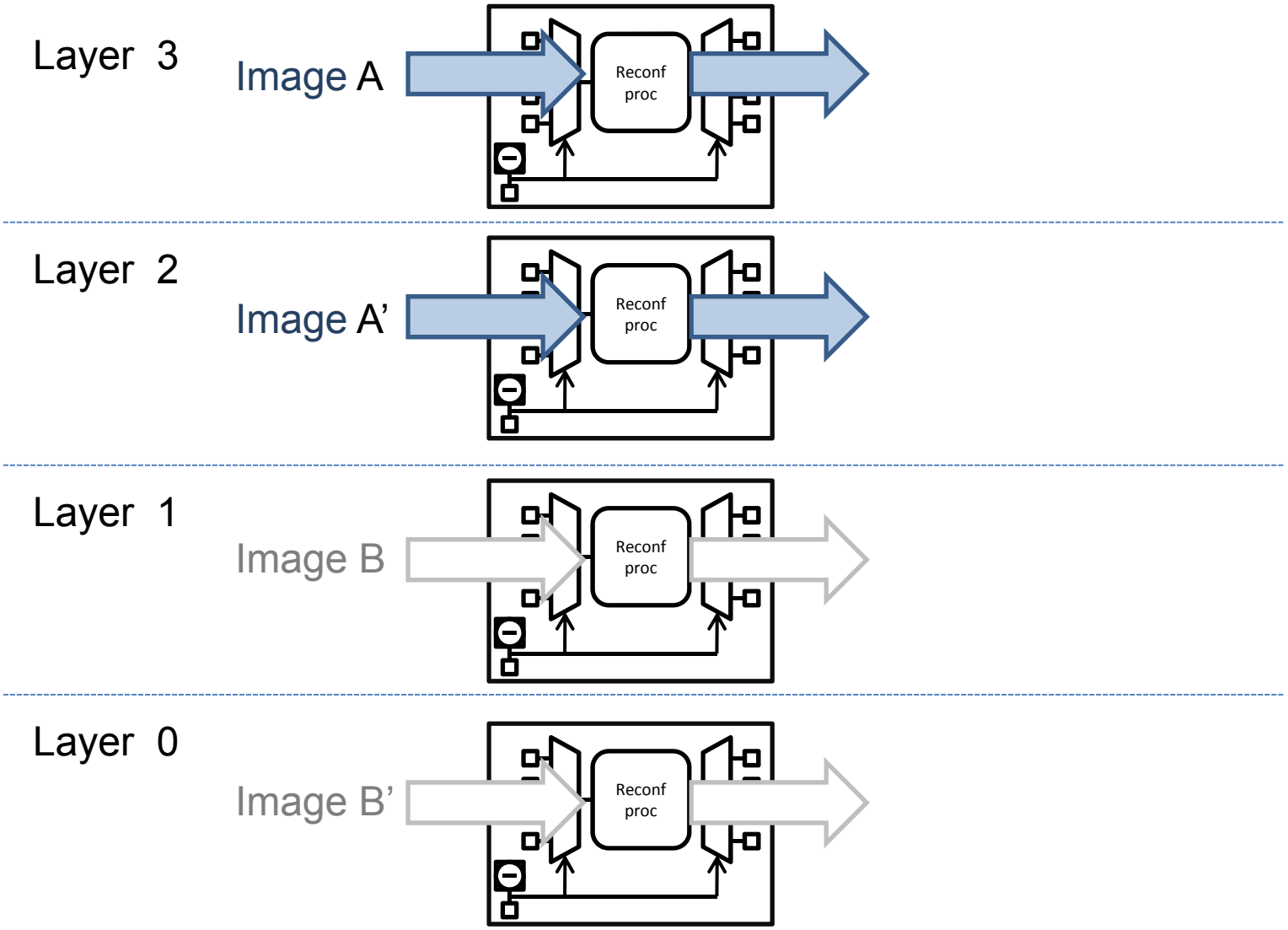
積層型画像処理プロセッサ・テストチップの基本構成



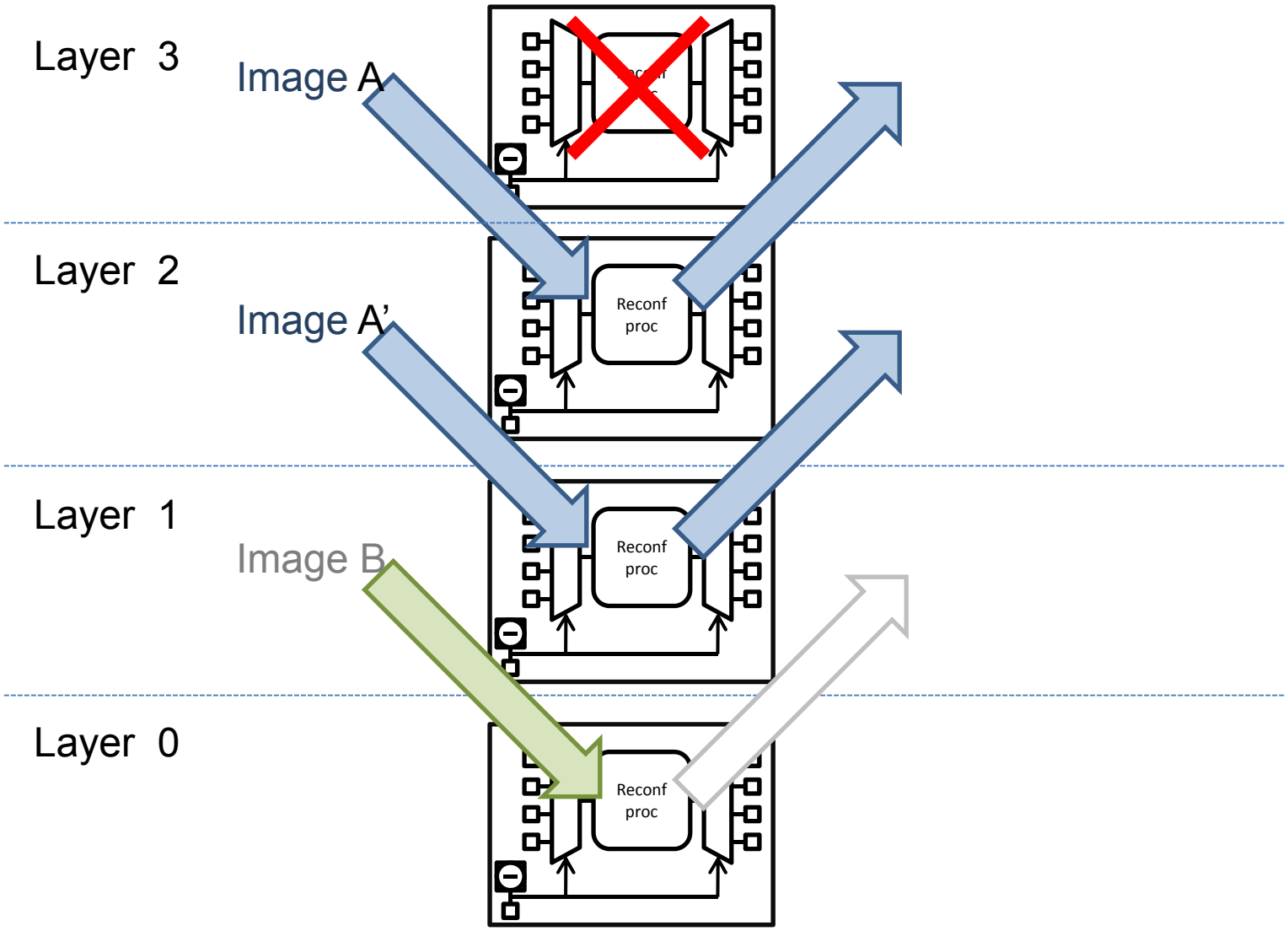
セレクタ制御機構


Layer 3
Layer 2
Layer 1
Layer 0
減算器
減算器
減算器
減算器
01
10
11
00
false
false
false
true
Layer ID演算
入力セレクタ
出力セレクタ
Config Mem. 選択

冗長実行

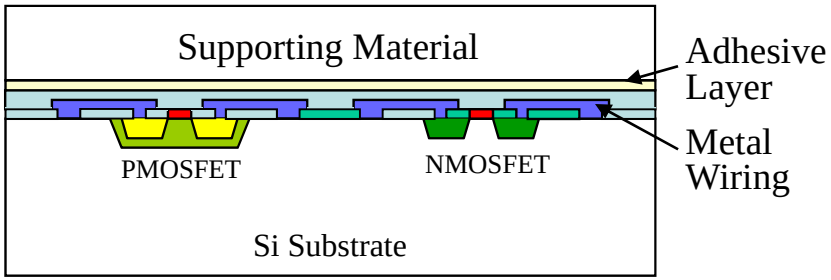

Layer 3
Image A
Reconf proc
Layer 2
Image A'
Reconf proc
Layer 1
Image B
Reconf proc
Layer 0
Image B'
Reconf proc

障害回避

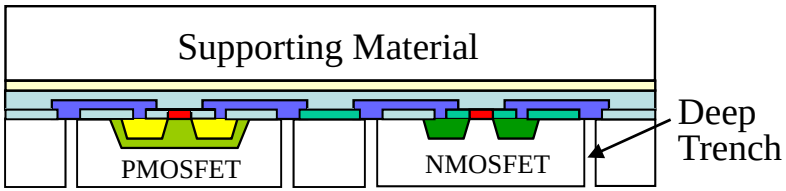

Layer 3
Image A
Layer 2
Image A'
Reconf proc
Layer 1
Image B
Reconf proc
Layer 0
Reconf proc

積層型画像処理プロセッサ・テストチップの作製工程

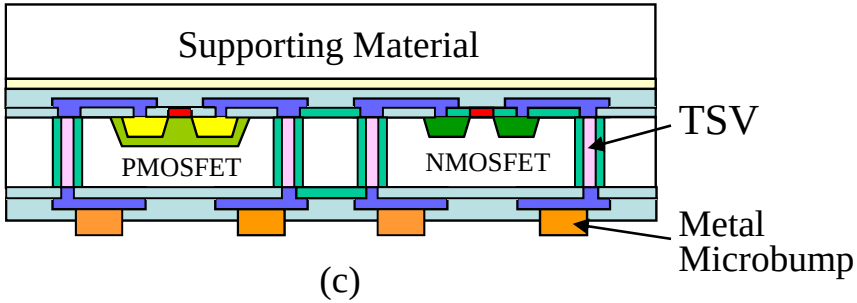
(Back Via)



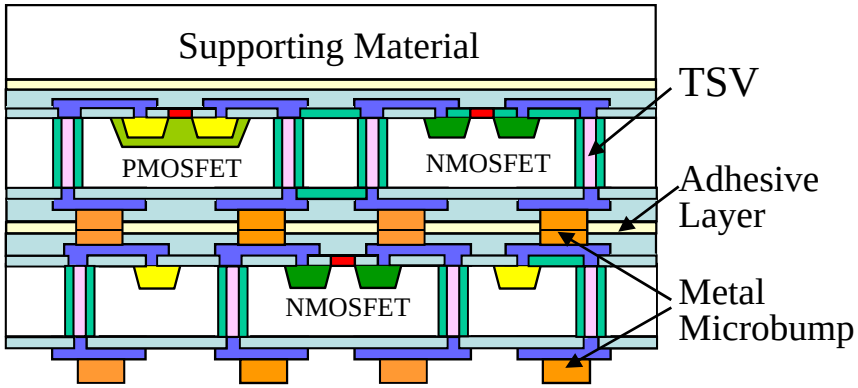
(a)



(b)

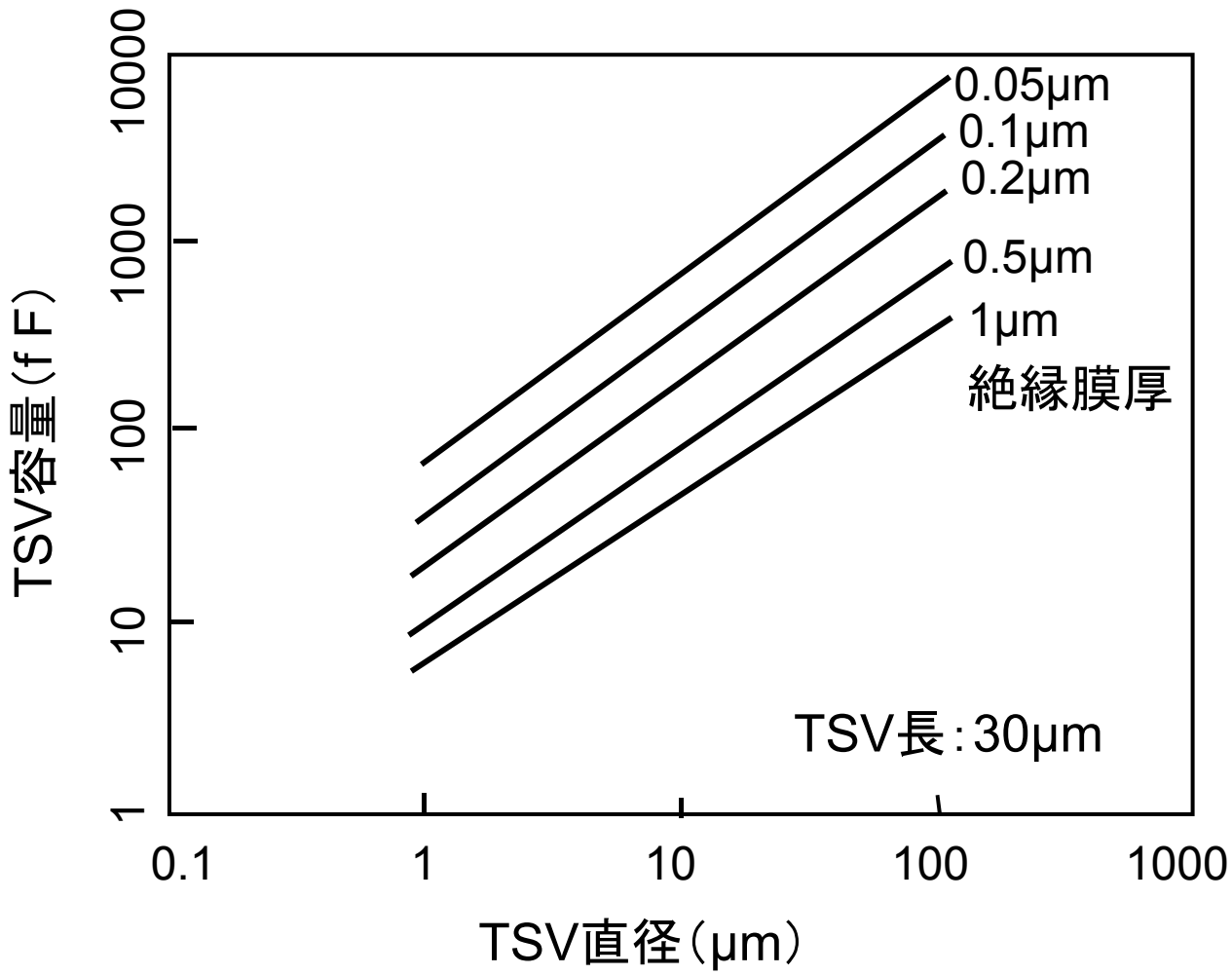


(c)

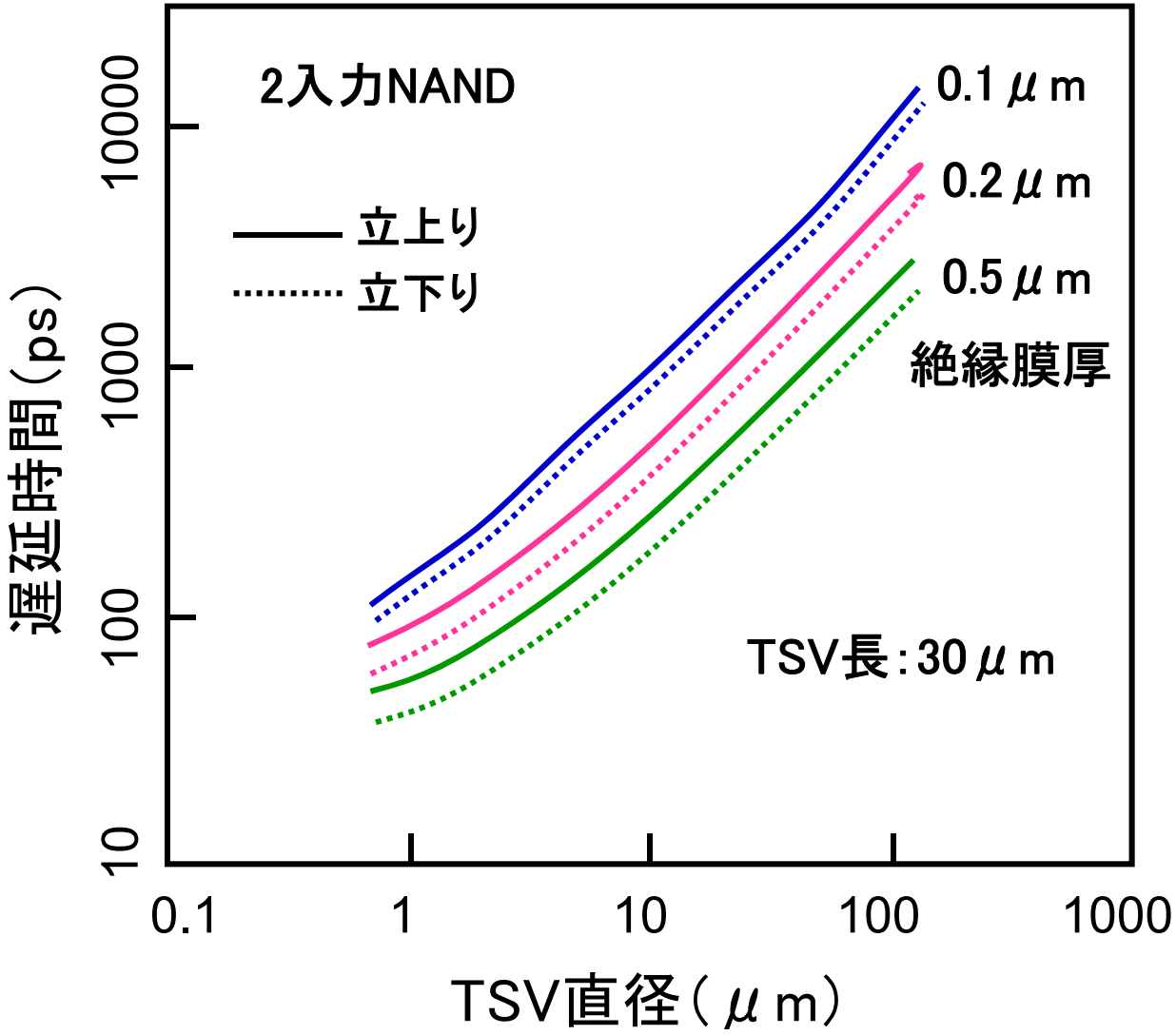


(d)

TSV容量のTSV直径依存性



TSVを駆動するNANDゲートの遅延時間のTSV直径依存性



1.研究の背景

■ 自動車の普及と交通事故の増加

- 乗用車の普及：世界で9億5000万台[1]
- 交通事故件数：年間600万件以上[2]
- 交通事故死亡者数：推定年間127万人

[1]JAMA 2007　[2] IRF, World Road Statistics 2008

依然交通事故が大きな課題

世界の交通事故死者数（千人）

日本	4.9	↘
米国	37.3	↘
欧州	38.6	↘
中国	67.8	→
インド	105.7	↗
東南アジア	7.7	↗
ブラジル	7.1	↗
世界	1270.0	→

法規・基準化（NCAP）動向

	国土交通省： トラック用プリクラッシュシステムの義務化準備
	米国運輸省道路交通安全局： 衝突回避NCAPの導入（2011） 追突警報、車線逸脱警報
	欧州委員会： トラック＆バス用プリクラッシュシステム＆車線逸脱警報の義務化（2013）

NCAP : New Car Assessment Program

新興国は日本の1960年代の状況 でエアバッグ、ABS/ESCの普及が必要

先進国は運転支援システム（走行支援・視界支援等）の普及が必要

2010.6.4
CERST中間報告

@ DENSO confidential / DENSO corporation reserves all rights, including rights of disposal such as copying and passing on to third parties.

2.運転支援システム

衝突

通常運転　回避可能　回避不可　衝突時　衝突後

運転支援システム

常用支援

駐車・取回支援
- ソナー
- バックガイドモニタ
- トップビュー
- すり抜け支援

視界支援
- HID
- AFS
- オート ハイビーム
- ナイトビジョン
- 電子ミラー

覚醒支援
- 視線検知
- 眠気検知
- アルコール検知

- タイヤ空気圧警報
- インフラ協調 制限速度情報提供

走行支援
- ACC
- レーンキープアシスト
- レーンチェンジアシスト
- プリクラッシュ
- 歩行者プリクラッシュ
- 追突警報
- 車線逸脱警報
- 衝突回避システム

車両制御支援
- ABS
- ESC
- TCS

衝突安全
- シートベルト エアバッグ
- ポップアップフード
- 鞭打防止ヘッドレスト
- 歩行者エアバッグ

救助
- 電源カット
- 燃料カット
- ドア アンロック
- e-Call

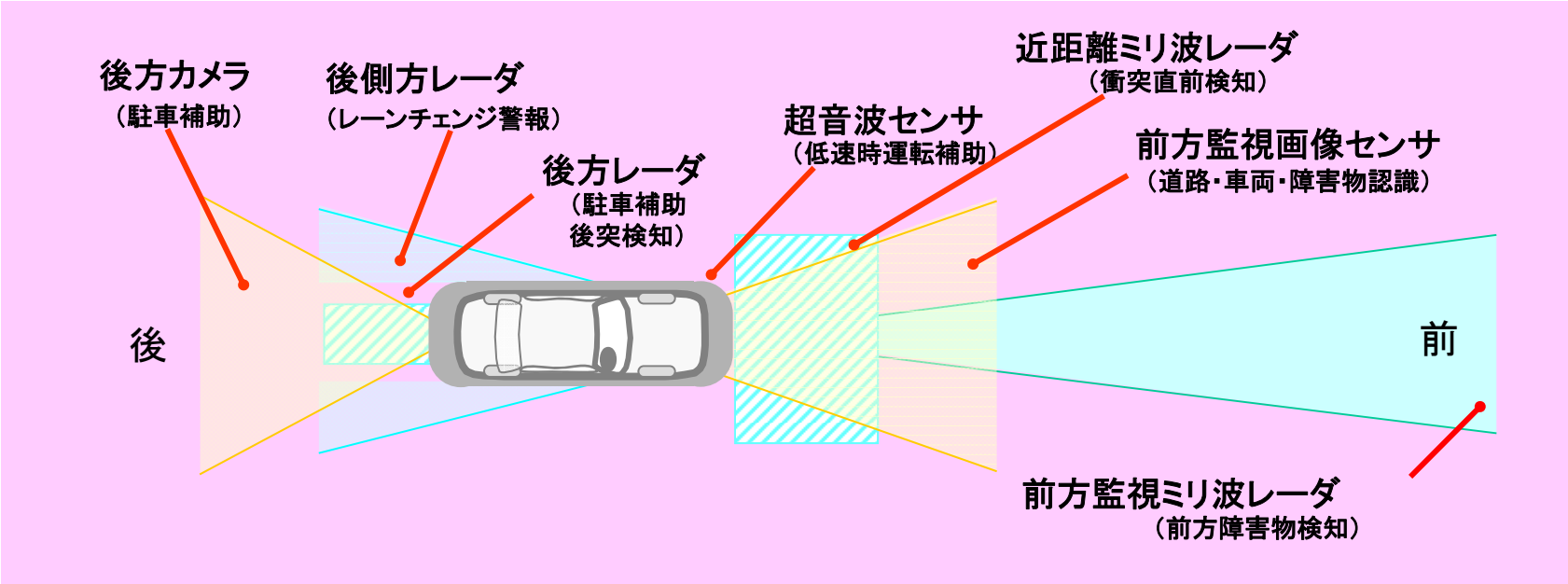
- 低コスト化による新興国への普及
- 法規・基準化を活用した先進国への普及
- 将来技術開発の促進

視覚支援が重要な技術分野となる

@ DENSO confidential / DENSO corporation reserves all rights, including rights of disposal such as copying and passing on to third parties.

3.視覚支援システム

システム構成例



特徴

①故障が事故につながる

②マルチ・多次元センサーによる膨大な情報量

③複雑で高度な処理アルゴリスム

④信頼性向上の為の多重化・ネットワーク化

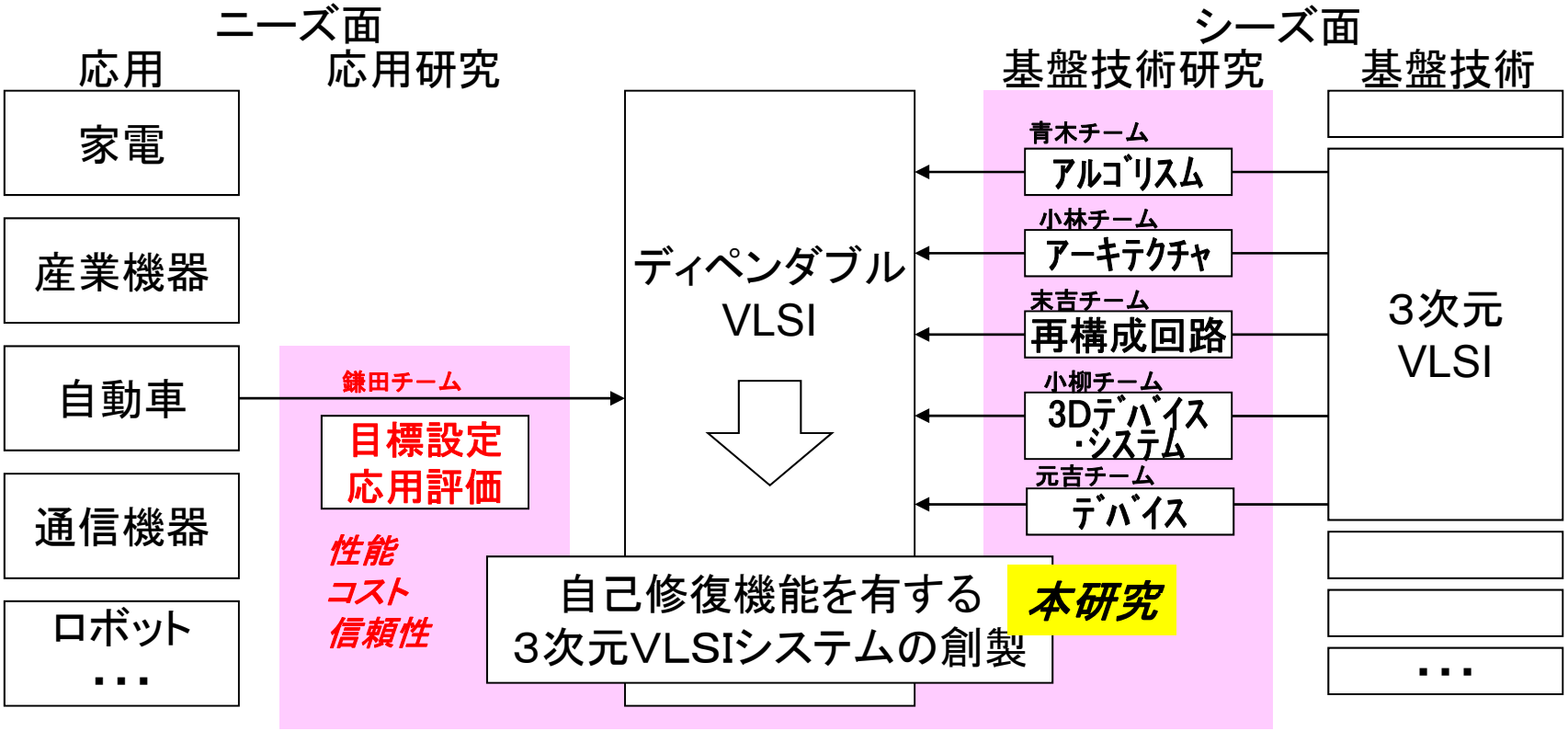
・カメラ　・ソナー　・レーダー　・暗視カメラ　・測距カメラ
・画像合成　・オプティカルフロー　・サブピクセル
・カメラの2重化　・異常検出系の実装　・処理の3重化
・路上カメラデータの利用　・プローブ情報の活用

測距がポイント　また、従来にない性能・信頼性を必要とする

@ DENSO confidential / DENSO corporation reserves all rights, including rights of disposal such as copying and passing on to third parties.

4.本研究のスコープ

自動車の視覚支援システムに応用できる性能・コスト・信頼性を持つLSIが3次元加工を用いる事で実現出来ないかを研究する



研究に先立ち目標設定（性能・コスト・信頼性）を行う

@ DENSO confidential / DENSO corporation reserves all rights, including rights of disposal such as copying and passing on to third parties.

5.目標の設定

・性能

1TOPS　2015年

・マルチセンサ統合処理
・精度向上　・多重化
・上位言語対応

普及フェーズ

100GOPS　2010年

・夜間,悪天候対応
・高精度測距　・衝突防止
・後方,路面認識
・車室内監視

展開フェーズ

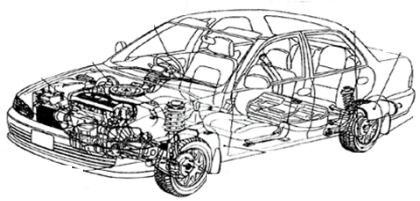
10GOPS　2005年

・バックガイドモニタ
・車間距離検出
・白線検知

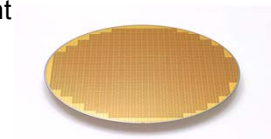
導入フェーズ

・コストと電力

視覚支援システムが10万円として
CPUのコストを5%とおくと5000円
Chipのコストに分解すると1500円
電力は強制冷却を避ける為<5W



最新1Tflopsの級のGPU(3BG)が
40nmで1.4GHz,500mm2,150W
22nmだと1.4GHz,180mm2,50W*
*IEDM2009 GPU technology trend and future requirement



**コストは見合う可能性があるが
電力性能は1桁下げる必要がある**

・信頼性

<u>一般的な車載半導体への要求</u>
10FIT
車が1万個の部品から成れば
=100,000FIT
1日3時間使用で9年間に1回故障

<u>自動車の人間系も含めた信頼性</u>
乗用車9億5000万台
事故年間600万件=5,770FIT*
*1日3時間使用するとして計算

⇩

<u>視覚支援システムへの要求</u>
人による運転よりも安全なこと
故障の80%が事故につながり
500個の部品から成ると仮定し
他の部品は10FITと仮定すると
2200FIT以下が
他の部品と均等に割ると
14FIT以下が必要となる

@ DENSO confidential / DENSO corporation reserves all rights, including rights of disposal such as copying and passing on to third parties.