

「ディペンダブルVLSIシステムワークショップ2011/12」

超高信頼性VLSIシステムのための ディペンダブルメモリ技術

神戸大学大学院システム情報学研究科

吉本 雅彦

永田 真

川口 博

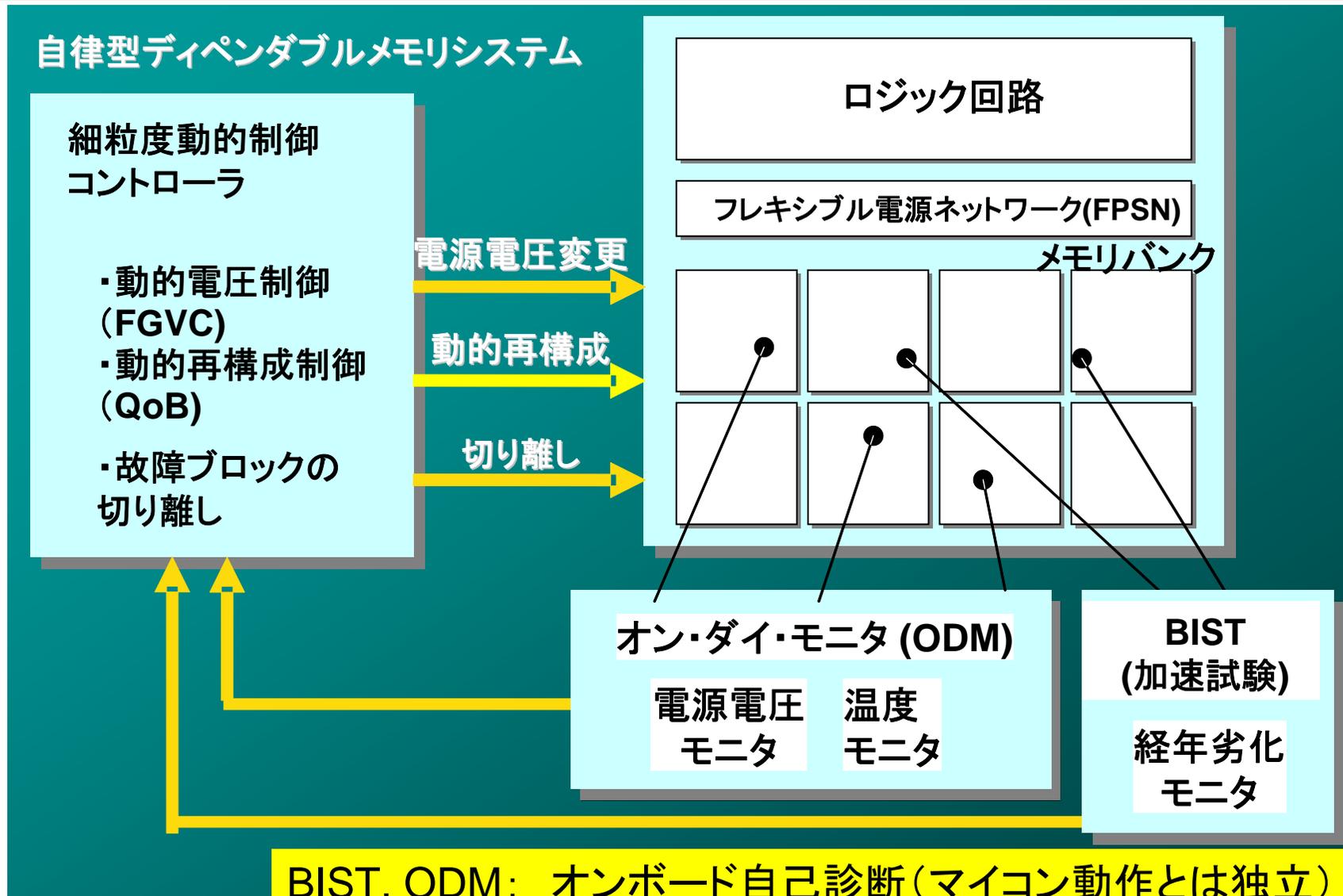
ルネサスエレクトロニクス

新居 浩二

日立製作所中央研究所

於保 茂

自律型ディペンダブルメモリ(概念図)

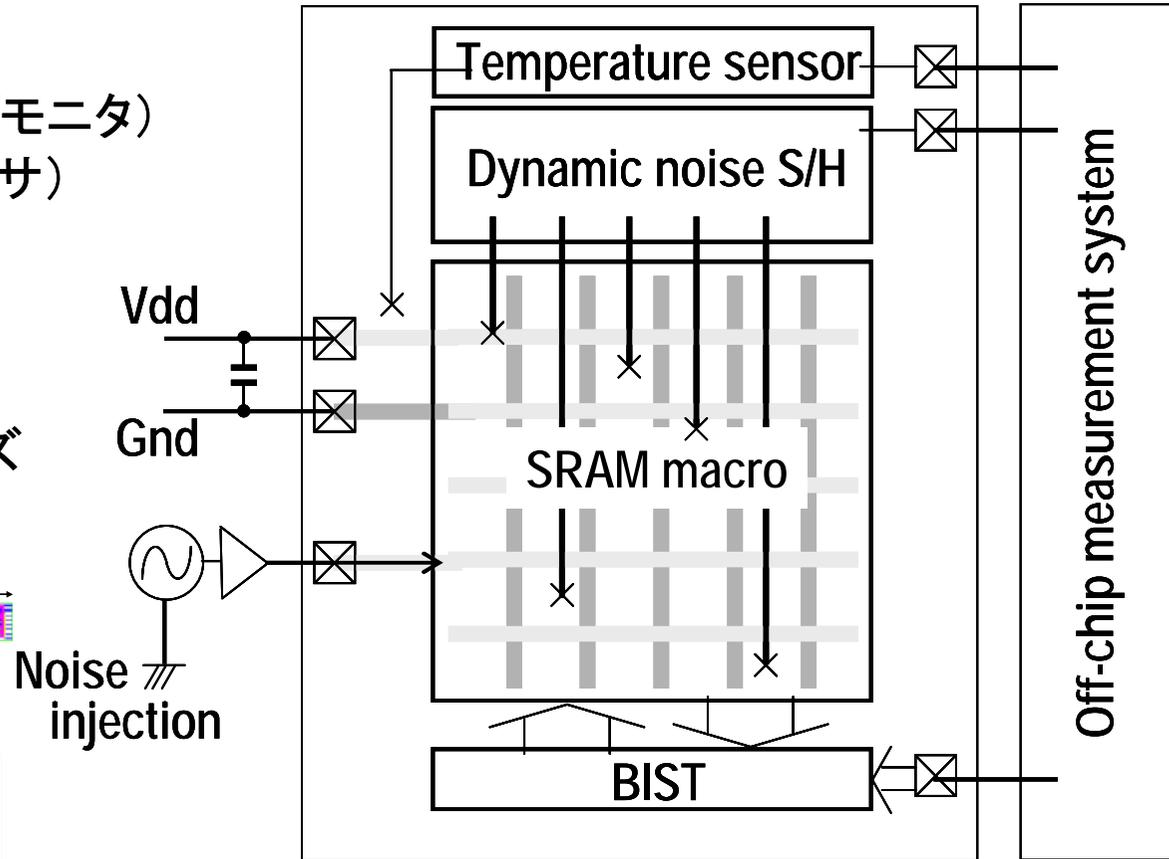
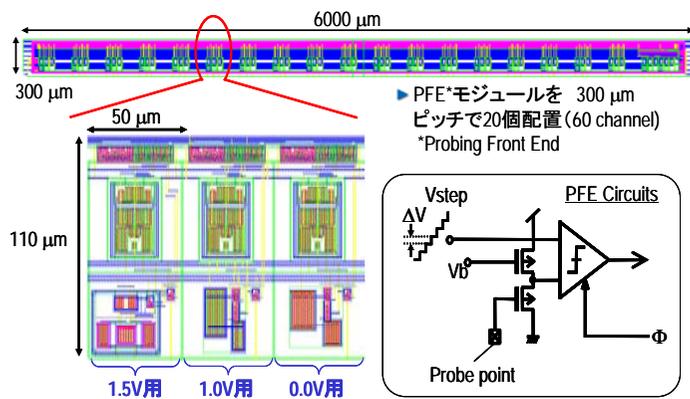


BIST, ODM: オンボード自己診断(マイコン動作とは独立)
FGVC(Fine Grain Voltage Control):自動電圧マージン最適化
QoB(Quality of Bit):マイコン制御で高信頼モードへ移行

オンチップ環境モニタ

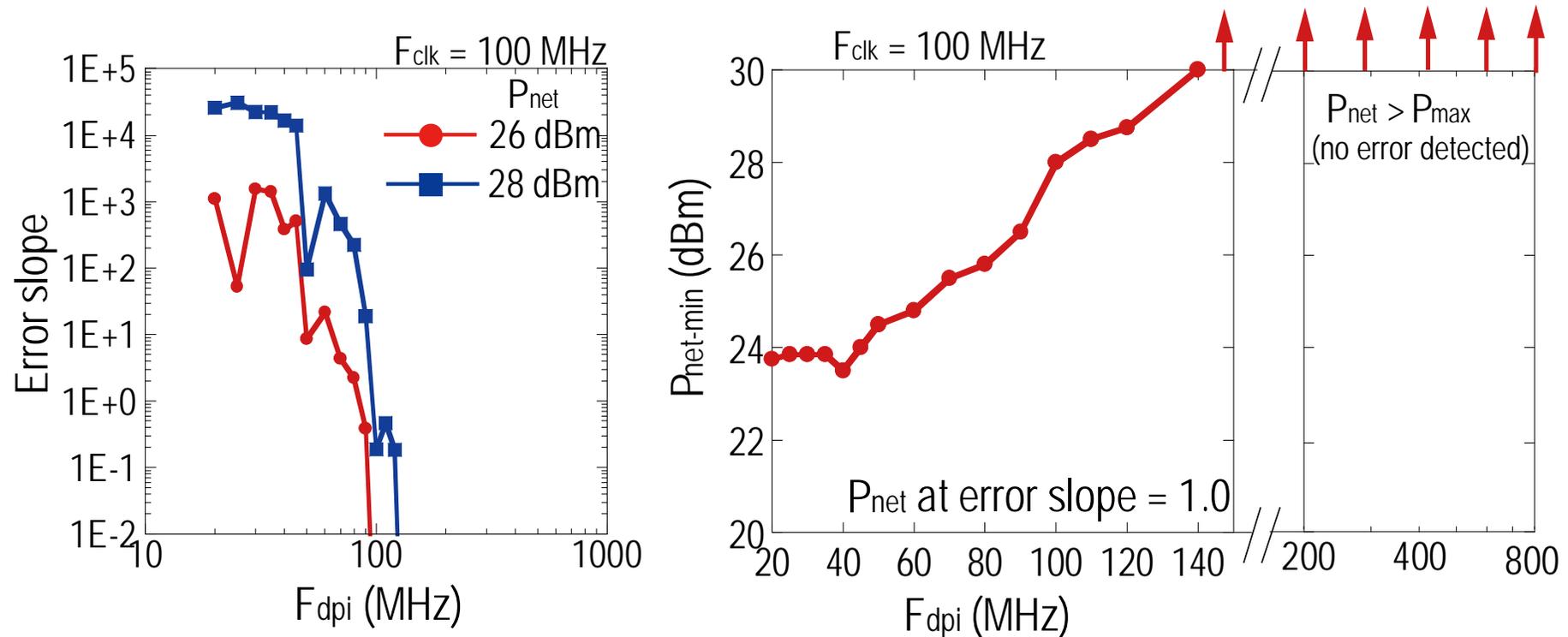
- ▶ 環境要因の評価
 - 電源ノイズ (オンチップモニタ)
 - 温度ドリフト (温度センサ)
 - ビットエラー率 (BIST*)
- *Built-in Self Test

- ▶ SRAM動作の評価
 - 外来ノイズと自己ノイズ
 - ノイズとビットエラー



直接電力注入(DPI)法による SRAMコアの外因性ノイズ感度の評価

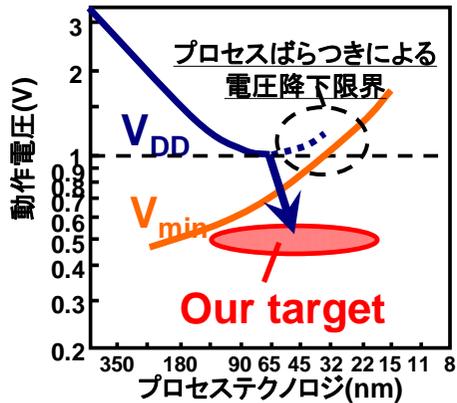
IEEE EMC Compo 2011



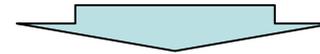
- ▶ 電源ノイズAC周波数とともにエラービットの発生する最小電力が増加
→ SRAMは高い周波数の電圧変化に不感、低周波ノイズの底値に敏感

★ 電源ノイズのDroop/bottom観測によるdependable memory assistの妥当性

細粒度QoBによるキャッシュのVminの改善(1/2)

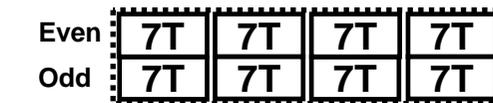
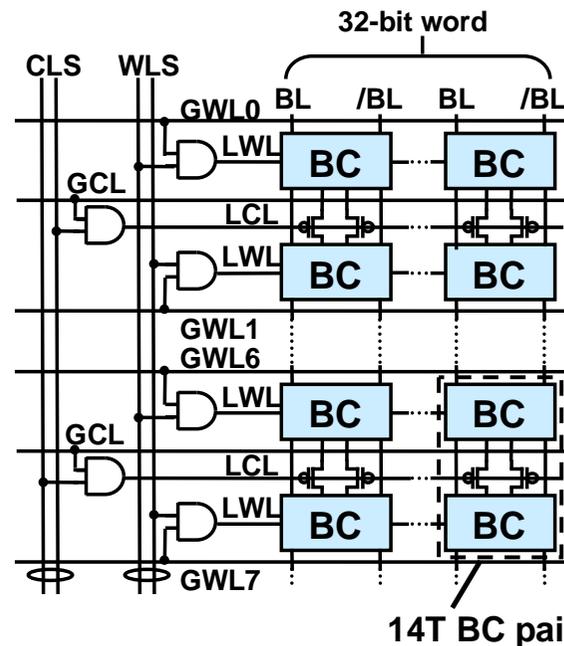
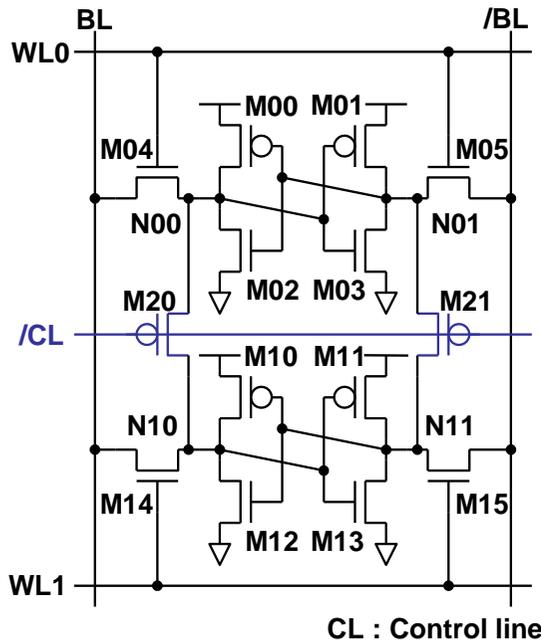


Tr.特性のばらつく先端プロセスにおける大規模SRAMの低電圧動作は大きな課題

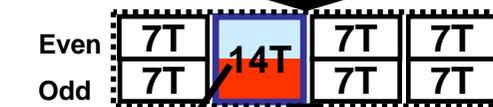


プロセスばらつきに対応して、細粒度で7T/14T SRAMの制御を切り替えることが可能なキャッシュアーキテクチャを提案

7T/14T SRAM + Divided control line + 提案テスト手法



Test



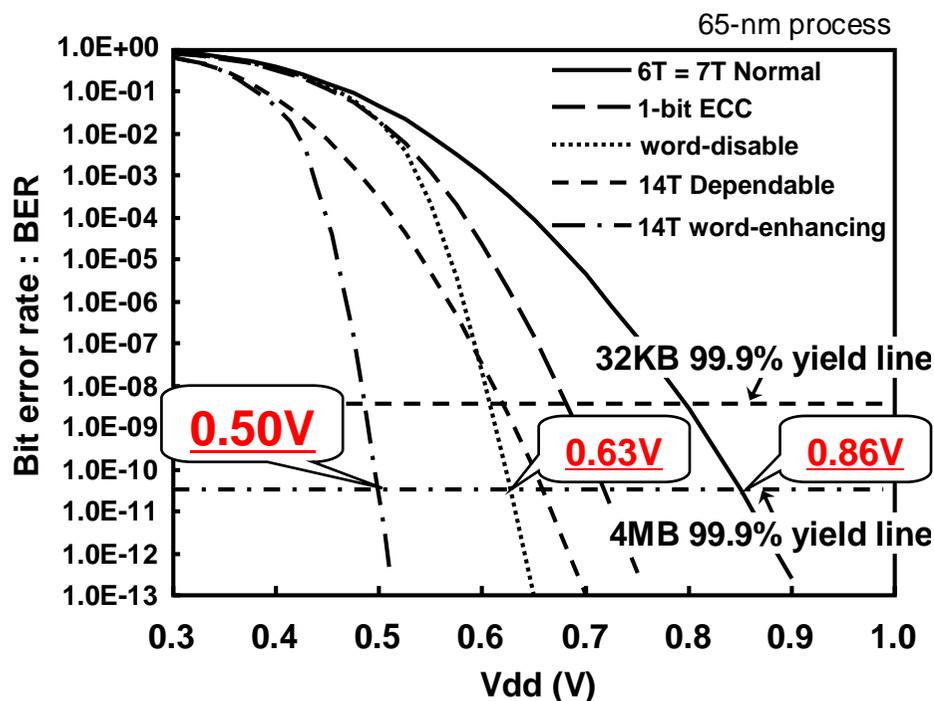
次のテスト時に14Tモードを適用

Test



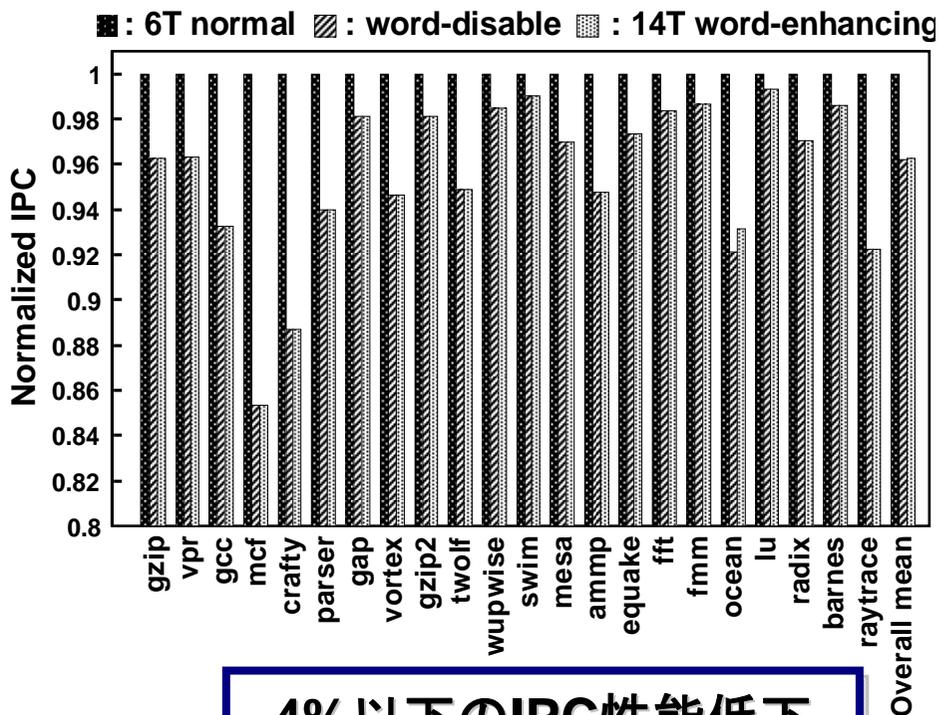
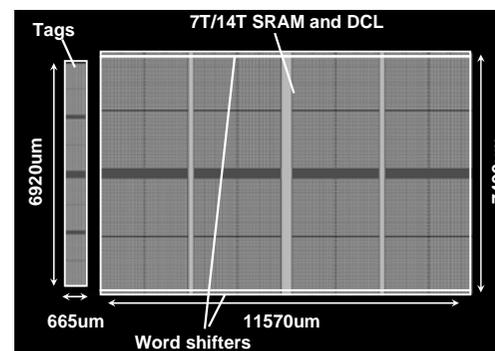
ワード毎に14Tモードを段階的に適用する

細粒度QoBによるキャッシュのVminの改善(2/2)



6T SRAM, word-disable(Intel '08)
 と比較して大きく低動作電圧化が可能
 であり, 4MB, 0.5Vでの動作が可能

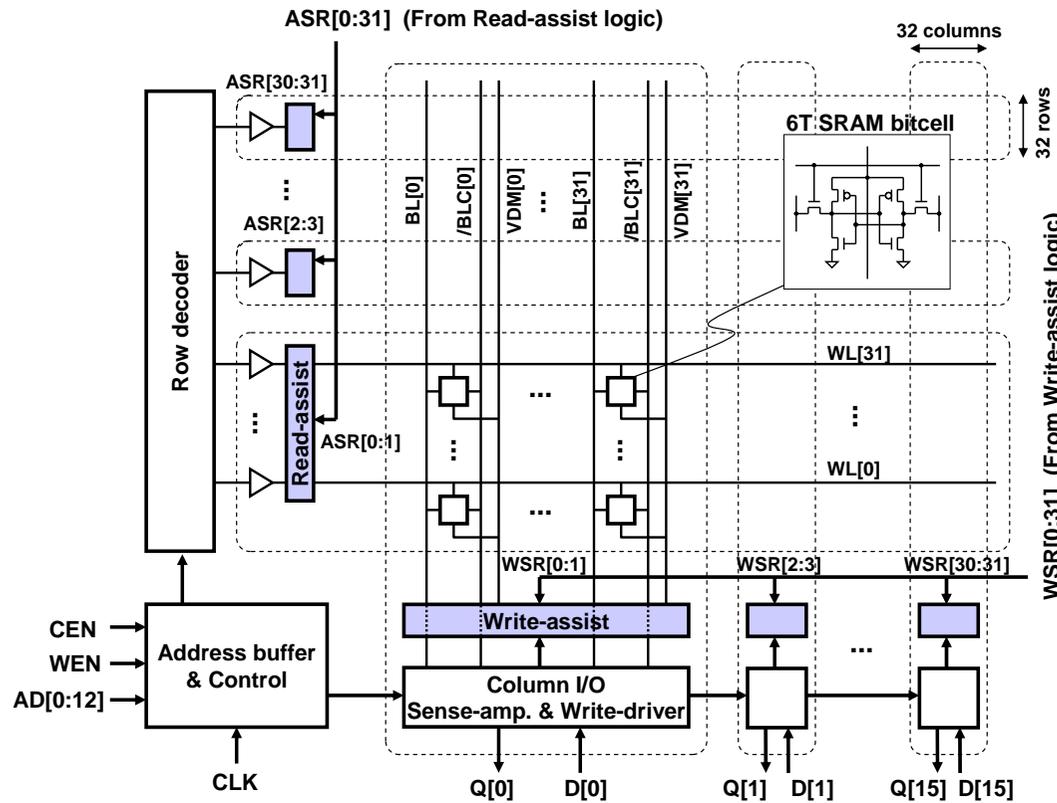
65nmプロセスによるレイアウト



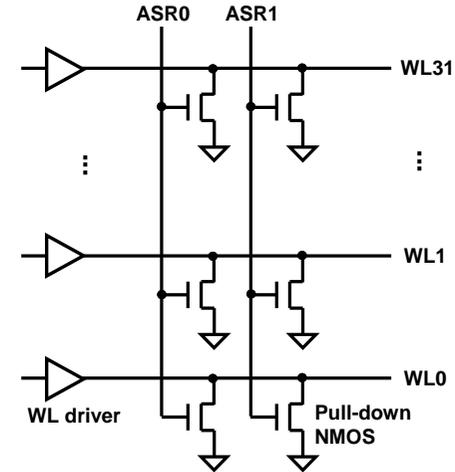
4%以下のIPC性能低下

細粒度アシストによる電圧制御SRAM(1/2)

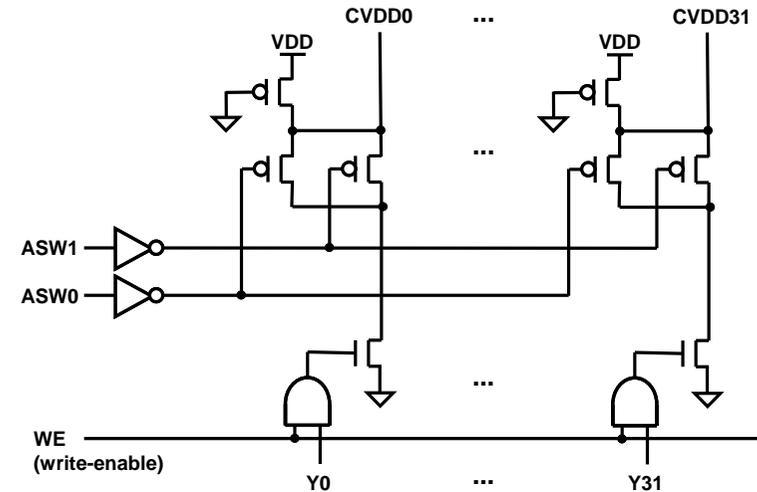
- ・90nmプロセスにて128kb SRAMモジュールを設計
- ・細粒度制御可能なリード及びライトのアシスト回路を付加
リードは32行単位、ライトは32列単位で電位を4段階制御
ワード線(WL)降下によるSNM改善(リード)、セル電源線
降下によるライトマージンの改善を図る
- ・面積オーバーヘッドは3%以下



128kb SRAM 回路ブロック図



リードアシスト回路

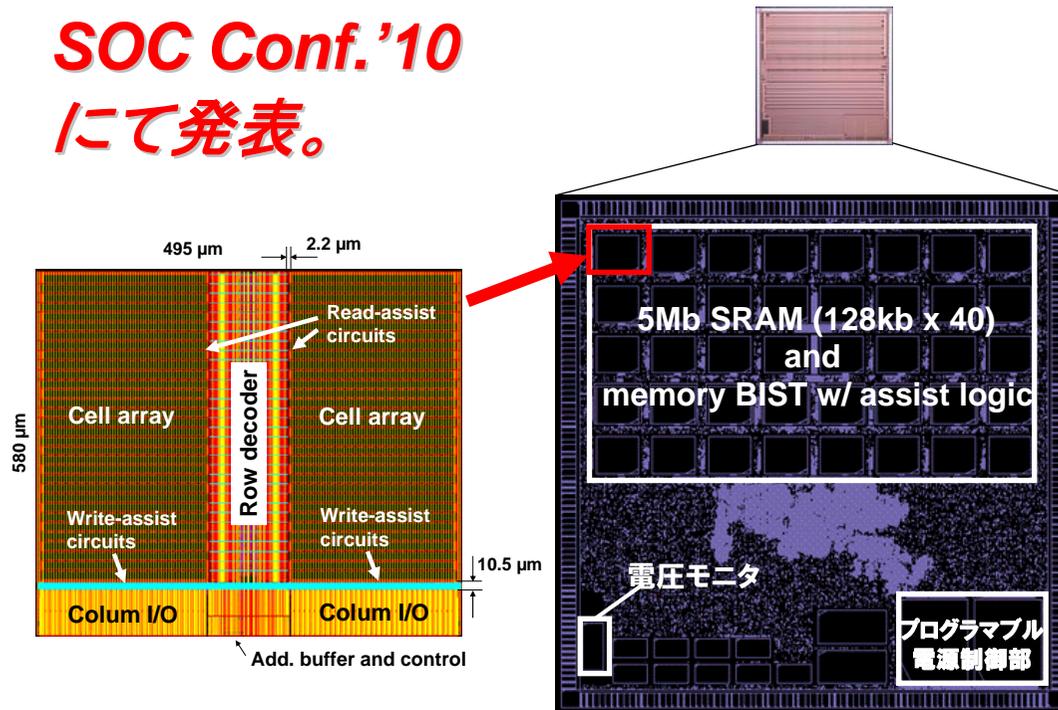


ライトアシスト回路

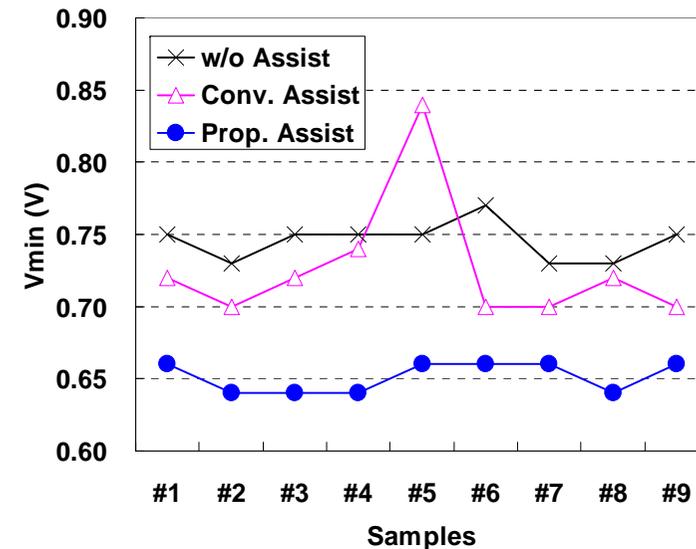
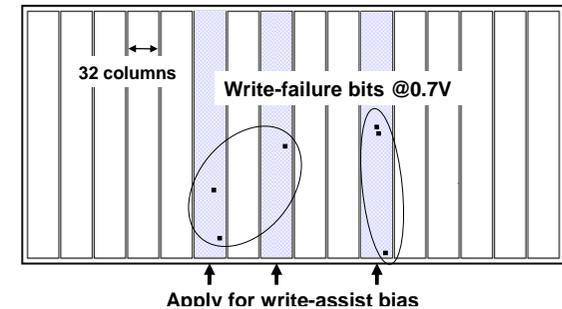
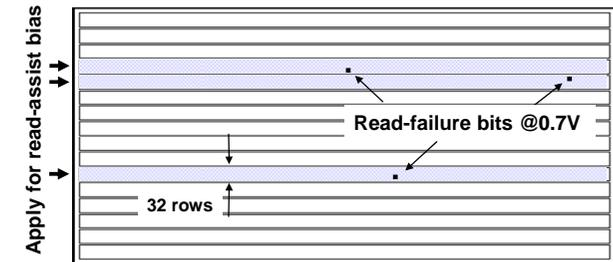
細粒度アシストによる電圧制御SRAM (2/2)

- ・90nmプロセスにて要素TEGチップを設計・試作評価
5Mb SRAM、メモリBIST、フレキシブル電源ネットワークの要素回路をインプリメント
- ・不良ビットを含む細粒度セグメントブロックにのみ、アシストバイアスを制御(リード:行、ライト:列方向)
- ・提案回路により、従来に比べ40mV~180mVのVmin改善効果(~21%)を確認

SOC Conf.'10
にて発表。



要素TEGチップと128kb-SRAMレイアウト

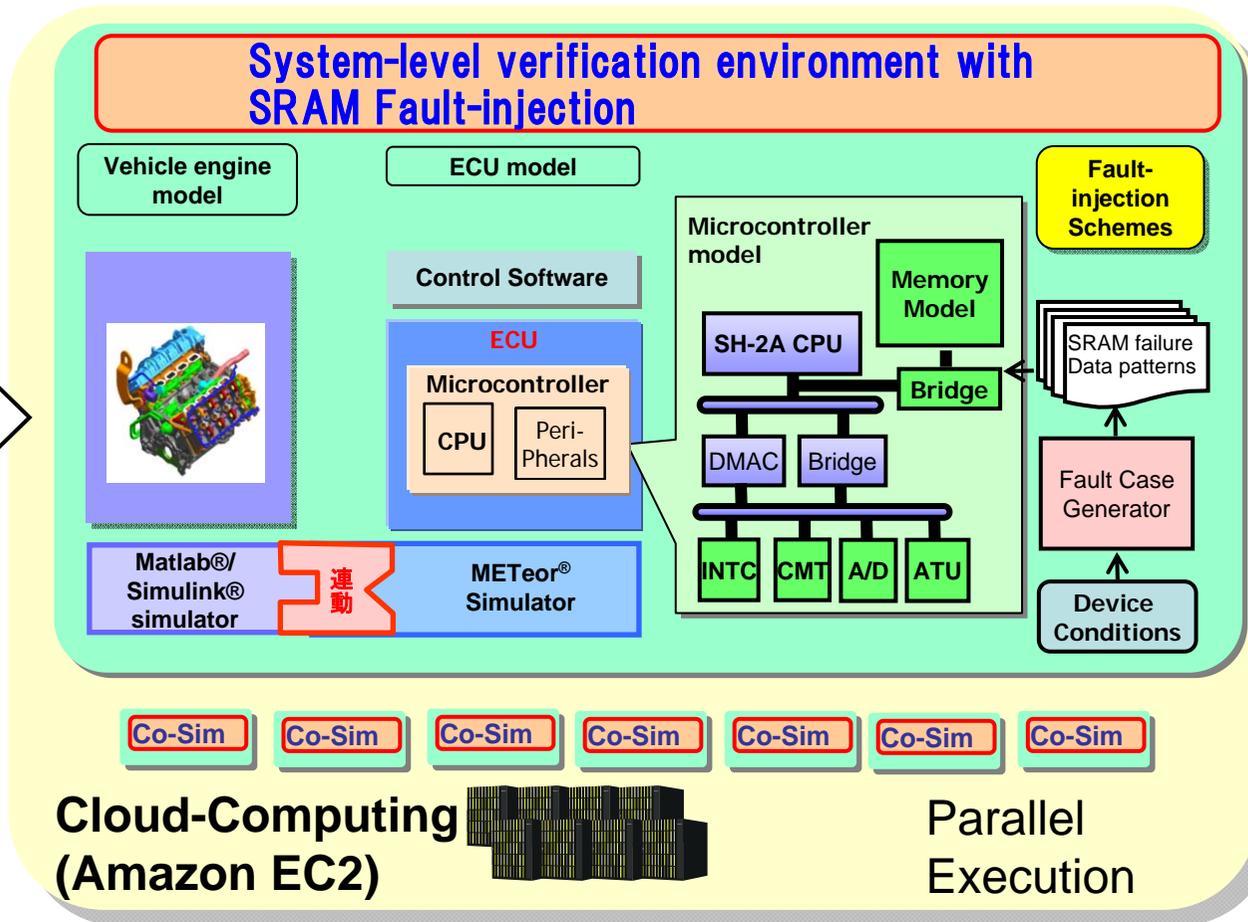
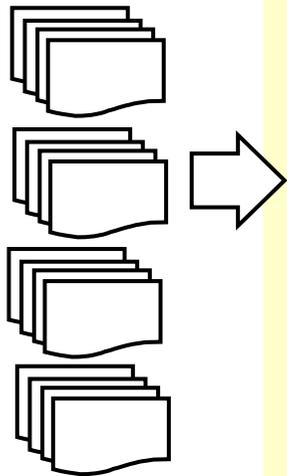


実測結果

クラウドコンピュータを用いた 大規模Virtualization実行

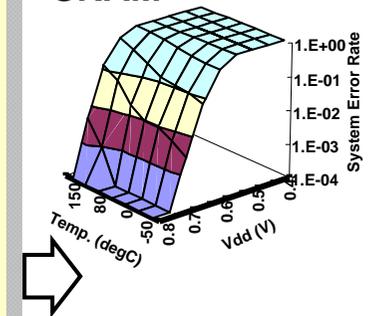
クラウドコンピューティングを用いた並列実行による、自動車制御システムレベルでの網羅的検証が可能な環境を構築

Test
Scenarios

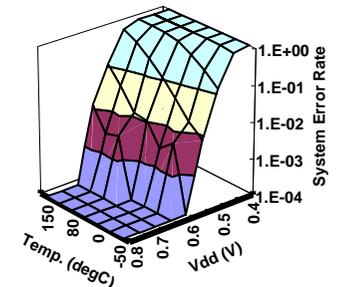


Results

without high
dependability
SRAM



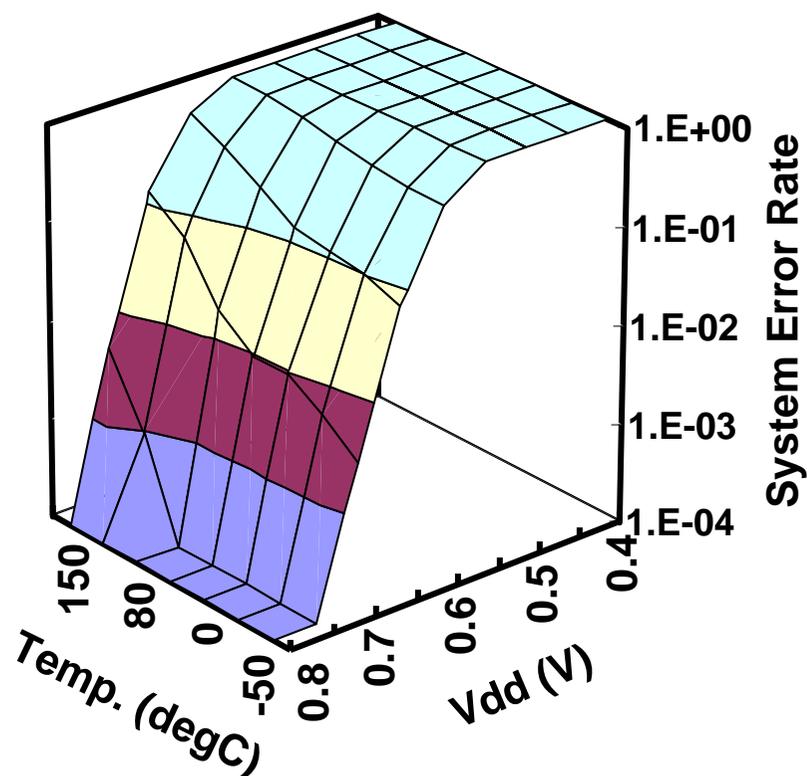
with high
dependability
SRAM



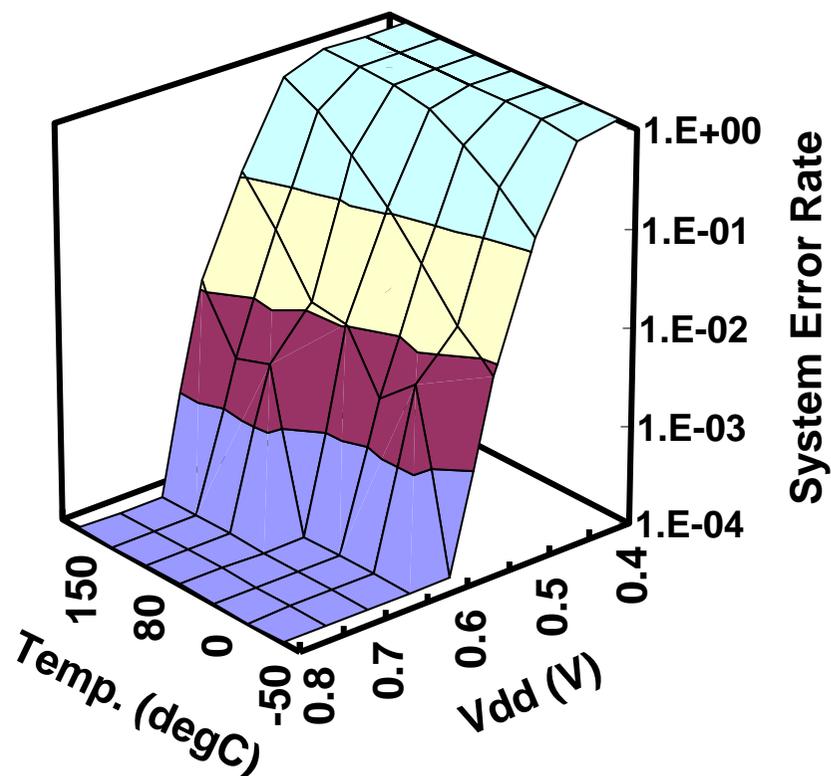
ディペンダブルメモリのシステム評価結果

エンジン制御システムにおける異常終了率(%)

従来6Tを搭載したシステム



QoBを搭載したシステム



- ・ 1050 仮想チップについて評価
- ・ 10年の経年劣化を想定 ($\Delta V_{th,pmos} = 24mV$)