

超高信頼性VLSIシステムのための ディペンダブルメモリ技術

平成23年3月7日

神戸大学大学院システム情報学研究科

吉本 雅彦

永田 真

川口 博

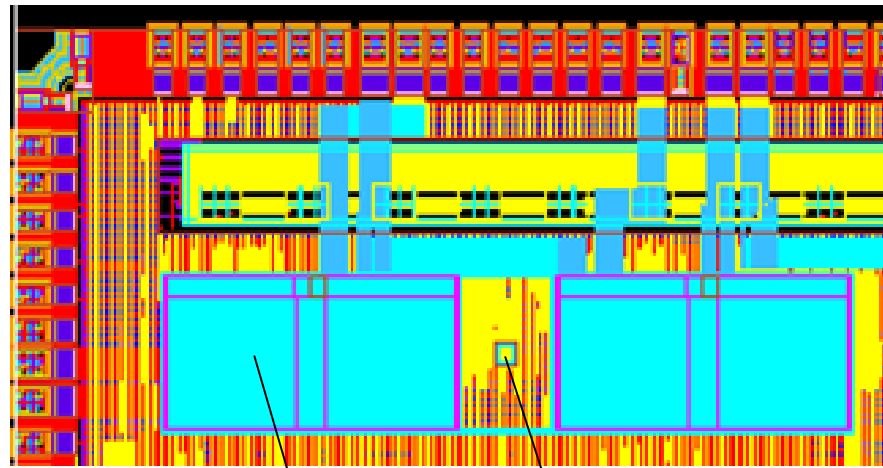
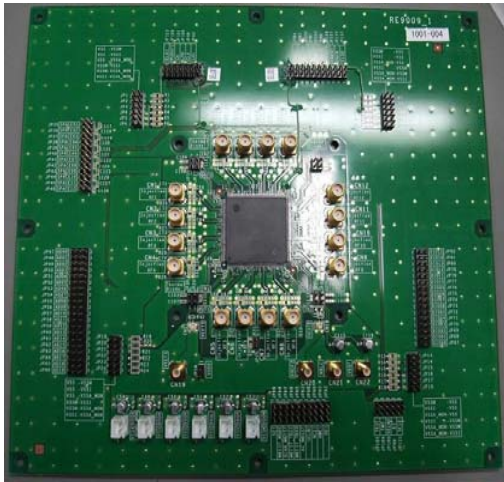
ルネサスエレクトロニクス

新居 浩二

日立製作所中央研究所

於保 茂

SRAMにおけるオンチップ電源ノイズ(1/2)

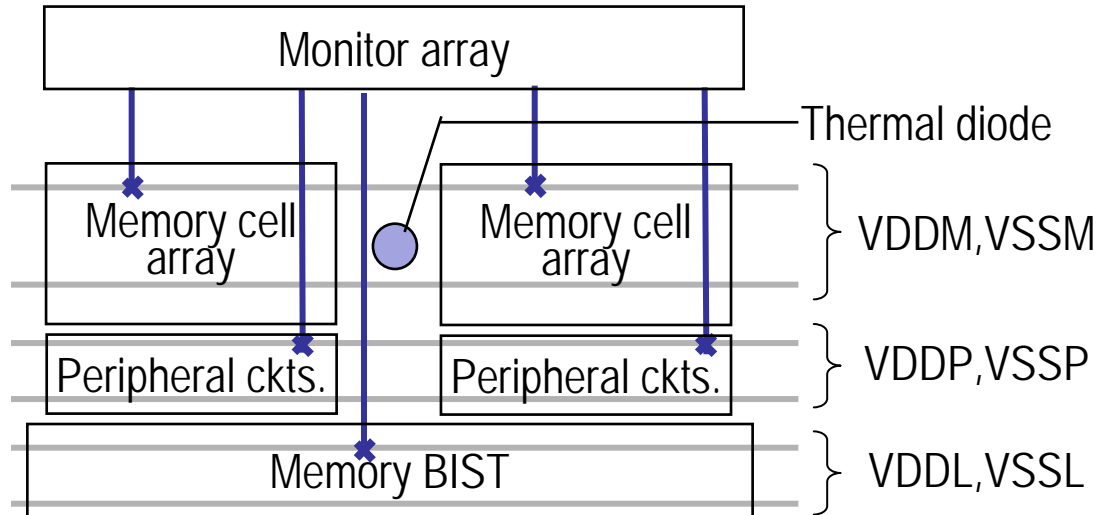


オンチップ
・モニタ

SRAMマクロ+BIST

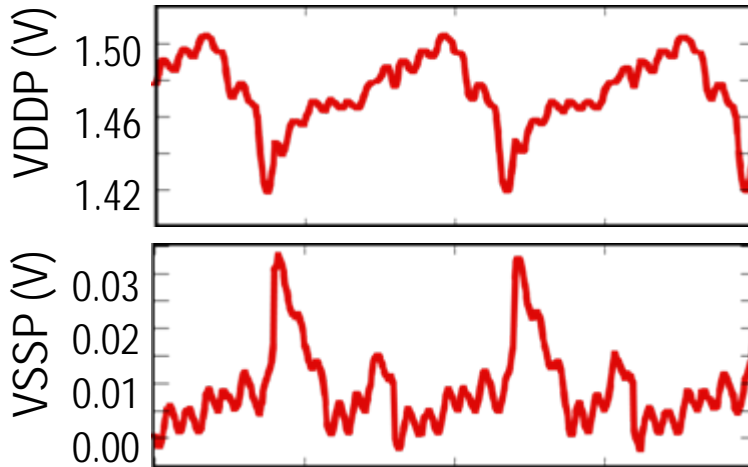
温度センサ

- ▶ SRAMマクロ(製品搭載レベル)のディペンダビリティを評価
- ▶ SRAM内部の電源ドメイン毎にオンチップノイズ測定を実現
電圧範囲: ± 200 mV,
測定帯域: 1.0 GHz
- ▶ 電源ノイズ量とビット不良発生の評価を実現



SRAMにおけるオンチップ電源ノイズ(2/2)

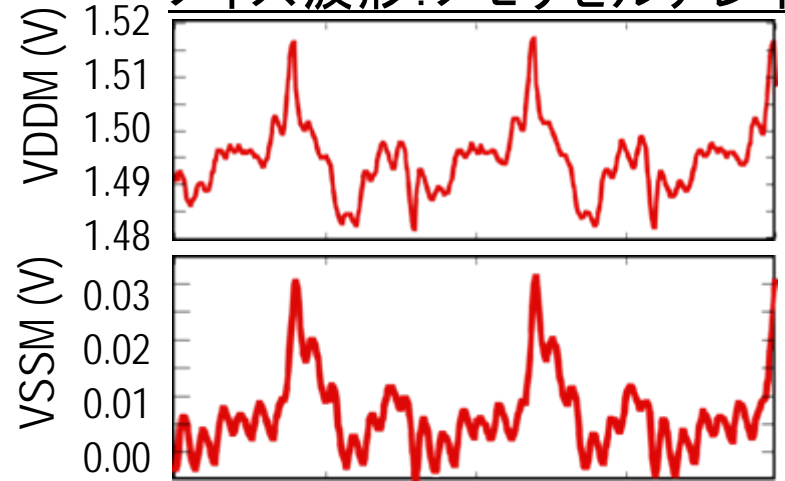
ノイズ波形: SRAM周辺回路



10 ns

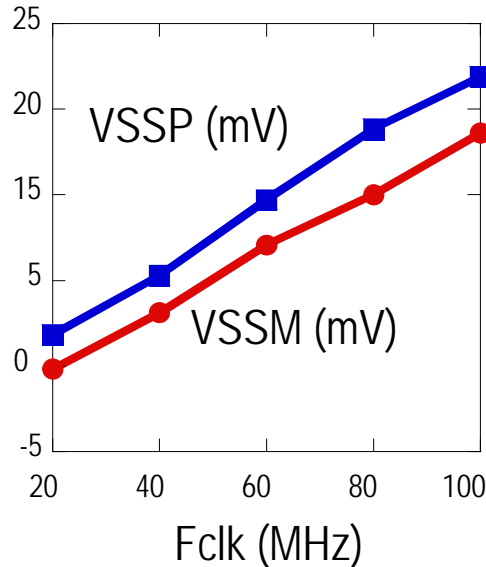
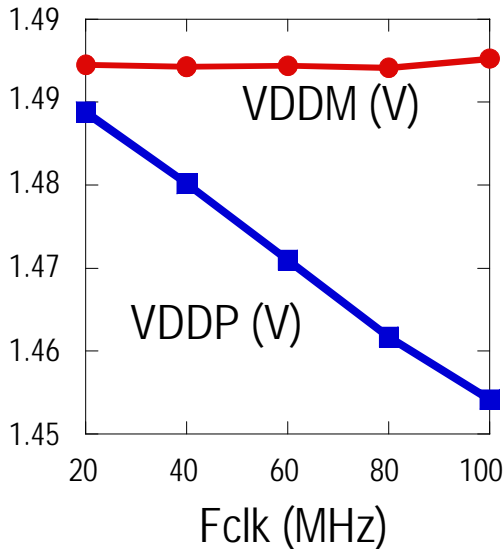
256 kbit, Vdd = 1.5 V, Fclk = 60 MHz

ノイズ波形: メモリセルアレイ

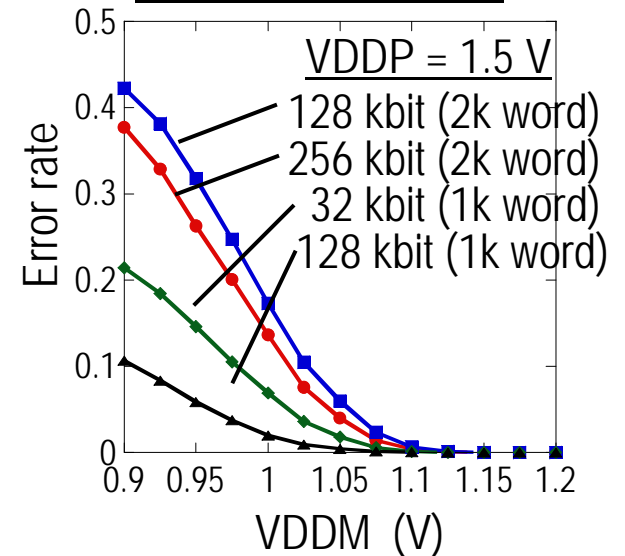


10 ns

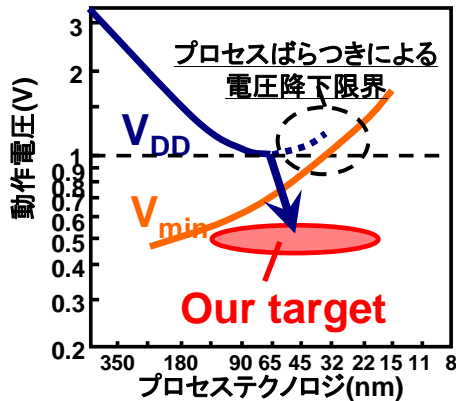
SRAM内部の平均電圧



ビットエラー発生



QoBメモリと高信頼性キャッシュへの応用(1/2)

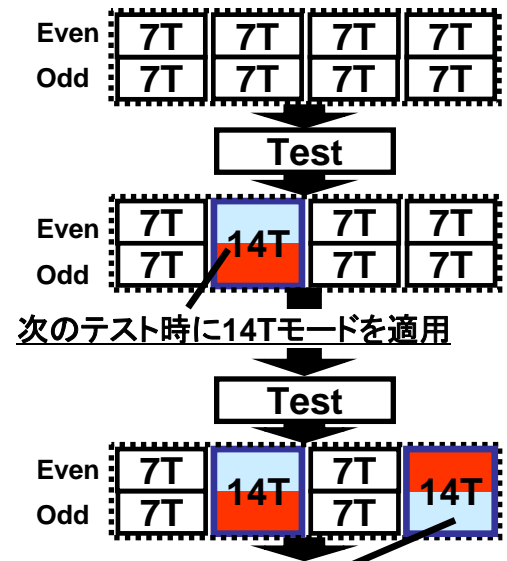
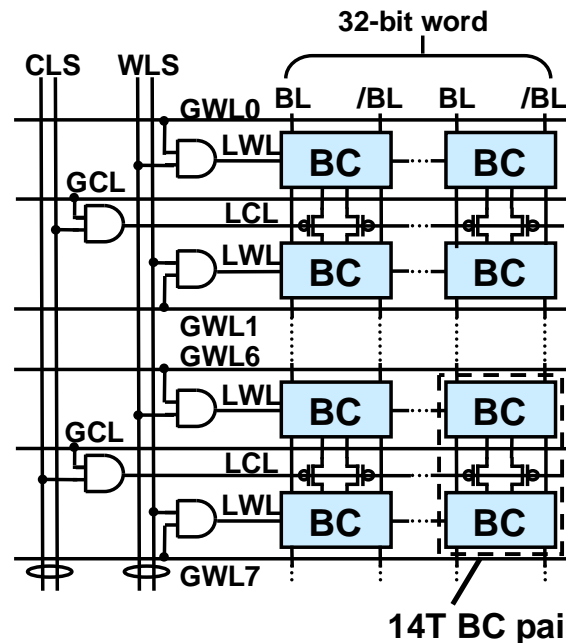
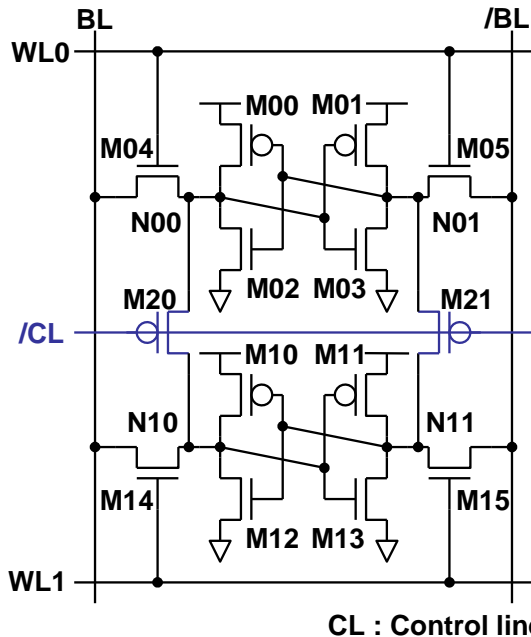


Tr.特性のばらつく先端プロセスにおける大規模SRAMの低電圧動作は大きな課題



プロセスばらつきに対応して、細粒度で7T/14T SRAMの制御を切り替えることが可能なキャッシュアーキテクチャを提案

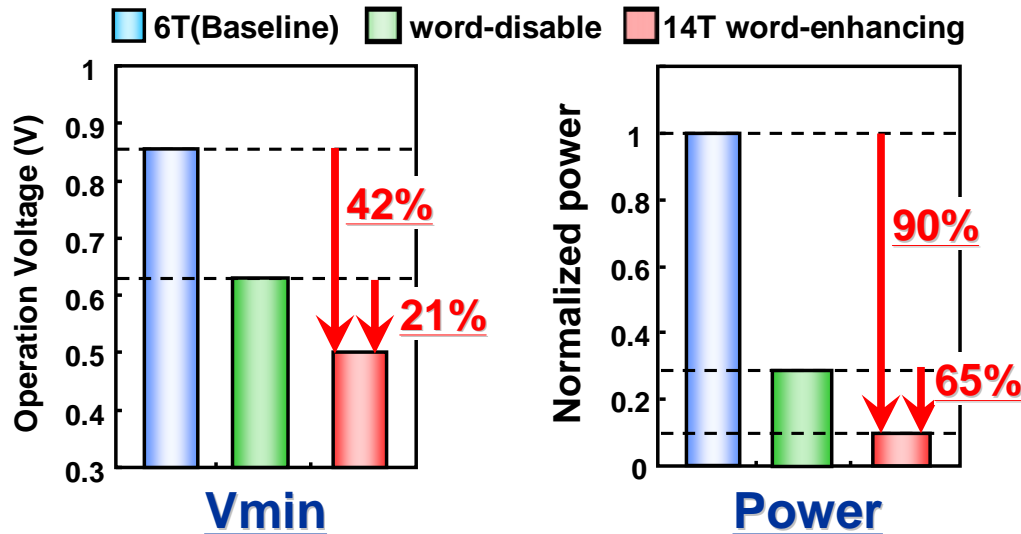
7T/14T SRAM + Divided control line + 提案テスト手法



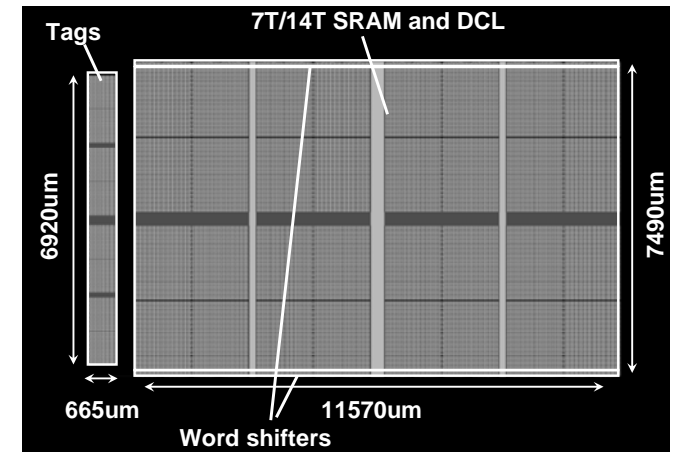
ワード毎に14Tモードを段階的に適用する

QoBメモリと高信頼性キャッシュへの応用(2/2)

Vminおよび電力の比較



65nmプロセスによるレイアウト

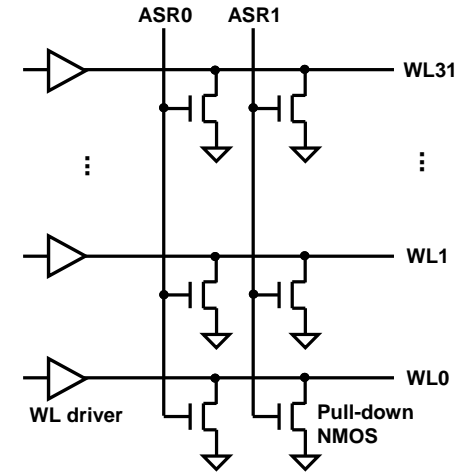


**6T SRAM, word-disable(Intel '08)
と比較して大きく低動作電圧化が可能。
4MB, 0.5Vでの動作が可能。**

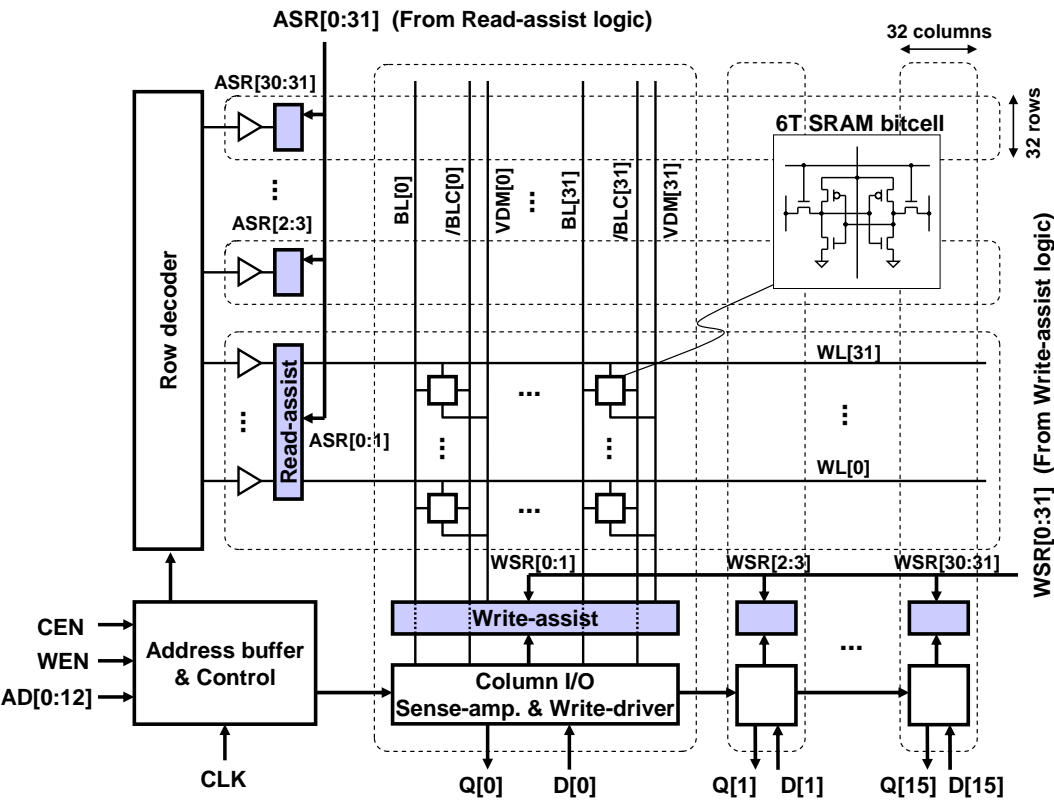
Yohei Nakata, Shunsuke Okumura, Hiroshi Kawaguchi, and Masahiko Yoshimoto, "0.5-V Operation Variation-Aware Word-Enhancing Cache Architecture Using 7T/14T hybrid SRAM," ACM/IEEE International Symposium on Low Power Electronics and Design (ISLPED), pp.219-224, Austin, TX, US, Aug. 2010.

細粒度アシストによる電圧制御SRAM (1/2)

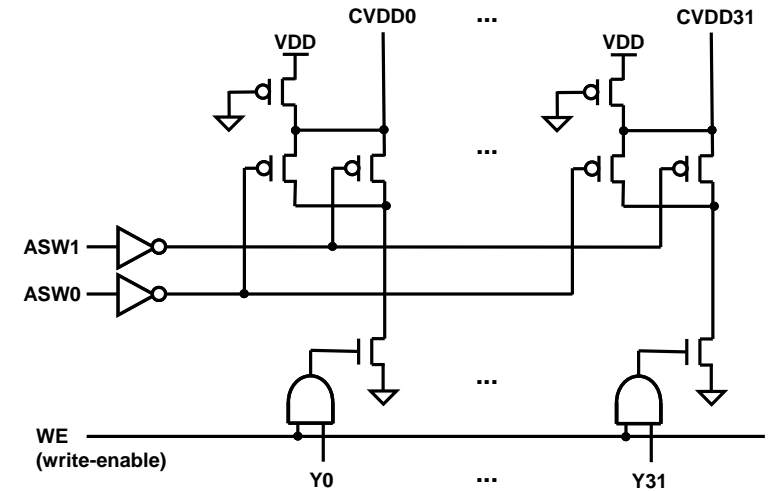
- 90nmプロセスにて128kb SRAMモジュールを設計
- 細粒度制御可能なリード及びライトのアシスト回路を付加
リードは32行単位、ライトは32列単位で電位を4段階制御
ワード線 (WL) 降下によるSNM改善 (リード)、セル電源線
降下によるライトマージンの改善を図る
- 面積オーバーヘッドは3%以下



リードアシスト回路



128kb SRAM 回路ブロック図

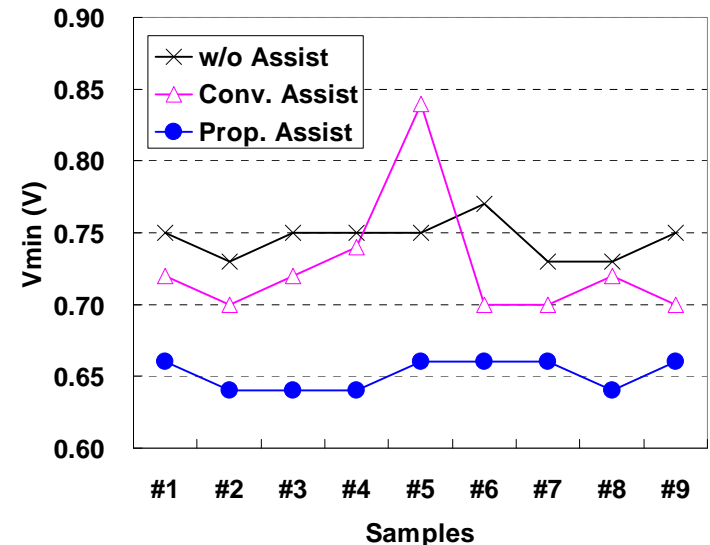
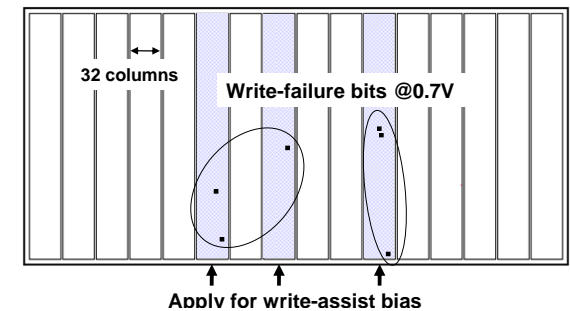
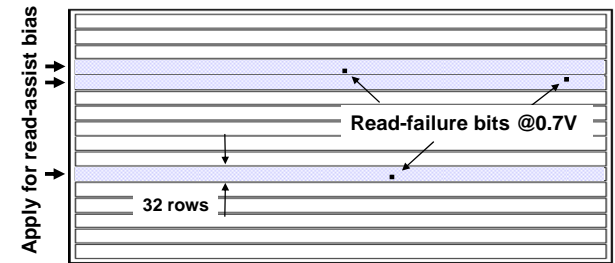
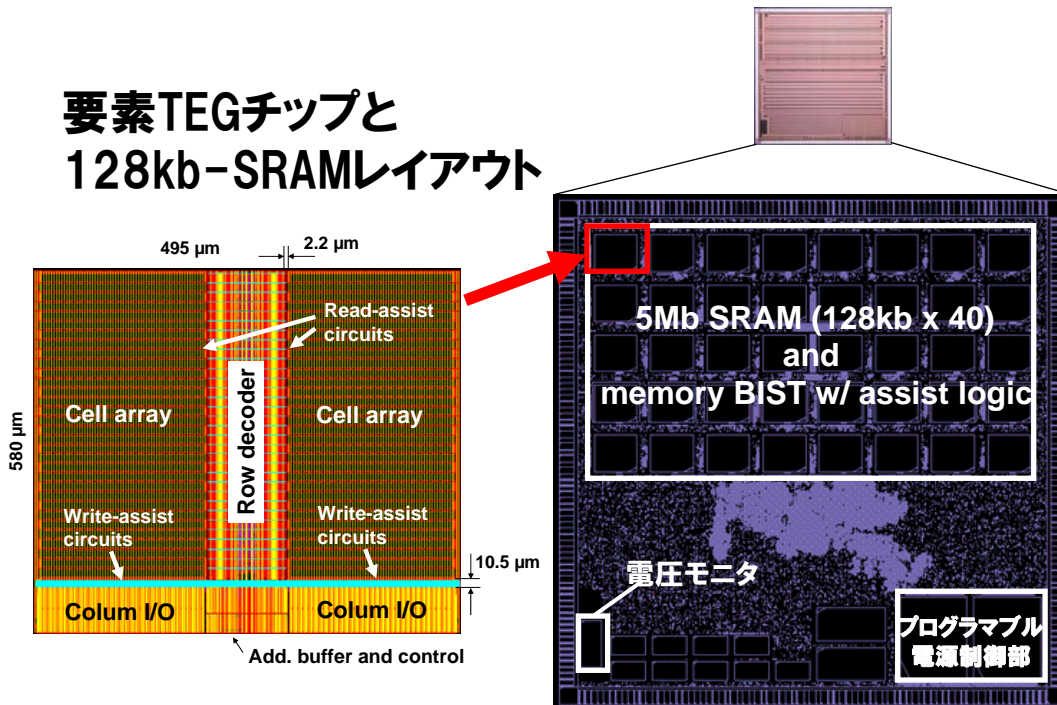


ライトアシスト回路

細粒度アシストによる電圧制御SRAM (2/2)

- 90nmプロセスにて要素TEGチップを設計・試作評価
5Mb SRAM、メモリBIST、フレキシブル電源ネットワークの要素回路をインプリメント
- 不良ビットを含む細粒度セグメントブロックにのみ、アシストバイアスを制御(リード:行、ライト:列方向)
- 提案回路により、従来に比べ40mV~180mVのVmin改善効果 (~21%) を確認

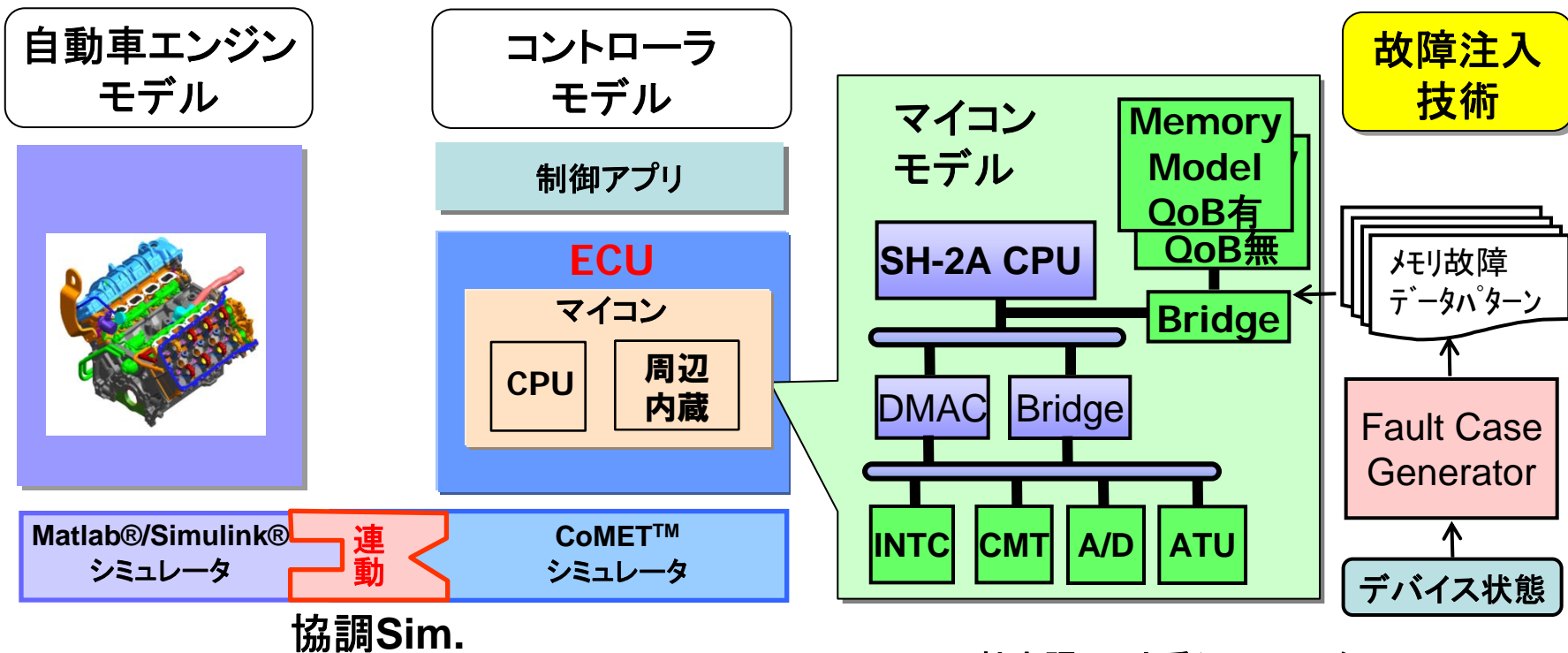
要素TEGチップと128kb-SRAMレイアウト



実測結果

Virtualizationを用いたディペンダブルメモリのシステムレベル検証(1/2)

◆CPUモデルベースのハードウェア/ソフトウェア協調シミュレーション (Virtualization)による、故障注入技術を組み込んだ検証環境を構築



※Matlab/Simulink: Mathworks社市販のメカ系シミュレータ
CoMET: Synopsys社市販のCPUシミュレータ
ECU: Electronic Control Unit (電子制御ユニット)

全体構成図

Virtualizationを用いたディペンダブルメモリのシステムレベル検証(2/2)

エンジン制御システムにおける異常終了率(%)

従来6Tを搭載したシステム

動作電圧 (V)	動作温度 (°C)						
	-50	-25	0	40	80	120	150
0.5	100	100	100	100	100	100	99.9
0.55	97.7	97.7	98.3	98.6	99.9	99.4	98.1
0.6	49.8	52.2	57.2	68.9	81.1	92.3	97.2
0.65	7.2	10.2	11.3	13.2	22.6	37.8	58.0
0.7	0.3	0.6	1.0	1.0	1.8	6.7	13.0
0.75	0	0	0	0	0	0.1	0.5
0.8	0	0	0	0	0	0	0

QoBを搭載したシステム

動作電圧 (V)	動作温度 (°C)						
	-50	-25	0	40	80	120	150
0.4	99.9	100	99.8	100	100	100	100
0.45	85.5	97.0	99.3	100	100	100	100
0.5	13.3	28.4	49.6	78.5	94.9	99.0	99.7
0.55	0.8	1.6	4.5	11.2	25.7	47.5	72.8
0.6	0	0.6	0.3	1.1	1.1	4.2	11.3
0.65	0	0	0	0	0.4	0.3	1.2
0.7	0	0	0	0	0	0	0

- ・ 1050 仮想チップ(不良アドレスを乱数で生成)について評価
- ・ 10年の経年劣化を想定 ($\Delta V_{th,pmos} = 24mV$)