

超高信頼性VLSIシステムのための ディペンダブルメモリ技術 —H20年次報告、H21年次計画—

平成21年4月18日
領域会議

神戸大学大学院工学研究科
吉本 雅彦
永田 真
川口 博
ルネサステクノロジ
篠原尋史
日立製作所中央研究所
於保 茂

各研究項目の相互関連

①マージン不良最小化技術

耐Instability設計技術

耐ソフトウェア技術

代表者G

②不良予知診断技術

②-1: チップ内モニタリングによる予知診断(予知方式1) 共研1G

②-2: チップ内加速試験による予知診断(予知方式2) 代表者G

③不良回避技術

③-1: QoB RAM による不良回避(回避方式1) 代表者G

③-2: 細粒度電圧制御による不良回避(回避方式2) 共研2G

④統合化技術

④-1: プラットフォーム(フレキシブル電源ネットワーク)開発

共研2G

④-2: 自律型ディペンダブルメモリシステム開発

代表者G

共研1G

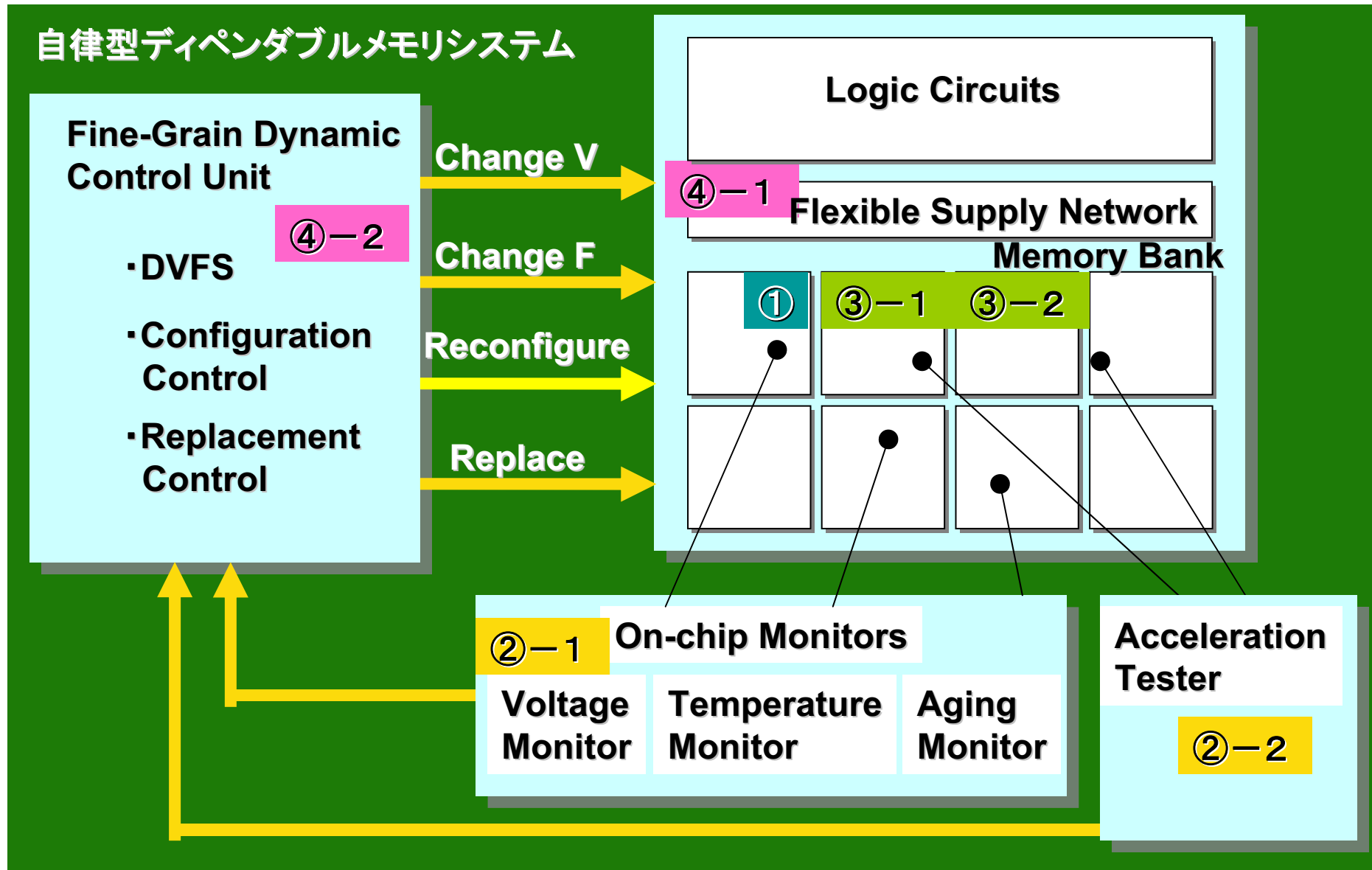
共研2G

⑤システムレベル検証

Virtualizationによる車載応用検証

共研3G

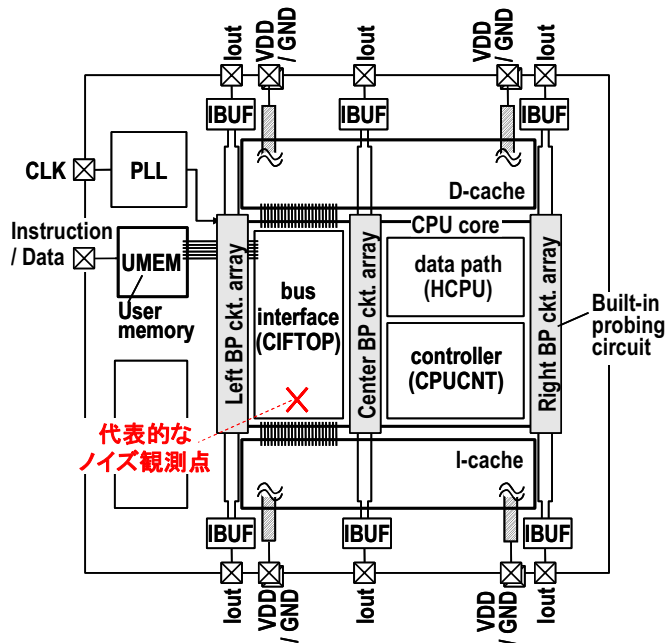
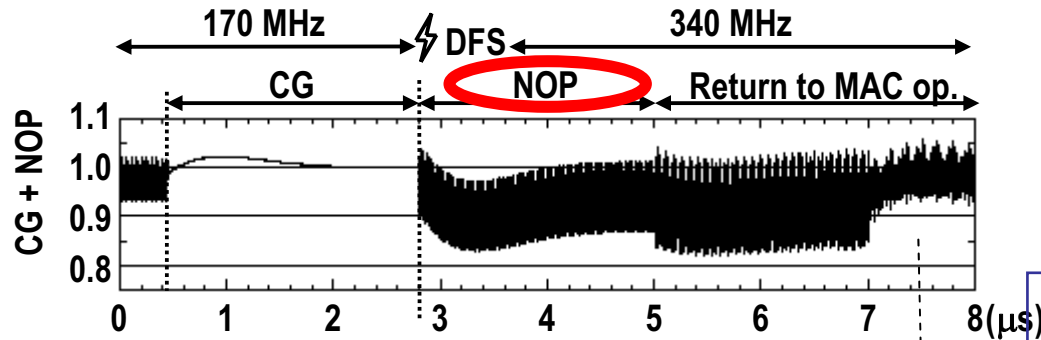
最終目標：ディペンダブルメモリシステム



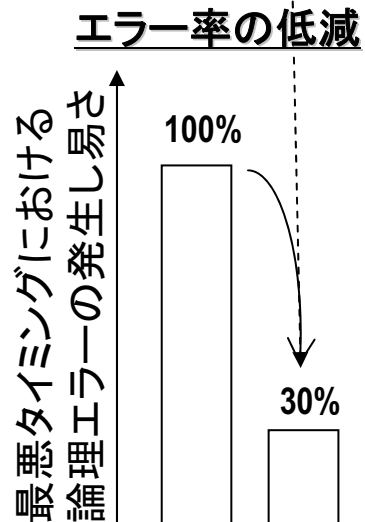
オンチップモニタリング(予知方式1)

H20年度の報告

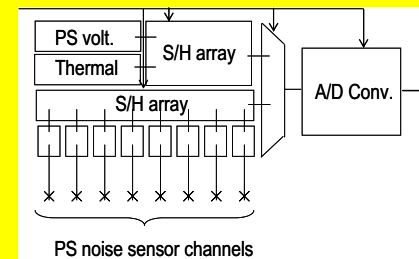
- ▶ プロセッサの動作時における電源ノイズと論理エラーの発生をオンチップで評価(先行研究)
- ▶ 電源ノイズの形状シェイピングによるエラー率の低減を実証



動作環境のダイナミック変動が
ディペンダビリティに与える
インパクトに着目



- ▶ 電源ノイズとビットエラー発生率のオンチップ評価を実現する回路・システムの構成を検討
- ▶ メモリのオンチップモニタ仕様



加速試験(BIST)(予知方式2) H20年度の報告

非使用メモリセルブロックにおいて
加速試験を実施

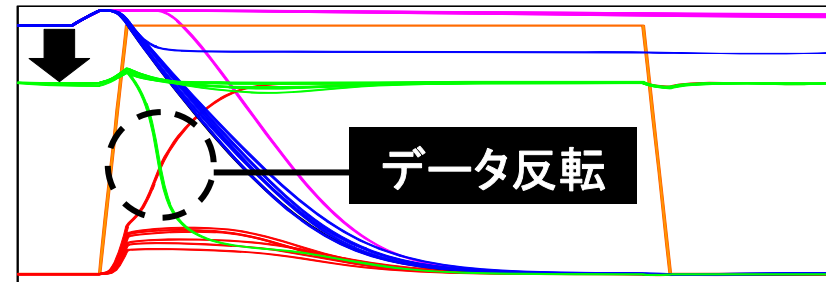
動作マージンの小さいセルにおいて
実使用メモリセルブロックより早く
エラーが発生

試験ブロックでのエラーを検知し、
不良回避対策を行うことで
動作エラーの発生を未然に防ぐ

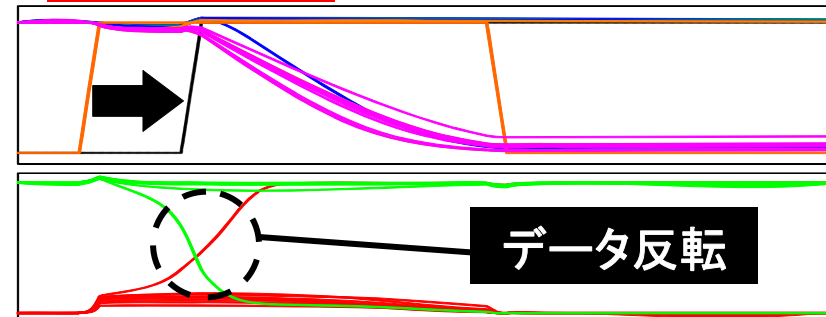
3種類の加速試験方法を提案

- ①VMC, VWL, VBLの電圧を制御
- ②BLプリチャージ時間を制御
- ③WL印加時間を制御

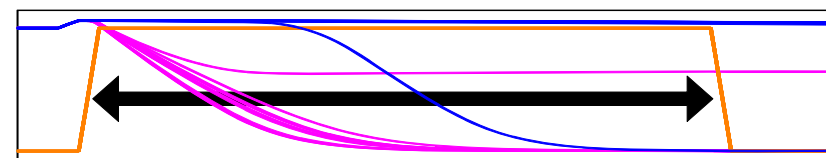
▶ 3種類の加速試験手法を選択可能



VMCを降圧



プリチャージ時間を延長

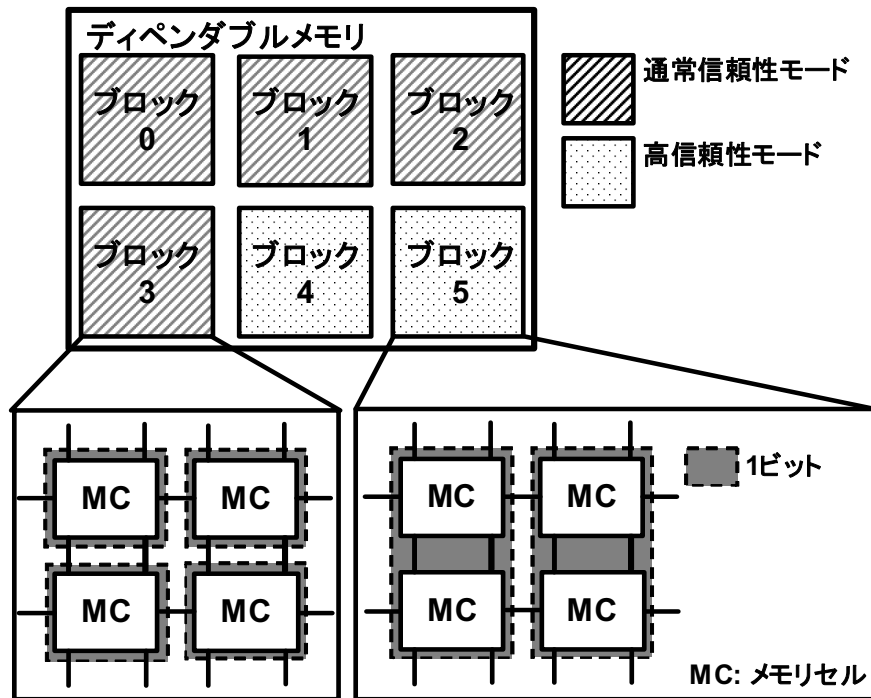


WL印加時間を延長

n0
n1
BL
/BL
WL
PC_N

QoBメモリ(回避方式1) H20年度の報告(1)

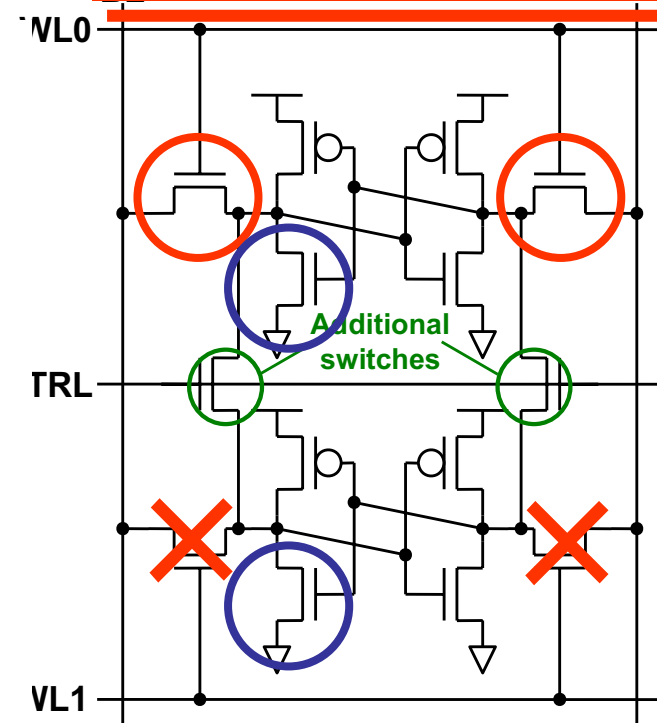
高信頼性モードでは、1ビットの情報を2つのメモリセルで保持する。



低電圧動作や高速動作などの信頼性要素をブロック毎にスケラブルに制御できる。

H.Fujiwara, et al, "Quality of a Bit (QoB): A New Concept in Dependable SRAM", ISQED2008にて発表。

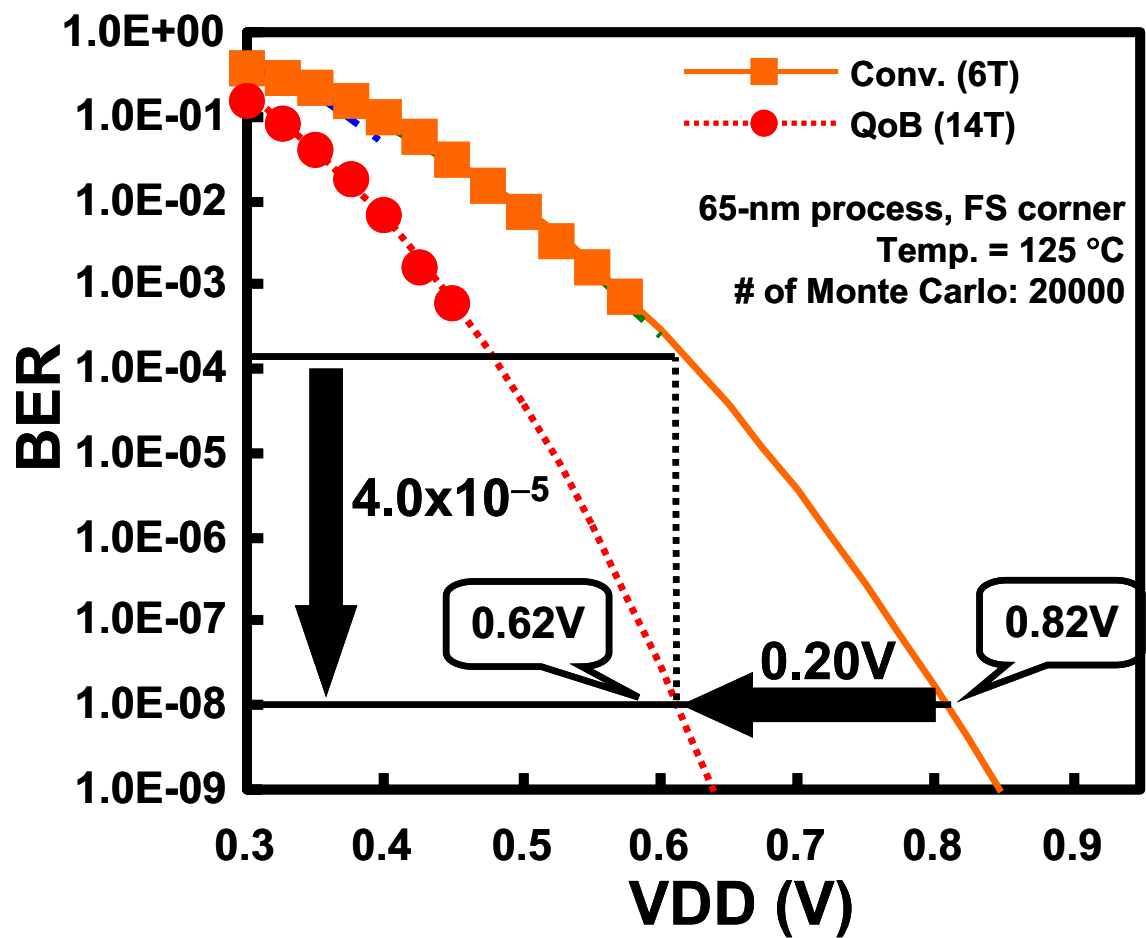
読み出し時のワード線の充電



実効的に β 比を大きくする。

QoBメモリ(回避方式1) H20年度の報告(2)

QoBメモリによるBER改善効果

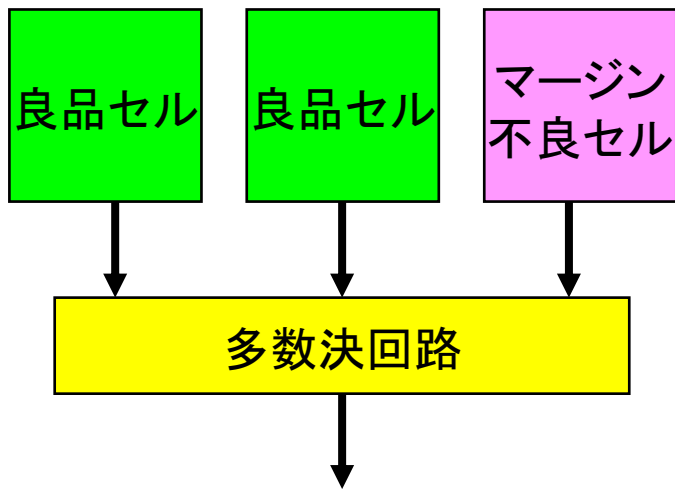


QoB:
通常は6T構成,
低VDD時には14T構成
にして、より低電圧まで
動作できる
sustainability

QoBメモリ(回避方式1) H20年度の報告(3)

多数決論理との比較

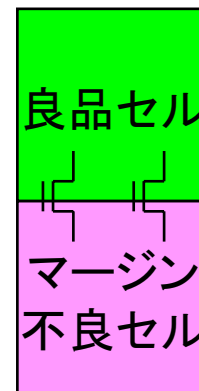
3セルの多数決による信頼性向上



不良率: 1
($BER = 3P_{fail}^2 - 2P_{fail}^3$)

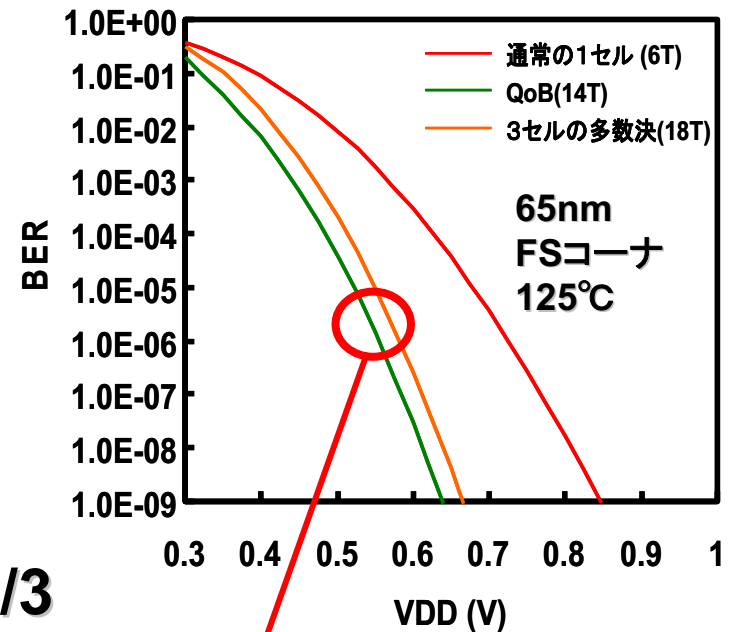
面積: ~3倍

QoBセルによる信頼性向上



不良率: 1/3

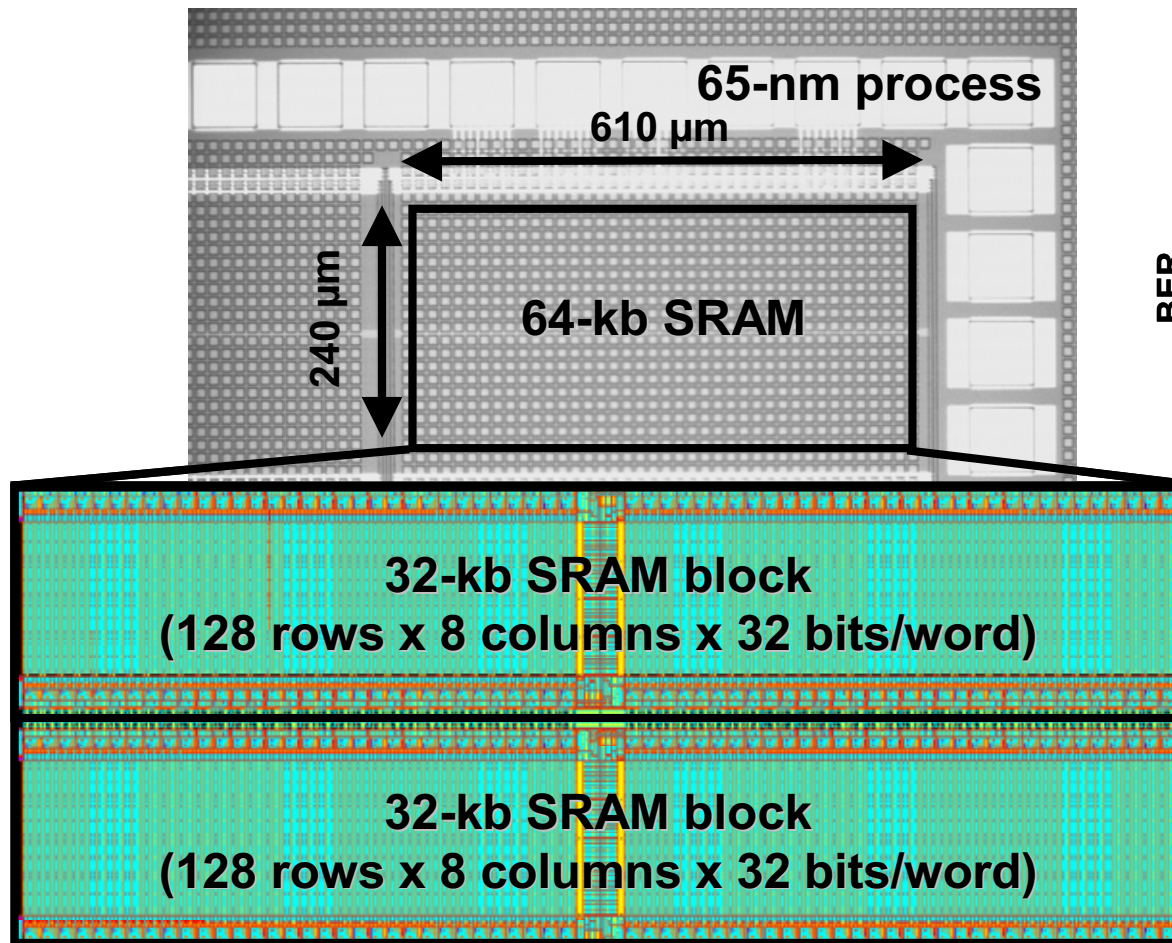
面積: ~2倍



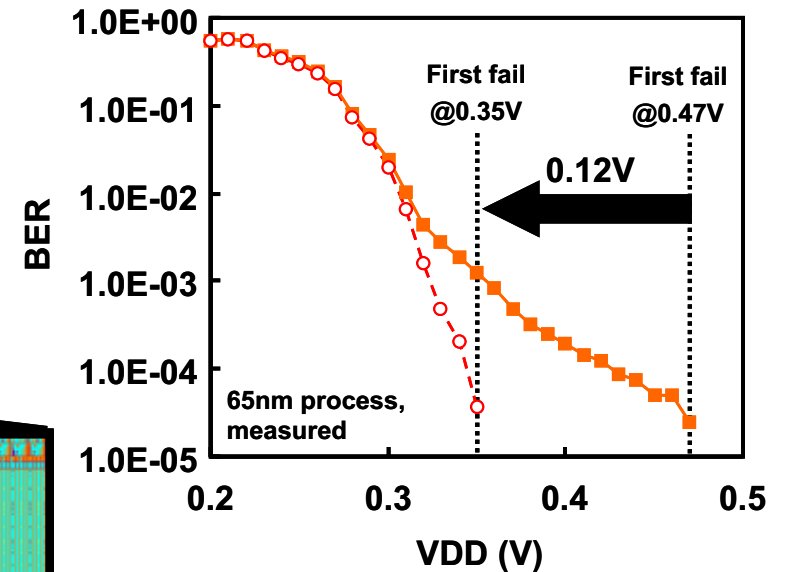
BERを3倍改善

QoBメモリ(回避方式1) H20年度の報告(4)

65-nmプロセスを用いた試作結果



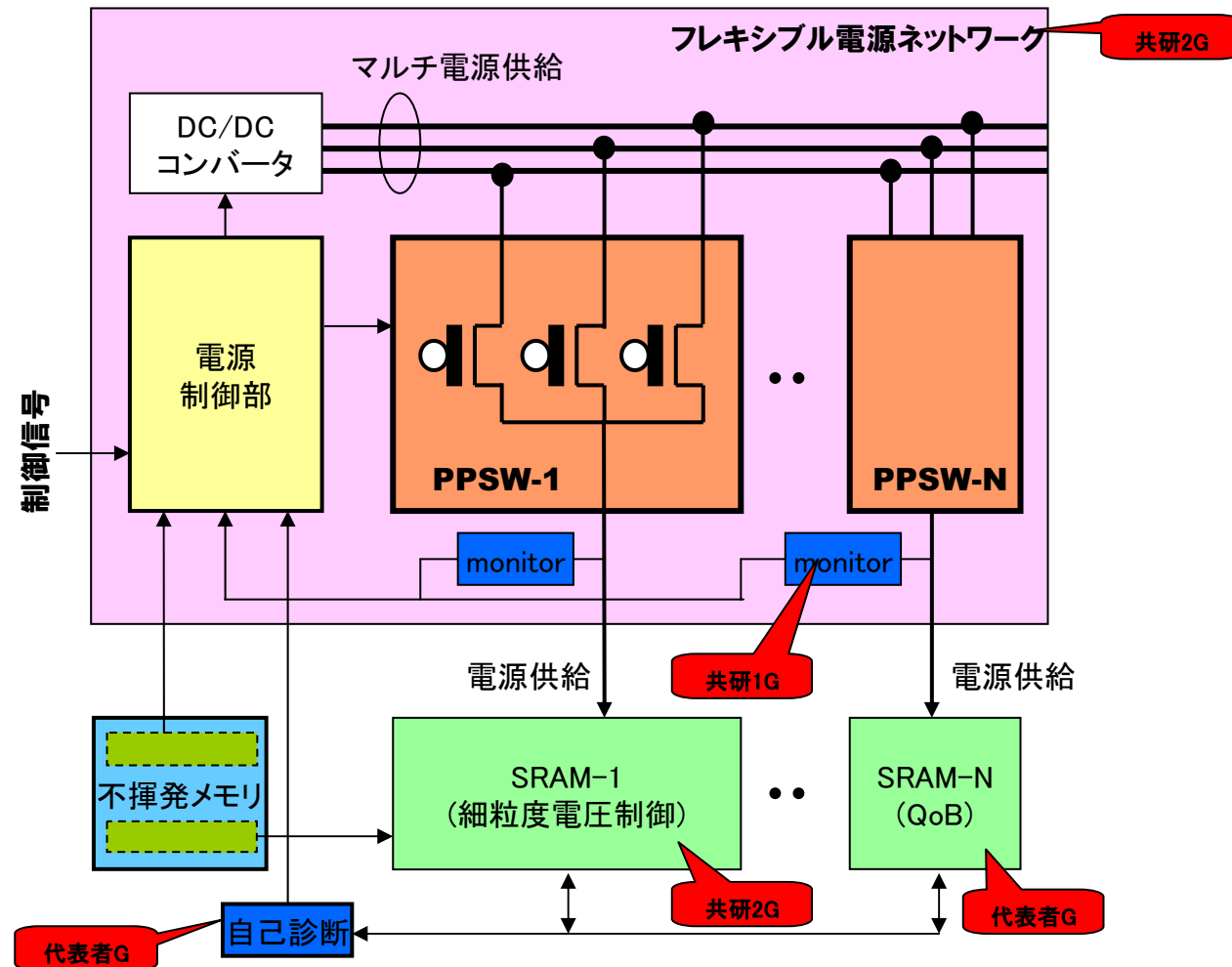
BERの実測評価



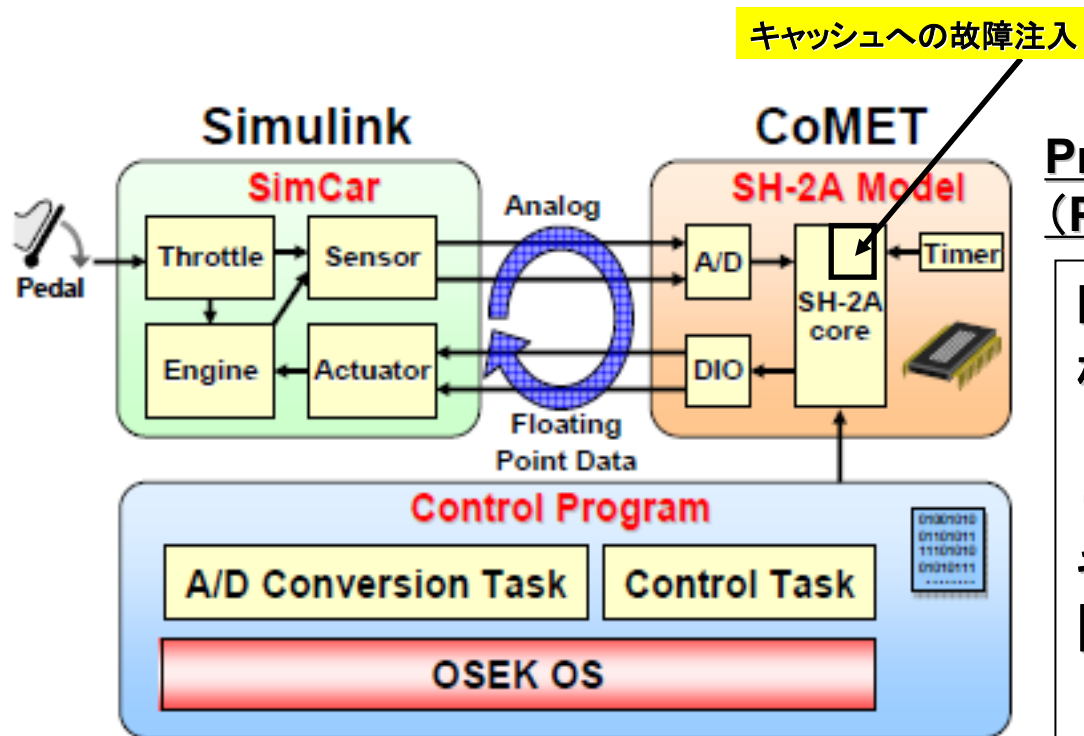
電源電圧下限を
0.12V改善!

フレキシブル電源ネットワーク(プラットフォーム技術) H20年度の報告

- フレキシブル電源ネットワークによる自律型電圧制御方式アーキテクチャの基本検討を実施。



システムレベル検証（車載応用での有用性検証） H21年度の計画



Processor-in-the-Loop Simulation (PILS)

H21年度から着手し、今年度は検証環境の構築を実施する。

- ・種々のエラーモードに対応するキャッシュへの故障注入技術の開発

- ・ディペンダブルメモリのモデル化とオーバヘッドの組み込み

エンジンコントロールなど実システムでの動作シミュレーション

Virtualization技術による検証

- ・プロセッサコア内部のキャッシュへの故障注入
- ・仮想システムによる有用性検証
- ・車載応用（エンジン制御）
- ・エンジン制御性能への信頼性（BER）の影響評価

耐ソフトウェア技術開発(1)

H21年度の計画(安浦チームとの連携)

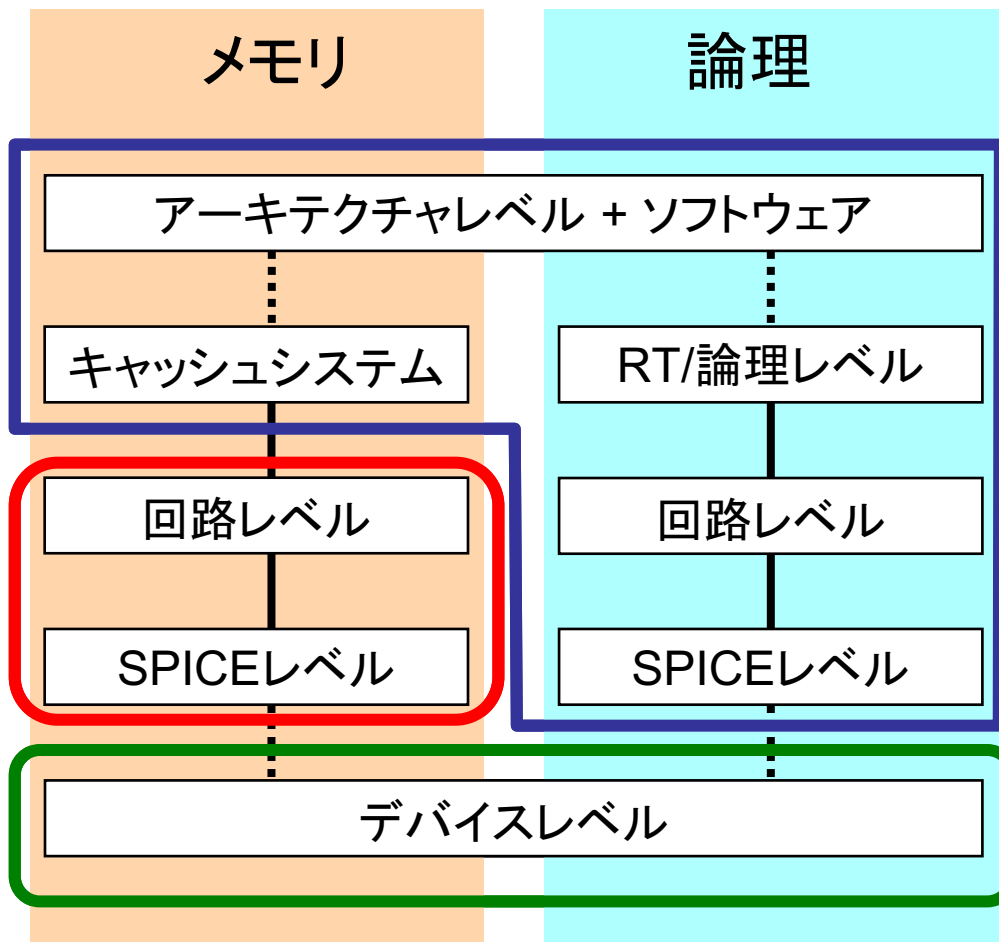
協力分野

- ・ソフトウェア評価技術開発
 - ・シミュレーションによる評価
 - ・実験による評価
- ・ソフトウェア改善技術開発

安浦チーム

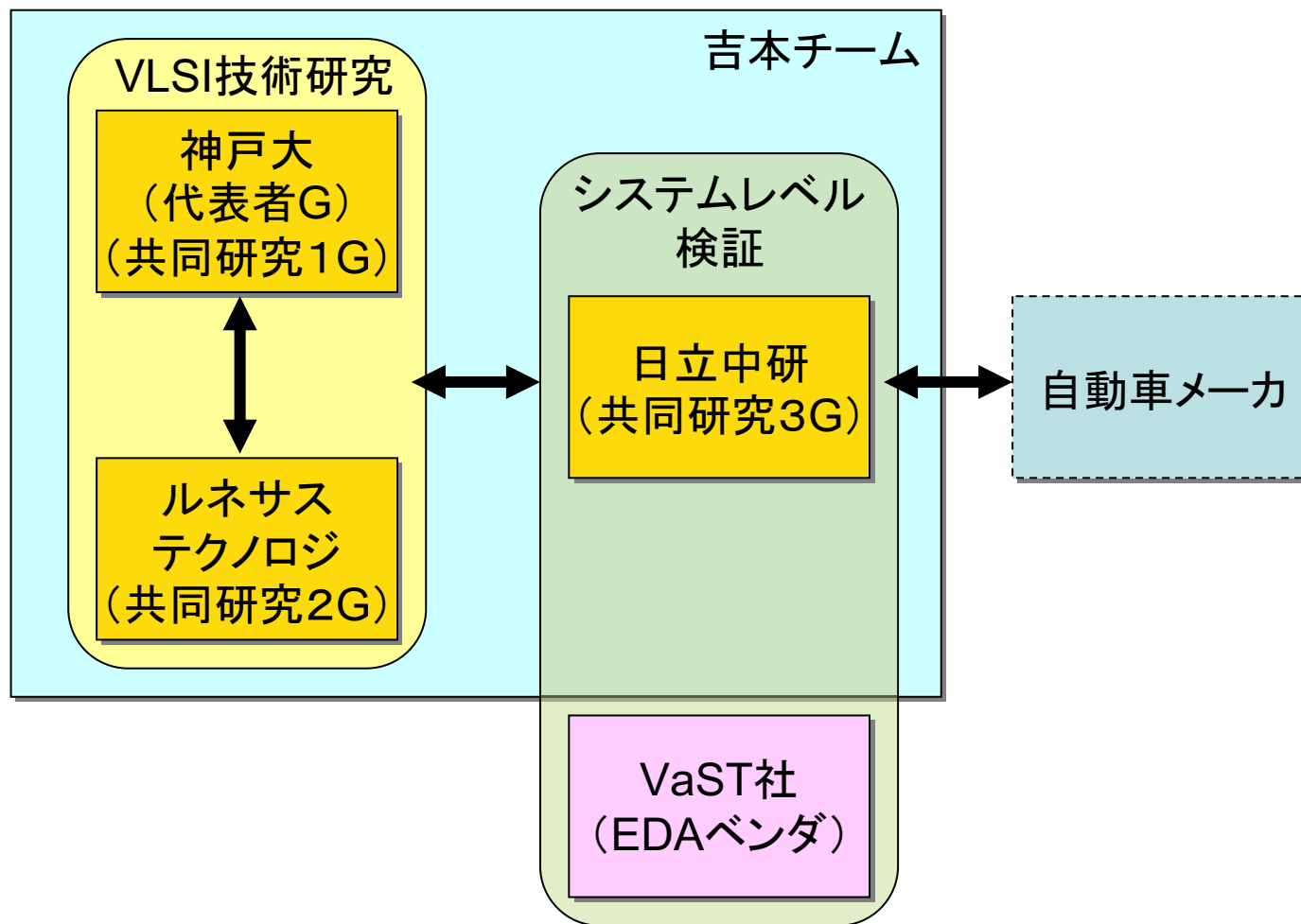
吉本チーム

JAXA からノウハウを教授いただく



③企業連携の具体的な内容・構想

現在の研究組織で研究を推進する。



④評価指標についての考え方

①ディペンダブルメモリにより、今後頻発が懸念されるマージン劣化や中性子起因のソフトウェアに伴うプログラムの誤動作確率を下げることができる。Bit-Error-Rateを改善できる。

②デバイス故障率とディペンダビリティ対策を組合せて、Processor-in-the-Loop Simulation (PILS)を用いたシステム挙動解析手法によりプログラムのダイナミックな動作(例えばソフトウェア発生時のシステム挙動)を可視化、定量化する。

③上記により機能安全規格が達成目標とするSIL (Safety Integrity Level: 例えば故障率 10^{-9} 乗など)を定量予測できる。

自動車業界標準の機能安全の正式ISO規格発行はまだ数年先。また産業界での実装はこれから。本研究は特にプログラム挙動に着目したディペンダブル設計・解析手法であり、これを産業界に提案することはタイムリーな貢献になる。

H20年度の業績のまとめ

■ 査読つき論文(2編)

- 1) Mitsuya Fukazawa, Masanori Kurimoto, Rei Aakiyama, Hidehiro Takata, and Makoto Nagata, "Experimental Evaluation of Dynamic Power Supply Noise and Logical Failures in Microprocessor Operations," IEICE Trans. Electron., Vol. E92-C, No. 4, pp. 475-482, Apr. 2009.
- 2) H. Fujiwara, S. Okumura, Y. Iguchi, H. Noguchi, H. Kawaguchi, and M. Yoshimoto, "A Dependable SRAM with 7T/14T Memory Cells," IEICE TRANS. on Electron. Vol. E92-C No.4 pp.423-432

■ 国際学会(1編)

- H. Fujiwara, S. Okumura, Y. Iguchi, H. Noguchi, H. Kawaguchi, and M. Yoshimoto, "A 7T/14T Dependable SRAM and Its Array Structure to Avoid Half Selection," International Conference on VLSI Design 2009, New Delhi, India, pp. 295-300, Jan. 2009.

■ 国内学会(2編)

- 1) 吉本雅彦「企画セッション: AI-1 ディペンダブルメモリへの挑戦」平成21年度、信学全大
- 2) 藤原英弘、奥村俊介、井口友輔、野口紘希、川口博、吉本雅彦、「7T/14TディペンダブルSRAMおよびそのセル配置構造」平成21年度、信学全大

■ 特許出願(4件)

- 1) 特願2009-000012
吉本雅彦、川口博、藤原英弘、奥村俊介、「半導体メモリのハーフセレクト防止セル配置」
- 2) 特願2009-82996(出願日H21年3月30日)
吉本雅彦、川口博、藤原英弘、奥村俊介、「半導体メモリのメモリセル間のデータコピー方法」
- 3) 特願2009-82997(出願日H21年3月30日)
吉本雅彦、川口博、藤原英弘、奥村俊介、「共有キャッシュメモリとそのキャッシュ間のデータ転送方法」
- 4) 特願2009-82998(出願日H21年3月30日)
吉本雅彦、川口博、藤原英弘、奥村俊介、「不良メモリーセルの予知診断アーキテクチャーと予知診断方法」