

ロバストファブリックを用いたディ ペンダブルVLSIプラットフォーム

研究代表者

京都大学 小野寺秀俊

研究分担者

大阪大学 尾上孝雄、橋本昌宜、密山幸男

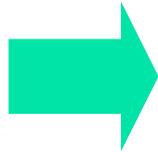
京都大学 小林和淑、越智裕之、土谷亮、嶋田創

ASTEM 神原弘之

プロジェクト概要

■ 研究背景

- 物理的・自然現象的フォールト(製造性劣化、特性ばらつき、ソフトエラー、信頼性劣化)によるディペンダビリティ低下
- NREコストの増大
- アプリごとに必要なディペンダビリティ異なる

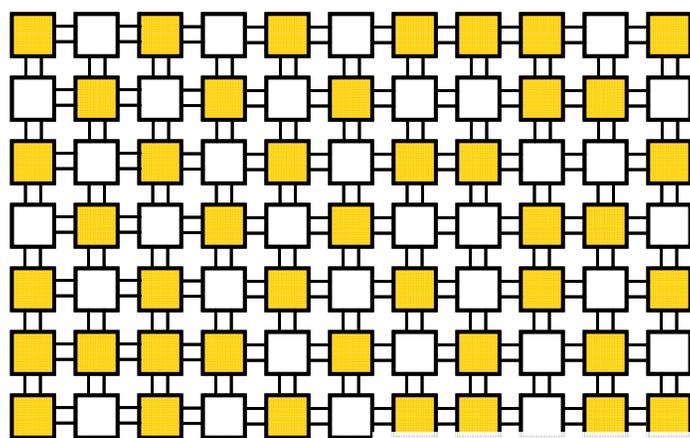


- 要求されるディペンダビリティに応じた回路を実現できる再構成可能VLSIプラットフォーム
- レイアウト/回路/アーキテクチャ/設計自動化技術を結集
 - レイアウト: ばらつきに強靱な構造
 - 回路: 特性の適応的調整
 - アーキテクチャ: 適応的な時間的/空間的冗長化
 - 設計技術: 動作記述からの自動マッピング

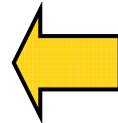
提案VLSIプラットフォームのコンセプト

再構成アーキテクチャ

並列データ処理



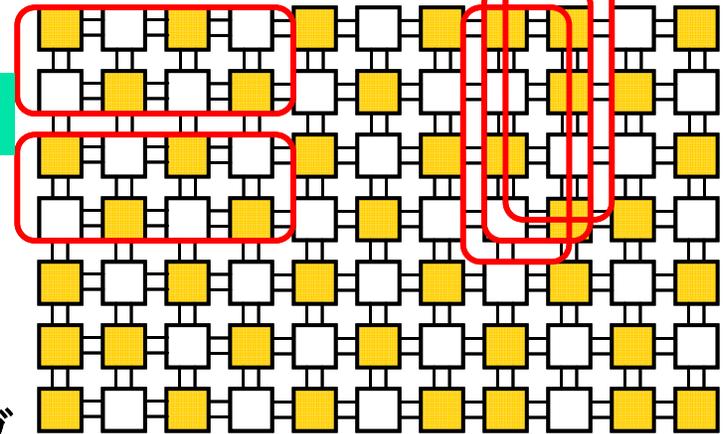
マッピング



自動
マッピング

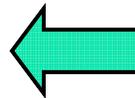
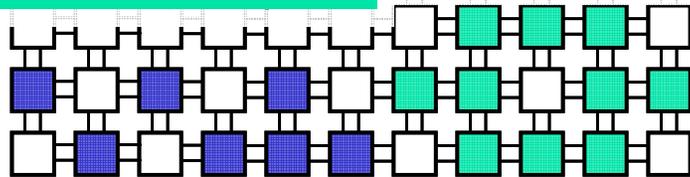
適応的空間冗長化

適応的時間冗長化

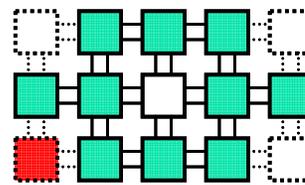


再構成プロセッサ

逐次処理用プロセッサ



“hot swap”による自己修復



自己調整



自己診断



再構成可能ディペンダブルVLSI
ロバスト(耐ばらつき、高製造性)ファブリックアレイ

ロバストファブリック

アプリケーション
展開

課題の掘り下げと目標の明確化

- 製造性劣化、物理的揺らぎ
 - ロバストファブリックによりばらつき量を半減
- 一過性雑音
 - 適応的な冗長性組み込みにより、宇宙空間でも100FIT達成
- 特性劣化
 - 自己調整と自己修復(ホットスワップ)により動作寿命の2倍化

ディペンダビリティ阻害要因		製造性劣化	物理的揺らぎ	一過性雑音	特性劣化
階層	技術要素				
ソフトウェア	—				
アーキテクチャ	再構成可能アーキテクチャ			○	○
プロセッサ	再構成可能プロセッサ			○	○
設計自動化	マッピング技術			○	○
回路技術	ロバストファブリック	○	○		○
デバイス技術	—				
阻害要因排除手法		製造容易構造	自己調整	適応的冗長化	自己修復

ディペンダビリティのmeasure

ばらつき量

FIT

寿命

ロバストファブリック

■ これまでの取り組み

■ 特性ばらつき評価技術

- ゲートレベル遅延ばらつきの分析技術(チップ内ばらつきの成分分離)
- チップレベル遅延ばらつきの解析技術(統計的Max の新手法)

■ 製造性・ばらつき耐性向上技術

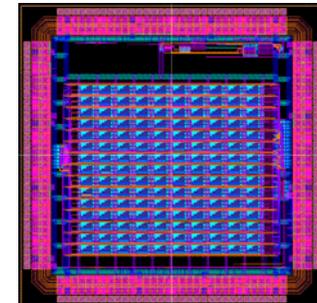
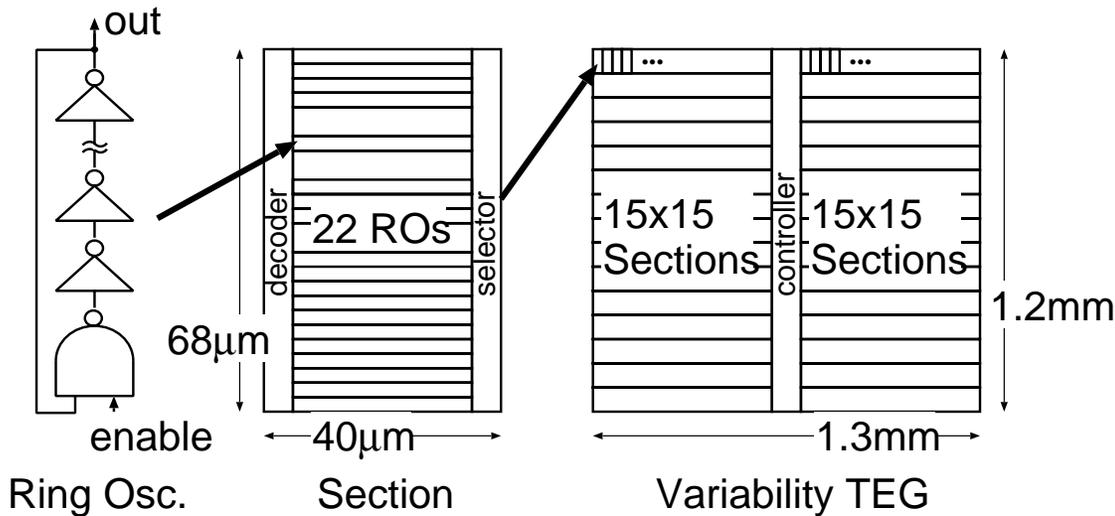
- レイアウト制約(規則性など)による製造性・ばらつき耐性向上とコスト(性能・チップ面積)のトレードオフ解明
- VDEC用180nmライブラリの開発・公開

■ 検討中の課題

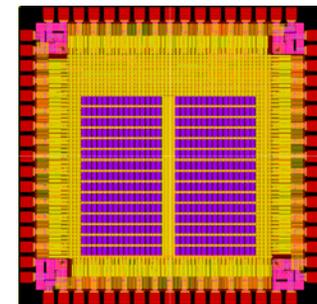
- NBTIによる経年劣化の解析・評価
- 特性ばらつきの自己評価と適応調整技術

特性ばらつき評価技術の研究

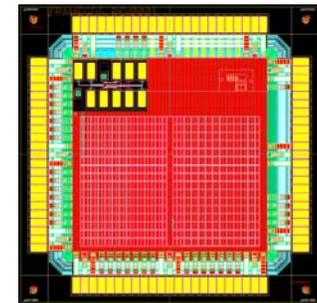
- リング発振回路アレーを用いた遅延ばらつき評価回路



180nm



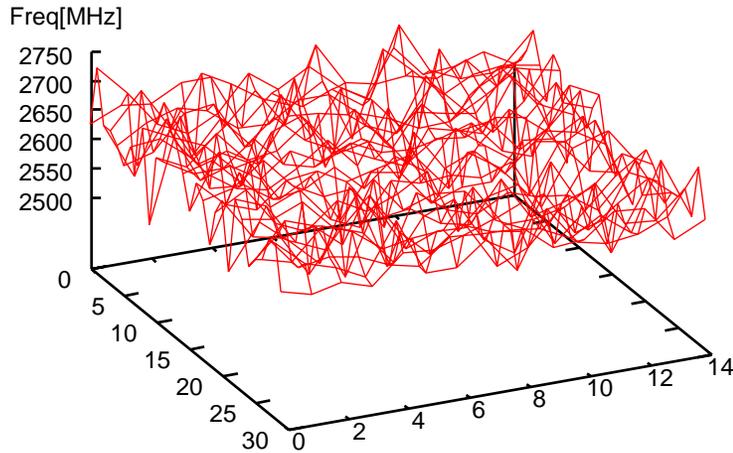
90 nm



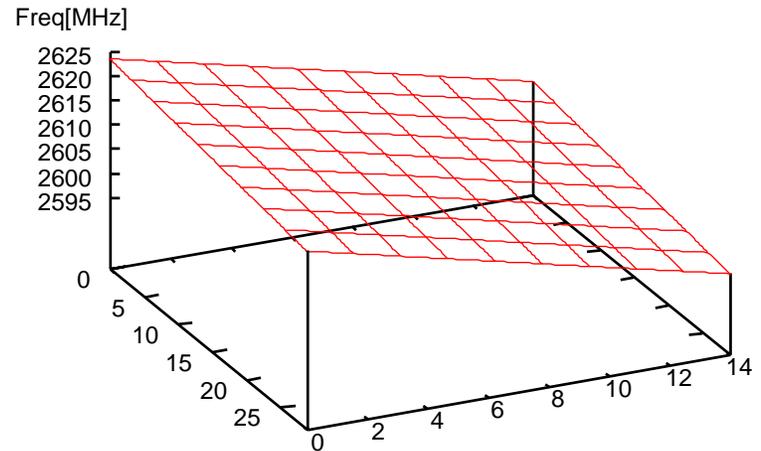
65 nm

- 90nm回路における解析項目
 - チップ内ばらつきとチップ間ばらつき
 - チップ内ばらつきの成分解析
 - ばらつきのレイアウト依存性評価

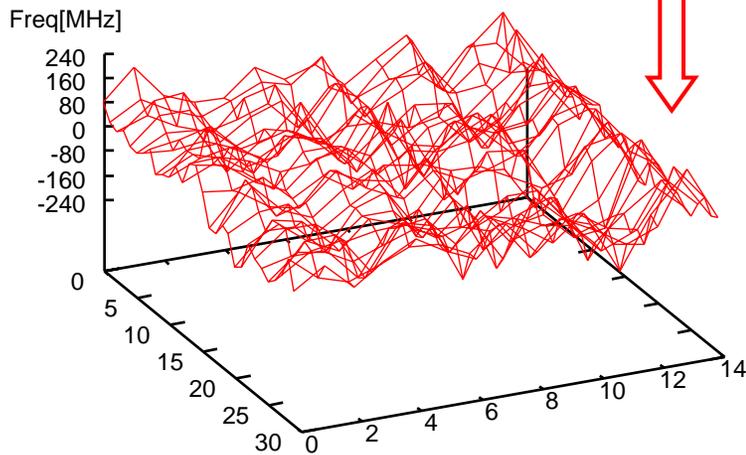
チップ内ばらつきの成分分離結果(90nm)



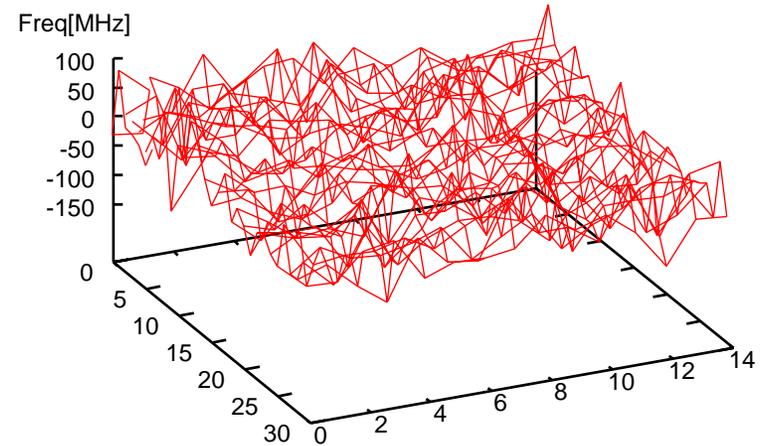
チップ内ばらつき特性($\sigma/\mu=1.6\%$)



大域的成分($\sigma/\mu=0.01\%$)



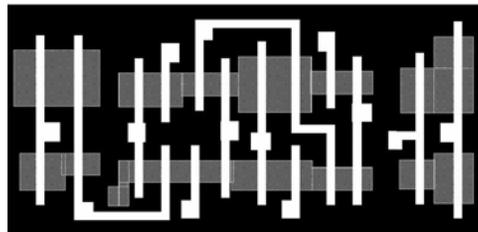
確定的成分($\sigma/\mu=0.68\%$)



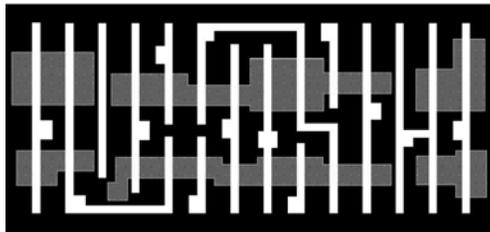
ランダム成分($\sigma/\mu=1.36\%$)

一方向にのみ周期性(周期:約240mm)をもつ確定的成分が存在すること示した

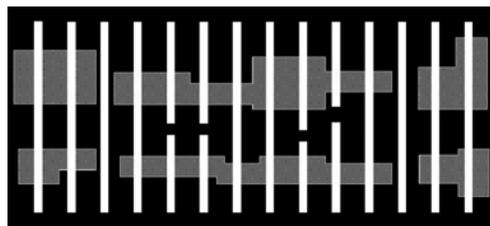
レイアウト規則性向上による製造性改善



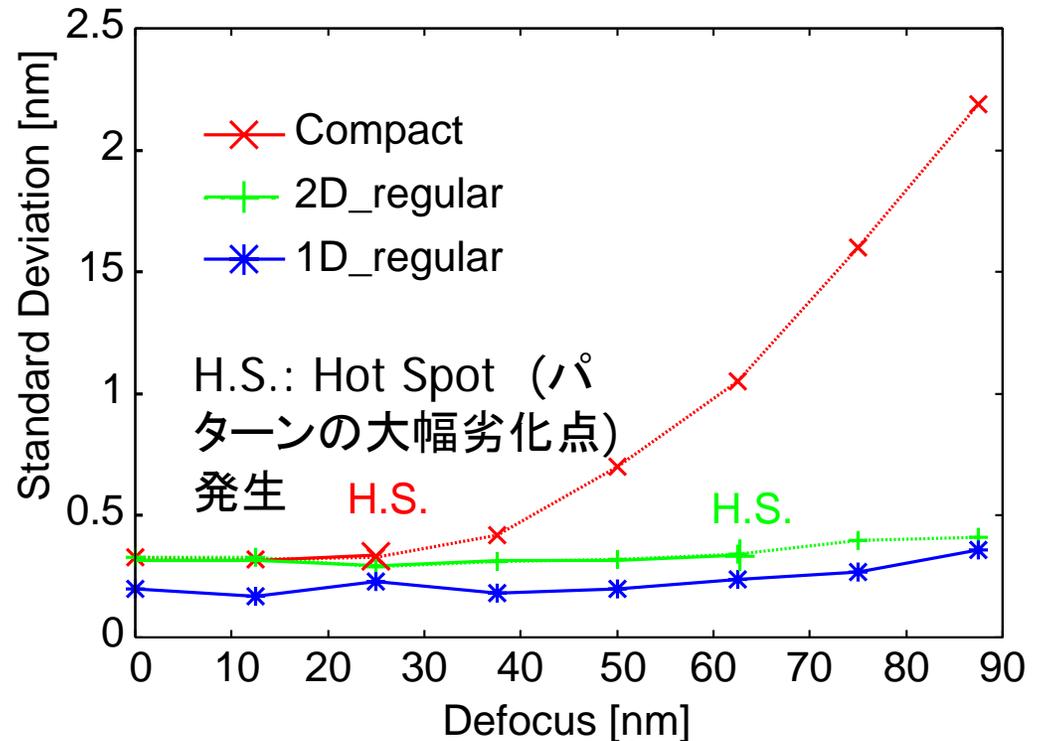
Compact



2D_regular



1D_regular



- 焦点ずれ量に対するゲート長ばらつき量の標準偏差 (45nmプロセスでの露光シミュレーション)
 - Compact は露光耐性弱い
 - 2D_regular, 1D_regular 程度の規則性が必須

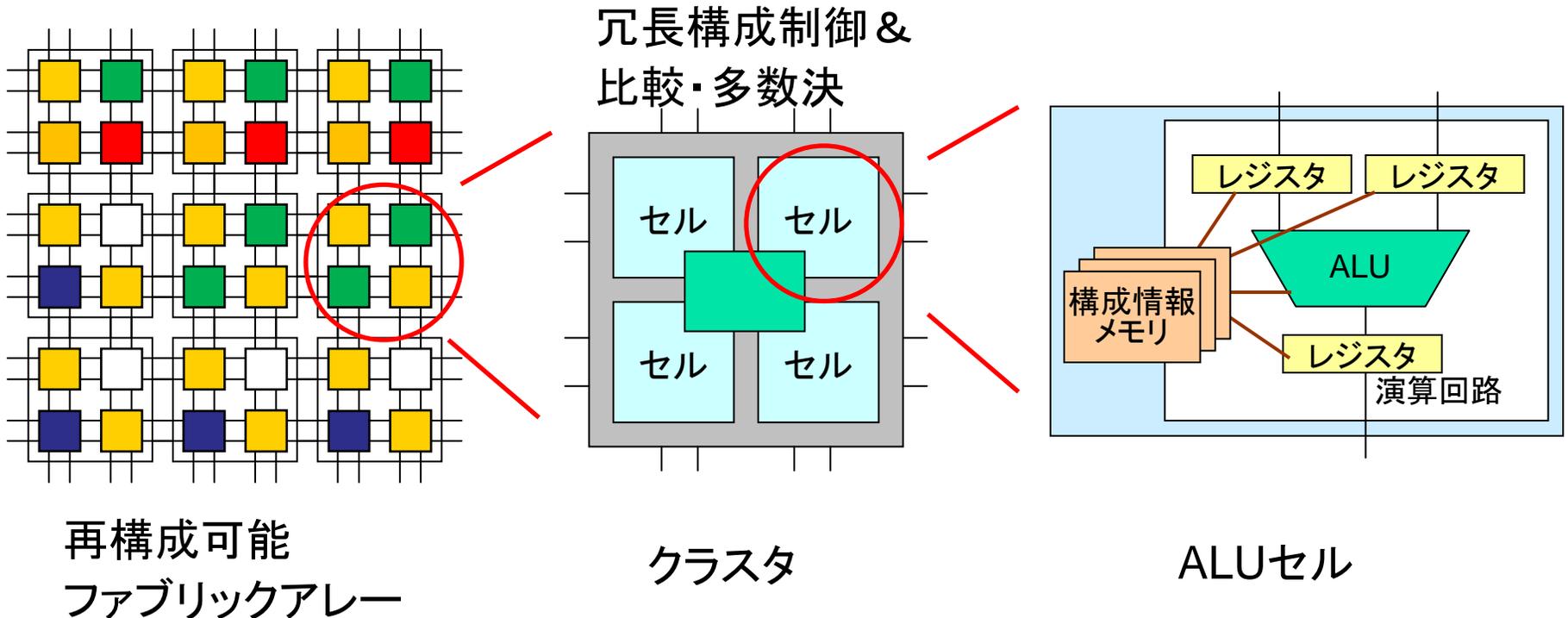
再構成アーキテクチャ

- これまでの取り組み
 - クラスタアーキテクチャの設計と評価
 - 4構成による耐故障性の評価
 - ALUクラスタのチップ試作
 - 乗算クラスタのアーキテクチャ設計 (*)
 - 耐故障性と電力のトレードオフ解析 (*)
 - 信頼性 – 性能トレードオフの更なる柔軟化 (*)
 - タイミング変動を許容する回路技術
 - タイミングエラー予告を用いたばらつき補償技術
 - 基板バイアスクラスタリングによるばらつき補償技術 (*)

(*) 現在検討中の課題

再構成アーキテクチャ

- 複数セルのクラスタ構成による柔軟なディペンダビリティの実現
 - 構成情報メモリの冗長化/マルチコンテキスト化
 - 演算回路の三重化/二重化/非冗長化
 - 冗長構成制御回路によるディペンダビリティ制御



再構成アーキテクチャ

- 複数セルのクラスタ構成による柔軟なディペンダビリティの実現
 - 構成情報メモリの冗長化/マルチコンテキスト化
 - 演算回路の三重化/二重化/非冗長化
 - 冗長構成制御回路によるディペンダビリティ制御

	冗長度		信頼性			想定利用要件
	構成情報	演算回路	構成情報	演算回路		
			SEU	SEU	SET	
構成1	三重化	三重化	○	○	○	常に正しい出力 演算結果のエラー検知 演算結果のエラーは無視可能 性能重視でエラー対策不要
構成2	三重化	二重化	○	○	△	
構成3	三重化	単体	○	△	×	
構成4	単体	単体	×	△	×	

○:修復可能, △:検知可能, ×:検知不可能

柔軟な信頼性を実現するための面積オーバーヘッドは30.5%
(ALUクラスタ、演算粒度8ビットの場合)

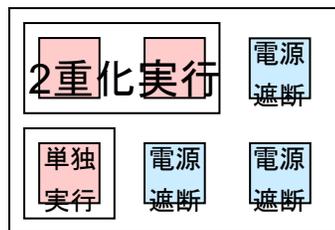
再構成プロセッサ

■ これまでの取り組み

- 冗長度を適応的に切り替えるマルチコアパイプラインプロセッサを提案
 - 通常は2重化(以下)、永久故障発生時に3重化で故障箇所特定
 - 不使用コアは電源遮断による電力削減・経年劣化抑制

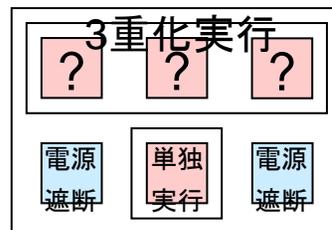
■ 今後の取り組み

- ロバストファブリックへの実装を検討予定
 - マッピングに適した命令セット／命令エンコーディングの変更
 - 上記の命令セットに対応したコンパイラの準備



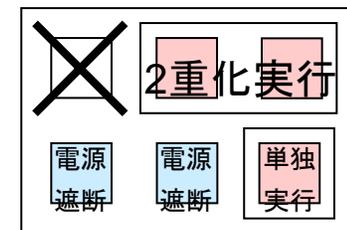
通常動作

- 要信頼性APは2重化実行、通常APは単独実行
- 不使用コアは電源遮断



3重化で故障箇所同定

- 永久故障発生時は3重化実行へ移行
 - 連続する一時故障を永久故障とする
 - 正常なレジスタ値をコピーして3重化へ移行

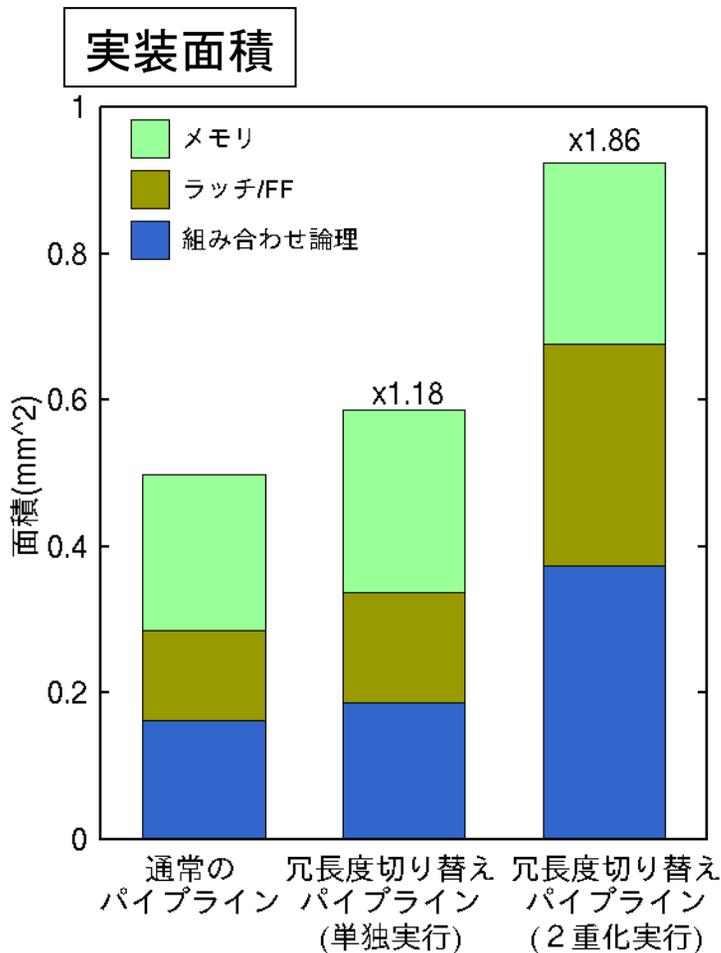
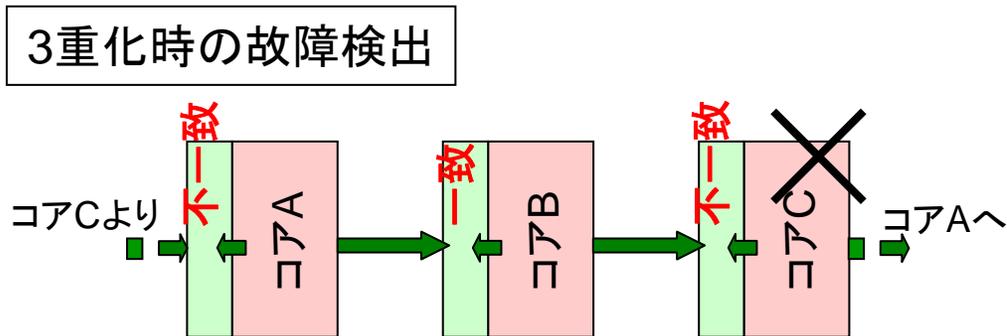
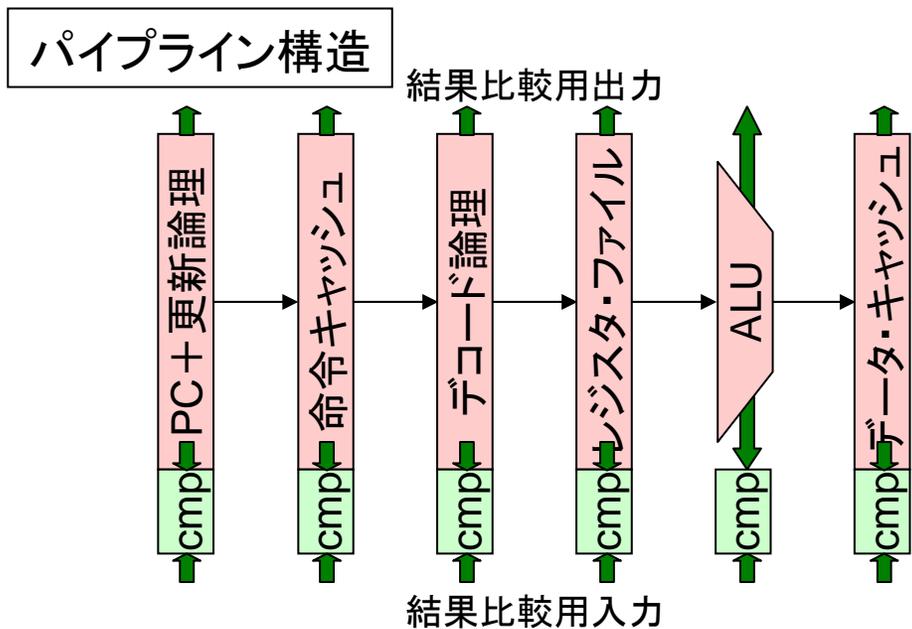


故障箇所停止

- 発見された永久故障箇所を停止
- 経年劣化を平均化するため、単独実行も適時移動

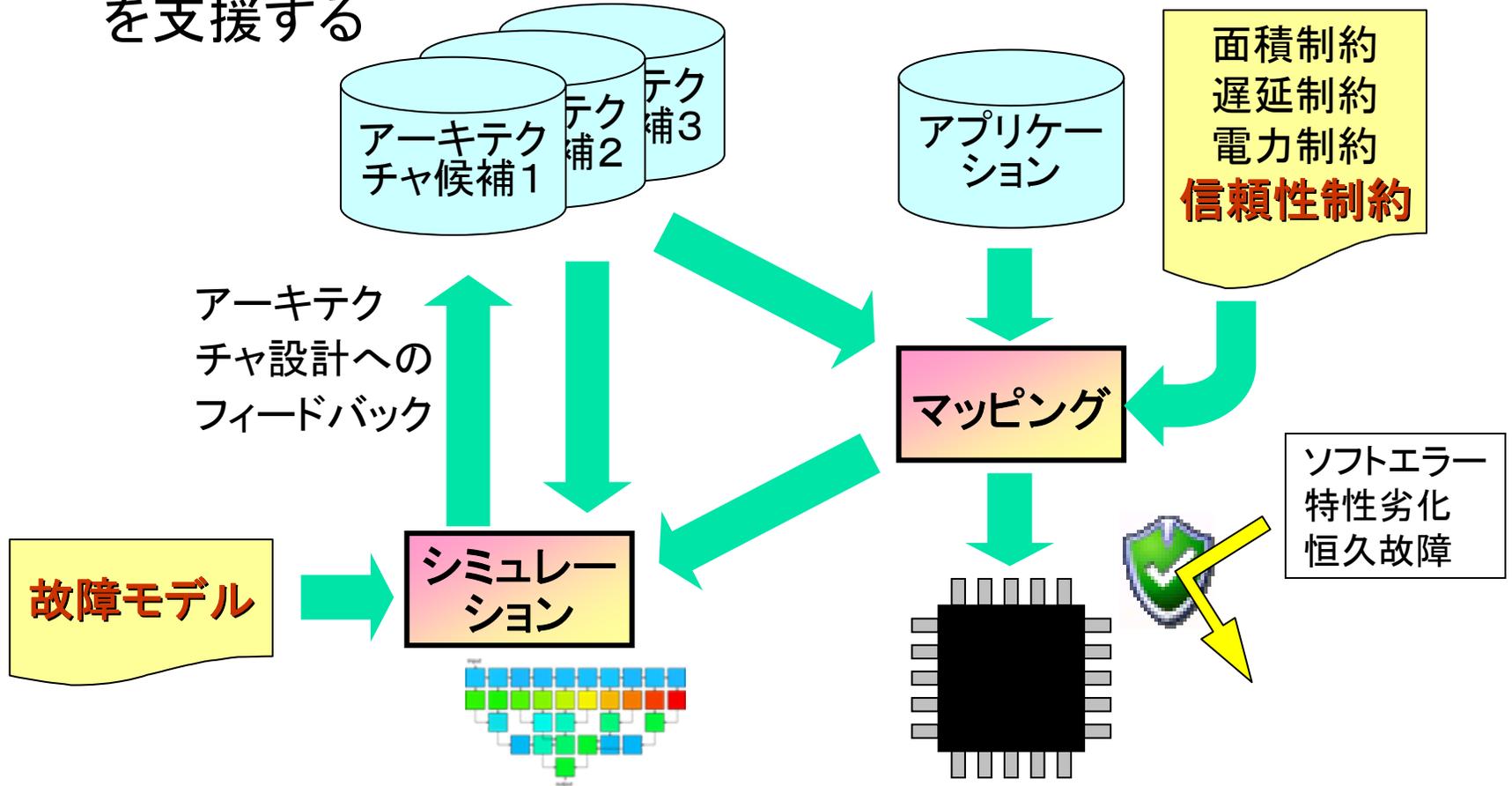
冗長度切り替えマルチコアプロセッサ

- 以下のようなパイプラインの実装で予備評価
 - 各パイプラインに2入力比較器を準備 → 多重化時は比較器も多重化



マッピング技術

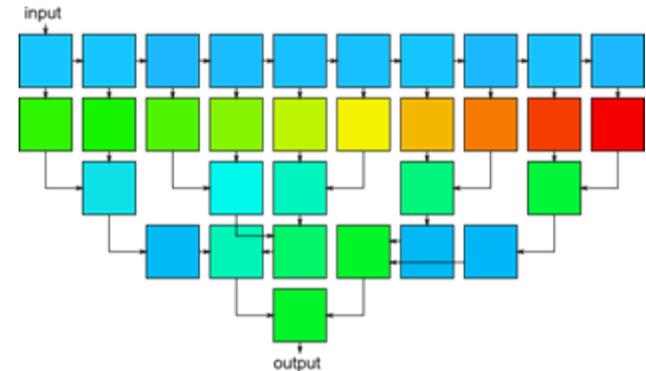
- マッピング技術とシミュレーション技術でアーキテクチャ設計を支援する



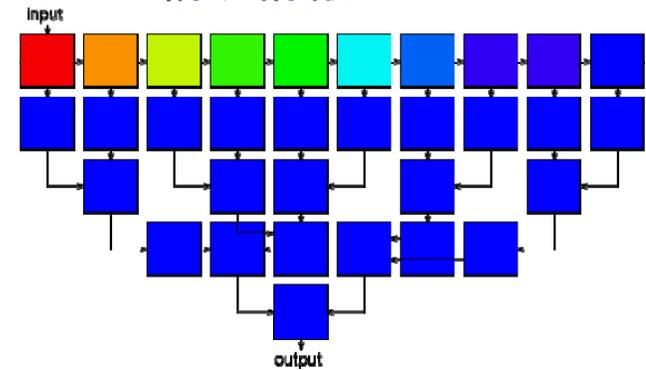
ディペンダビリティ考慮マッピング技術

マッピング技術

- マッピングツール・評価ツールの主要部を開発し、アーキテクチャ評価にも着手
 - ディペンダビリティ評価環境を設計
 - ソフトエラー(SEU)が出力に与える影響の定量的評価(右図)
 - クラスタセルアーキテクチャの耐故障性評価に活用
- 検討中の課題
 - 再構成プロセッサの耐故障性評価
 - 動的ディペンダビリティ確保に向けたマッピングアルゴリズムの開発



構成情報レジスタ

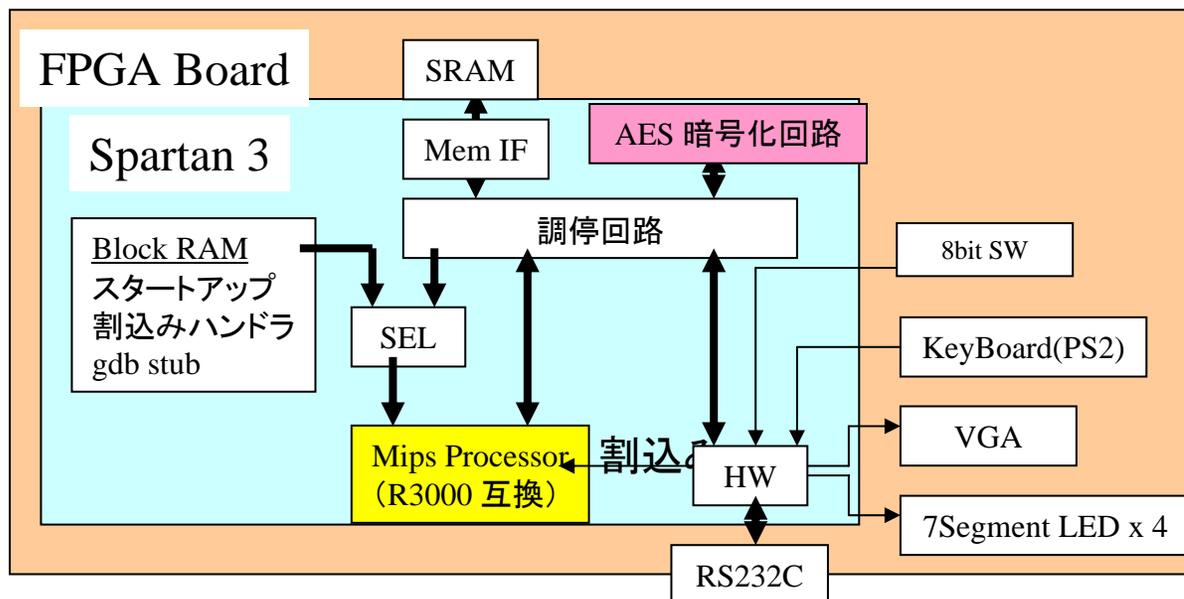


データパスレジスタ

FIRフィルタをマッピングしたデバイスの各セルのSEUが出力誤りを起こす頻度赤は特に出力にエラーを引き起こしやすいため、重点的なSEU対策が必要であるセルを表す

アプリケーション展開

- これまでの取り組み
 - 暗号化機能を持つ組み込みシステム(プロセッサ、暗号化回路)のIP整備
 - ユーザーヒアリングならびに各種規格の調査
- 今後の取り組み
 - ディペンダビリティ評価尺度の構築のための要件調査
 - 冗長度可変再構成プロセッサによる暗号化回路の実現の検討



ロバストファブリックを用いたディペンダブルVLSIプラットフォーム

