

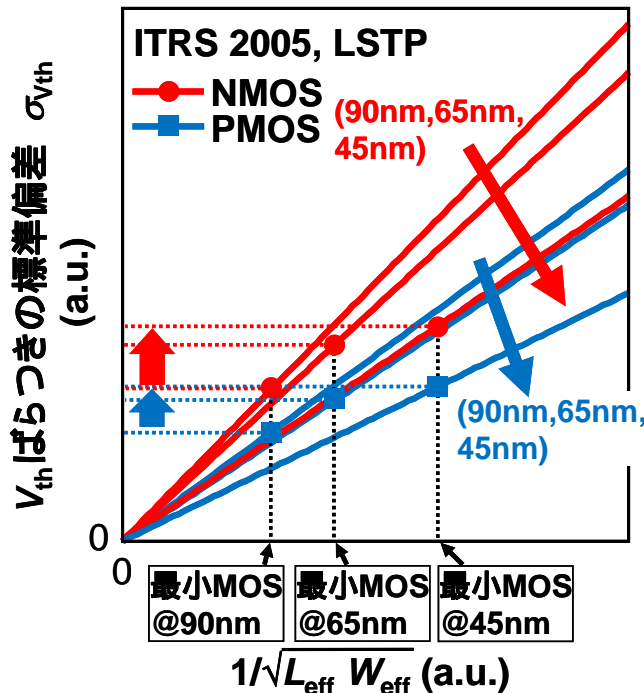
CREST
「ディペンダブルVLSIシステムの基盤技術」
領域会議資料

**「超高信頼性VLSIシステムのための
ディペンダブルメモリ技術」**

平成20年10月27日
吉本チーム

研究背景

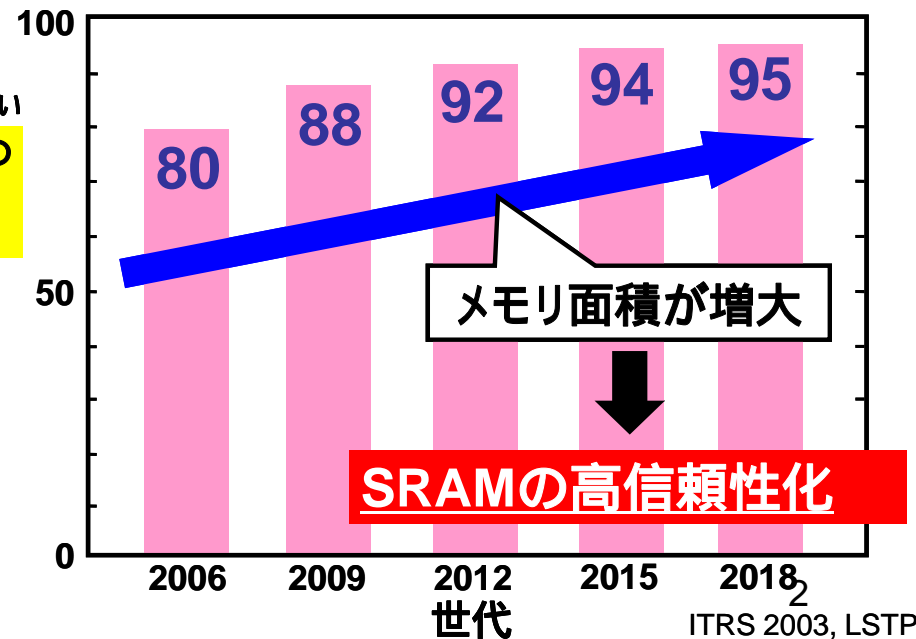
- 微細化・大規模化・高性能化が進むLSIでは、物理的エラー・人為的エラーを完全には排除できない
- 速度・電圧・温度・入出力信号の品質などのあらゆる外部環境を満足して動作するLSIはもはや実現不可能になる
- また、アプリケーションによって要求される信頼性が異なる
- LSIの動作マージンは組み込みSRAMが支配



製造プロセスの微細化に伴い

MOSトランジスタの
 V_{th} ばらつき:
増大

SRAMセルの
動作マージン:
劣化



研究内容

ディペンダブルメモリに関する3要素設計技術と統合化技術

極力マージン不良を出さない新しい設計技術を開発する。

実時間オンチップモニタリング技術や実使用時の加速試験などによる不良予知診断技術を開発する。

外部環境の変化があっても高信頼性を維持し動作し続けられる新しい不良回避技術を開発する。

上記3要素技術を統合化し、自律型ディペンダブルメモリシステムを開発する。

提案する高ディペンダブルメモリシステムの実応用での有用性について検証する。

研究内容の相互関連

耐NBTI設計技術

耐ソフトウェア技術(連携研究検討中)

マージン不良最小化技術

代表者G

方式1:チップ内電圧モニタリングによる予知診断

共研1G

方式2:チップ内加速試験による予知診断

代表者G

不良予知診断技術

方式1:QoB RAM による不良回避

代表者G

方式2:電圧制御による不良回避(不揮発メモリ組み合わせ技術)

共研2G

不良回避技術

Virtualizationによる車載応用検証

共研3G

システムレベル検証

自律型ディペンダブルメモリシステム開発

代表者G

共研1G

共研2G

統合化技術

不良予知診断

予知方法1:チップ内電圧モニタリングによる予知診断

- ・高精度なオンチップモニタリング回路の内蔵
- ・ブロック毎に測定データのログを更新
- ・取得データのチップ内統計解析による予知診断

予知方法2:チップ内加速試験による予知診断

- ・実使用状態で空きブロックの加速試験
- ・フレキシブル電源ネットワークを利用

不良回避技術

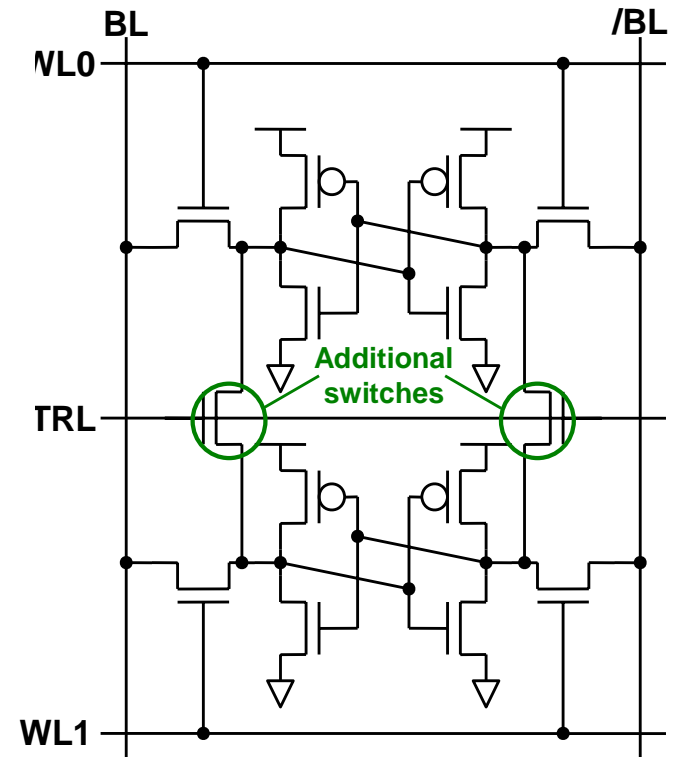
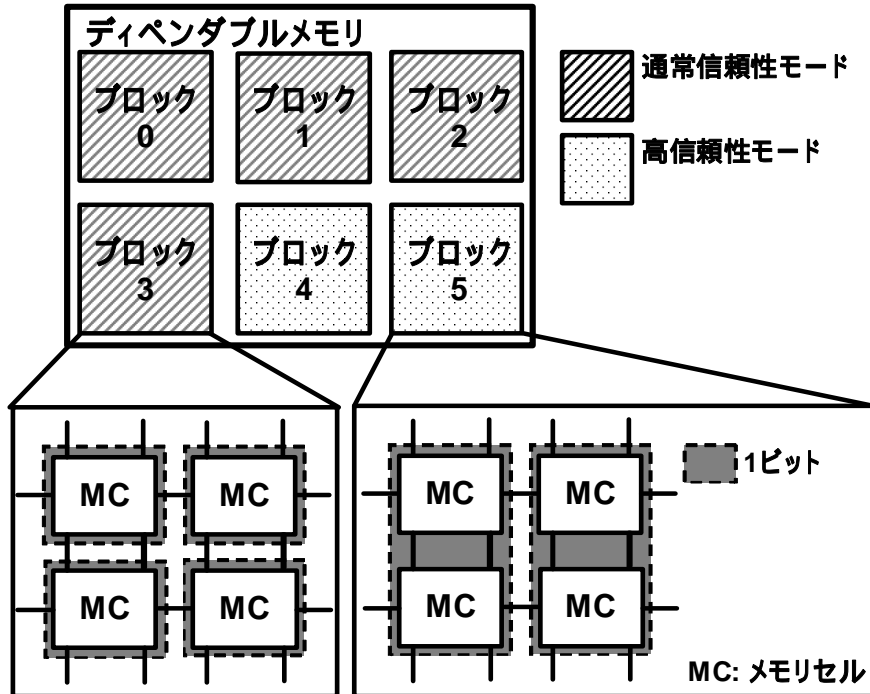
回避方法1 : QoB (Quality of Bit) RAMによる不良回避

- ・動作環境が劣化した場合、動作継続可能 (Sustainable)な構成にスイッチする。
- ・高信頼度要求時には動作マージンのある構成にスイッチする。
- ・QoB RAM を制御するミドルウェア、OS

回避方法2 : 細粒度電圧制御による不良回避 (不揮発メモリによるプログラミング)

回避方法1: QoBメモリ(構成)

高信頼性モードでは、1ビットの情報を2つのメモリセルで保持する。



低電圧動作や高速動作などの信頼性要素をブロック毎にスケラブルに制御できる。

H.Fujiwara, et al, "Quality of a Bit (QoB): A New Concept in Dependable SRAM", ISQED2008にて発表。

回避方法1: Q0Bメモリ(応用)

メモリマクロの外部環境の悪化(電源変動、電源低下、温度変化など)あるいは内部特性の経時変化(NBTIなど)に対応して、構成を切り替える。

- 通常動作条件では7T構成を割り当てる。
- マージンが不足すると、14T構成を割り当てる。

求められる信頼性に応じて構成を切り替える(銀行ATMの例)

- ATMの画面には信頼性とは直接の関係がない、広告の列挙やアニメーションなどのGUIがある。
 - これには7Tメモリセルを割り当てる
- 金額のサーバー間通信や暗号化は信頼性が要求される
 - 14Tを割り当てる

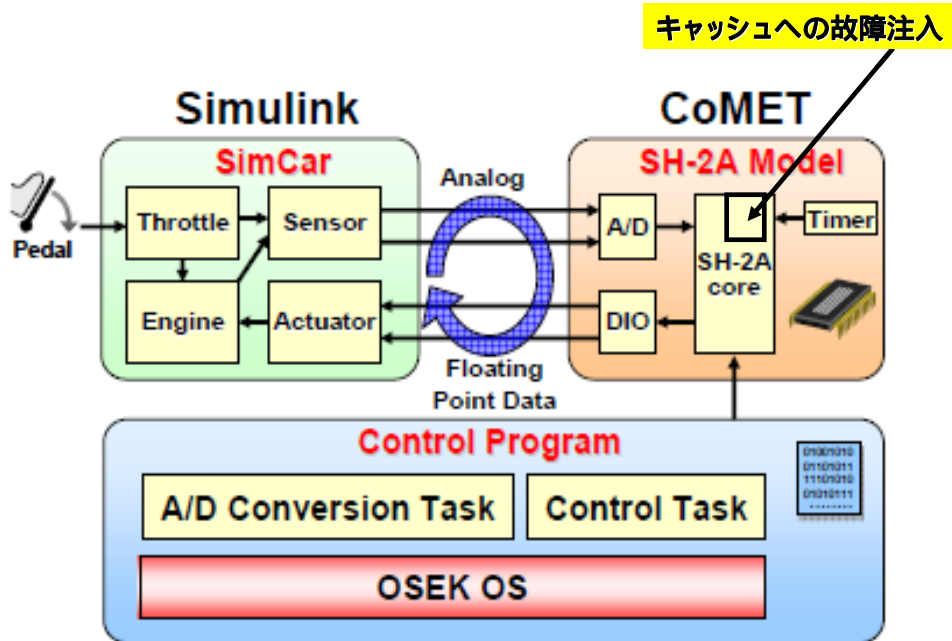
動的な信頼性変更はミドルウェアまたはOSにより制御

統合化実装技術

ディペンダブルメモリシステムのハードウェアプラットフォームとなるフレキシブル電源ネットワークの開発
(フラッシュ混載プロセスを使用)

上記を用いた自律型不良回避メモリシステムの開発

実応用での有用性検証



エンジンコントロールなど実システムでの動作シミュレーション
(日立中研発表の論文 (Makoto Ishikawa, D.J.McCune, George Saikalis, Shigeru Oho,
" CPU Model-Based Mechatronics/Hardware/Software Co-design Technology for
Real-Time Embedded Control System " IEICE Trans. Electron., vol. E90-C, no. 10,
pp. 1992-2001, Oct. 2007.) から抜粋)

Virtualization技術による検証

- ・プロセッサコア内部のキャッシュへの故障注入
- ・仮想システムによる有用性検証
- ・車載応用 (エンジン制御)
- ・エンジン制御性能への信頼性 (BER) の影響評価

想定応用

・車載

- エンジン制御
- ABS
- クルーズコントロール
- 安全・安心システム
- 運転支援
- 危険予知
- 障害物検知
- 標識認知

・ネットワーク

- ルータチップ

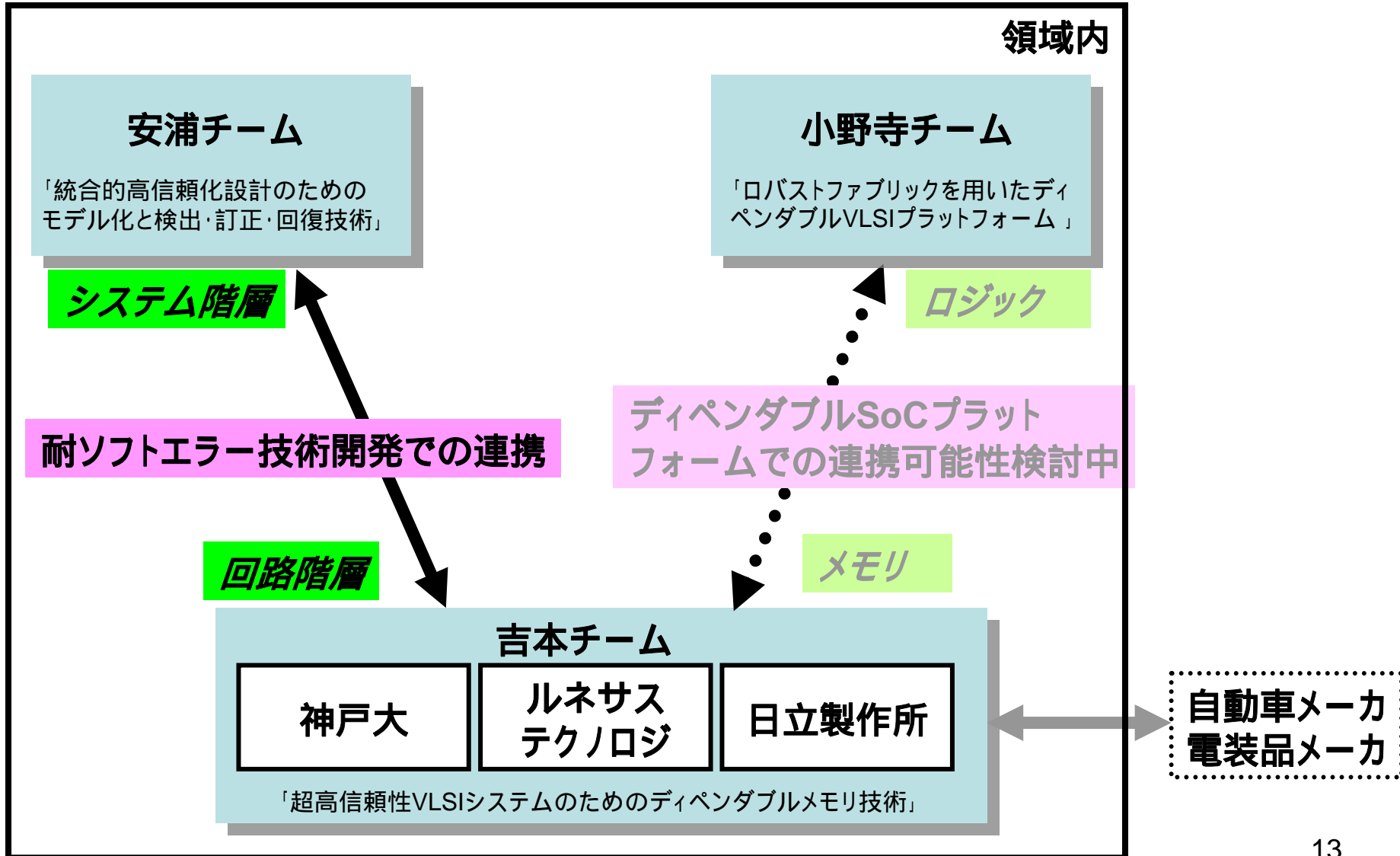
研究体制

グループ名	研究代表者又は 主たる共同研究者氏名 ¹⁾	所属機関・部署・役職名 ²⁾	研究題目 ³⁾
代表者グループ	吉本 雅彦 川口 博	神戸大学工学研究科・ 情報知能学専攻・教授 情報知能学専攻・准教授	マージン不良最少化 技術、不良予知診断、 不良回避技術および統合化システムの開発
共同研究グループ (1)	永田 真	神戸大学工学研究科・ 情報知能学専攻・准教授	チップ内モニタリング による不良予知診断技術の開発
共同研究グループ (2)	篠原 尋史	株式会社ルネサステクノロジ 製品技術本部 設計技術統括部 設計基盤開発部・部長	細粒度電圧制御による不良回避技術と ディペンダブルメモリスシステムのハードウェアプラットフォームの開発
共同研究グループ (3)	於保 茂	(株)日立製作所 中央研究所 ソリューションLSI研究センター 主管研究員	システムレベル検証技術の開発

研究スケジュール

研究項目	分担	H20	H21	H22	H23	H24	H25
マージン不良 最小化技術	研究 代表者 グループ	耐NBTI 設計技術			自律メモリシステム		
不良予知 診断技術	共同研究 グループ (1)	チップ内 モニタリング	動作不良の モデリングと エラー予想				
	研究 代表者 グループ	チップ内加速 試験による 不良予知診断	システム 実装				
不良回避技術	研究 代表者 グループ	QoB RAM 回路	他方式との 組み合わせ				
	共同研究 グループ (2)	不揮発メモリ応用電源制御	電源スイッチ用ツール開発				
システム レベル検証	共同研究 グループ (3)	検証環境構築	故障注入 技術開発	Virtualizationによる 車載応用評価			

領域内チーム間連携と外部連携



まとめ(マイルストーン)

「1」オンチップモニタリング(SRAM)と
フィールドでのBER予知技術

平成22年度

要素技術(予知診断)

「2」SustainableなQoB(Quality of Bit)RAM

平成22年度

要素技術(不良回避)

「3」フラッシュ混載技術を用いた自律的メモリ不良回避システム

平成23年度

統合技術(ディペンダブルメモリ技術)

「4」Virtualization技術によるシステムレベル検証

平成23年度

