

# LSI 配線のバリア層自己形成プロセス

JSTイノベーションプラザ宮城 平成16年度採択課題  
「45nm 世代 IC 多層配線におけるバリア層自己形成プロセスの開発」



代表研究者  
東北大学大学院 工学研究科 知能デバイス材料学専攻  
教授 小池淳一

先端 LSI の新規要素技術として Cu-Mn 合金を用いたバリア層自己形成プロセス技術を開発した。配線抵抗は純 Cu と同等であり、絶縁層との界面に厚さが 2nm のバリア層を安定して形成できる。この技術を 32nm 世代の LSI 多層配線に適用し、優れた信頼性と性能を有することを確認した。

## ■ 研究内容、研究成果

現状の LSI 配線構造は、Cu 配線と絶縁層との界面に拡散防止層として、厚さが 10nm 程度の Ta 膜が必要である。本研究が開発したバリア層自己形成プロセスは、Cu-Mn 合金を直接絶縁層上に成膜し、熱処理を行うことによって、厚さが 2nm 程度の Mn 酸化物を主体としたバリア層を自己形成できる。このプロセスを最先端のハイブリッド配線構造に適用した。本研究がターゲットとする 45nm 世代の配線構造において、有機系絶縁層（ポリアリレン）と無機系絶縁層（SiO<sub>2</sub>）のハイブリッド構造を試作・評価し、バリア層自己形成プロセスを多層配線に適用する場合の問題点を抽出し改善を行った。その成果を、さらに先端の 32nm 世代において適用し、95%以上の歩留まりを実現した。32nm 世代では配線遅延の原因となる比誘電率の値を 2.3 に低減するためにハイブリッド絶縁層を多孔質とした。図 1 にその断面図を示す。この倍率の図では界面のバリア層が薄すぎて観察できないが、角部を拡大して観察すると厚さ 2nm 程度の極薄バリア層が形成されていることが確認できた。絶縁層部分から Cu や Mn は検出されず、良好なバリア性を有していることが判明した。また、配線の上層部と下層部を連結するビア部には、現状の Ta バリアのような高抵抗層が存在しないため、図 2 に示すようにビア抵抗を 1/3 に低減することができた。さらに、熱応力付加時や高温での通電時の信頼性も飛躍的に向上した。

また、従来の技術では信頼性を向上するために Cu 配線を合金化すると配線抵抗の上昇を避けることができなかった。これに対して、熱処理雰囲気中最適量の酸素を添加するとともに、熱処理温度を適宜選択することによって、配線抵抗を純 Cu と同等の値まで低減することができた。配線抵抗の低減には、配線中の余剰 Mn を表面酸化物として排出することが重要である。図 3 に示すように表面酸化物には連続膜と不連続膜の 2 種類の形態があり、連続膜であると Mn が完全に排出できず抵抗値は高い値にとどまるが、不連続膜にすることで配線抵抗を連続的に純 Cu レベルに低減することができた（図 4）。表面酸化物の形態は熱処理温度によって制御できるが、膜の積層構造を変えることによっても実現できる。

以上のように、バリア層自己形成プロセスを用いることで、現状の Ta バリア層が不要となるため、低コストのプロセスで信頼性と性能を飛躍的に向上することが可能となる。利用範囲は先端 LSI 配線だけでなく、現状の LSI 配線にも容易に広げることが可能である。

## ■ 今後の展開、将来の展望

東芝では、本技術を適用した Cu 多層配線構造を有する次世代エンターテインメント向け高性能 SoC（システム・オン・チップ）を、2011 年より量産開始予定（時期は暫定）。また本技術は、SoC のみならず、先端 NAND フラッシュメモリにも適用性が高く、2X nm 世代の NAND フラッシュメモリへ導入する可能性がある。三菱マテリアルでは、量産時に対応するために生産能力増強をするとともに、多品種（形状および、Mn 濃度）への対応策を確立する。東北大学では、Low-k 絶縁層の種々の組成と構造に対してバリア層形成挙動を引き続き調査し、事業化に向けた技術支援体制を構築す

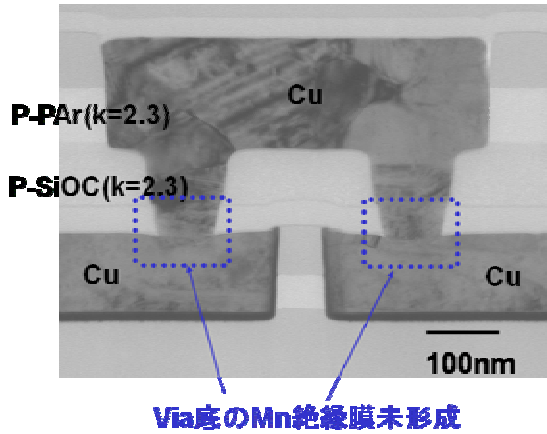


図1 多孔質ハイブリッド配線構造 (k=2.3) の断面図。多孔質絶縁層はポリアリレン (PAr) と SiOC。歩留まり 95%以上を達成。

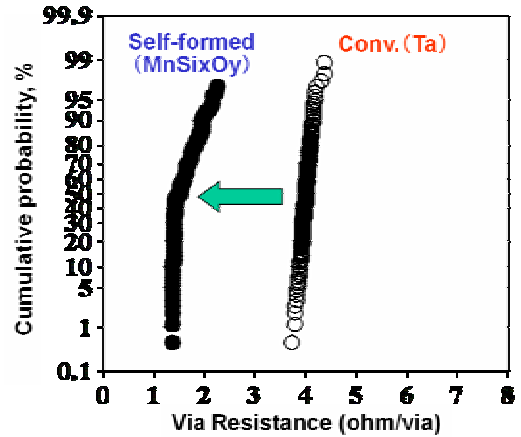


図2 多孔質ハイブリッド構造の2層配線と1層配線をつなぐピア部の抵抗値分布。現状バリア (Ta) より低抵抗を実現。

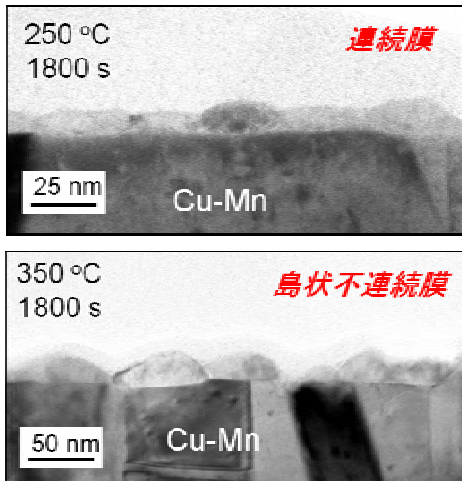


図3 熱処理後の Cu 合金薄膜表面付近の断面図。表面に形成される Mn 酸化物の形態制御を実現。

る。

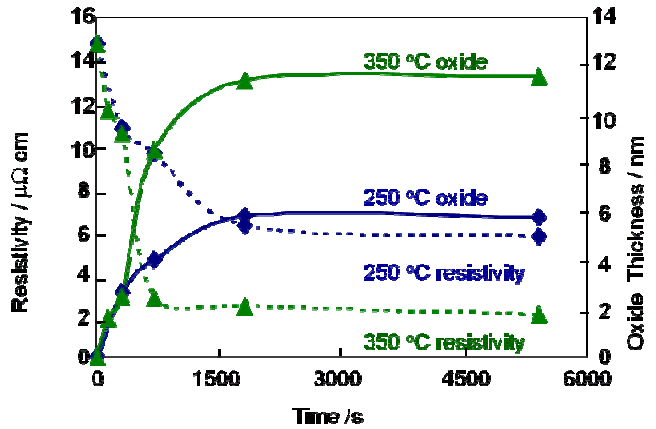


図4 配線抵抗減少と表面酸化物厚さの関係。表面酸化物の形態を制御することによって、配線抵抗を純 Cu レベルに低減することを実現。

## 研究体制

### ◆ 代表研究者

東北大学大学院 工学研究科 知能デバイス材料学専攻 教授 小池淳一

### ◆ 研究者

山崎仁丈・根石浩司 (東北大学) 柴田英毅・臼井孝公・那須勇人 (東芝)  
小出正登・青木庄治 (三菱マテリアル) 飯島純 (科学技術振興機構)

### ◆ 共同研究機関

株式会社東芝 セミコンダクター社、三菱マテリアル株式会社 銅事業カンパニー、東北大学

## ■ 研究期間

平成17年4月 ~ 平成19年3月