

研究成果展開事業 研究成果最適展開支援プログラム
FS ステージ シーズ顕在化タイプ 事後評価報告書

研究開発課題名	: 携帯端末用シリコン CMOS 送信電力増幅器の高効率、低歪化技術開発
プロジェクトリーダー	: (株)Wave Technology
所属機関	
研究責任者	: 末松憲治(東北大学)

1. 研究開発の目的

移動体通信に用いられる携帯端末の電力消費量は通信速度の進歩につれて増加傾向にあり、端末動作時間を維持、向上する上で電力消費が大きい送信電力増幅器の高効率化は重要である。従来の送信電力増幅器に用いられてきた化合物半導体の置き換えとしてシリコン CMOS 電力増幅器が注目されているが実用化には高効率化が課題となっている。本提案課題ではこの問題を解決する為、高調波注入による効率、歪改善技術をシリコン CMOS 電力増幅器に適用して性能を改善し実用化への技術確立を行う。

2. 研究開発の概要

①成果

シリコン CMOS プッシュプル電力増幅器の試作評価を行い、2 倍波注入による効率、歪み改善効果を検討した。高出力化のため増幅素子はトリプルカスコード構成とし、増幅素子チップを樹脂多層基板上に製作したバラン回路基板上にフリップチップ実装した。バラン回路には 2 倍波分波機能を備えたバラン回路を考案して用いた。CMOS トリプルカスコードプッシュプル電力増幅器の試作評価結果として、周波数 2GHz で飽和出力電力 $P_{out}=28.6\text{dBm}$ 、飽和電力付加効率 $PAE=42.2\%$ 、3dB バックオフ時の隣接チャンネル漏洩電力 $ACPR=-33.5\text{dBc}$ の性能を得た。更にこの増幅器に 2 倍波を注入することにより、飽和出力電力で 0.5dB、飽和電力付加効率で 3.3%、 $ACPR=-39\text{dBc}$ 時の PAE で 5%の改善効果が得られ、2 倍波注入による性能改善が有効であることを確認できた。

研究開発目標	達成度
①CMOS カスコード増幅素子の最適化設計	①高出力化のためトリプルカスコード構成とした CMOSトリプルカスコード電力増幅素子を試作評価し、飽和出力電力、26.8dBm、飽和電力付加効率 48.2%、 $ACPR=-34.4\text{dBc}$ (3dB バックオフ時)の性能を得た。
②2 倍波端子付きバランの設計及び性能評価	②2 倍波分波機能を備えた新規のバラン回路を考案し試作評価を実施した。バラン回路として機能することと 2 倍波の分波機能を備え、2 倍波が通過できることが確認できた。また基本波(2GHz)通過損失が 0.34dB であった。
③CMOS カスコードプッシュプル電力増幅器への高調波注入実験	③CMOSトリプルカスコード増幅素子と 2 倍波端子付きバランの組み合わせでプッシュプル電力増幅器を試作評価し、飽和出力電力 28.6dBm、飽

	<p>和電力付加効率 42.2%、歪み特性 ACPR=-33.5dBc(WCDMA 波、3dB バックオフ時)の性能が得られた。更に 2 倍波注入による性能改善実験にて、飽和電力付加効率が最大となるよう 2 倍波注入条件を最適化した場合、出力電力で 0.5dB、電力付加効率で 3.3%の改善結果が得られた。また、歪み特性に対して 2 倍波注入条件を最適化した場合、ACPR=-39dBc 時における電力付加効率が 25.4%から 30.4%と 5%改善する結果が得られた。これらの結果から CMOS 電力増幅器での 2 倍波注入による性能改善が有効であることが確認できた。</p>
--	---

②今後の展開

本開発によって、シリコン CMOS 電力増幅器において 2 倍波注入による性能改善が可能であることを確認できた。今後は、更に性能を改善して実用レベルの性能の実現や周辺回路の取り込み、小型化といった製品化に向けたそれぞれの要素技術の開発を進めていく必要がある。性能の改善においては今回顕在化したシーズ技術である 2 倍波注入による性能改善について、その効果を更に伸ばすための検討を進める。また、回路損失低減などによる出力電力と電力付加効率の改善、歪み特性の改善技術などの検討も進め、実用可能な性能の実現を目指す。

3. 総合所見

概ね目標通りの成果が得られ、イノベーション創出が期待される。

2倍波注入による高効率・低歪化は、一部で未達項目があるものの、実験レベルでの効果は立証された。モックアップからワンチップ化への道のりは、素子サイズ以外にも技術バリアが高く、厳しいものと予想されるが、ここでの研究が成功すれば産業へのインパクトは大きいので、期待したい。